

UNIVERSIDADE FEDERAL DE UBERLÂNDIA
FACULDADE DE ENGENHARIA ELÉTRICA

BEATRIZ CRISTINA MOURA

**ESTUDO POR SIMULAÇÃO DE ARRANJOS
TOPOLÓGICOS DO CONVERSOR SEPIC
OPERANDO NA CONFIGURAÇÃO CA-CC
MONOFÁSICO**

Uberlândia, MG

2020

BEATRIZ CRISTINA MOURA

**ESTUDO POR SIMULAÇÃO DE ARRANJOS
TOPOLÓGICOS DO CONVERSOR SEPIC OPERANDO
NA CONFIGURAÇÃO CA-CC MONOFÁSICO**

Trabalho apresentado como requisito parcial de avaliação na disciplina de Trabalho de Conclusão de Curso do Curso de Engenharia Elétrica da Universidade Federal de Uberlândia.

UNIVERSIDADE FEDERAL DE UBERLÂNDIA

Orientador: Prof. Dr. Gustavo Brito de Lima

Coorientador: Bacharel Vítor Fonseca Barbosa

Uberlândia, MG

2020

BEATRIZ CRISTINA MOURA

ESTUDO POR SIMULAÇÃO DE ARRANJOS TOPOLÓGICOS DO CONVERSOR SEPIC OPERANDO NA CONFIGURAÇÃO CA-CC MONOFÁSICO

Trabalho apresentado como requisito parcial de avaliação na disciplina de Trabalho de Conclusão de Curso do Curso de Engenharia Elétrica da Universidade Federal de Uberlândia.

BANCA EXAMINADORA

Prof. Dr. Gustavo Brito de Lima
(Orientador)

Bacharel Vítor Fonseca Barbosa
(Co-orientador)

Prof. Dr. Luiz Carlos Gomes de Freitas
(Membro 1 Banca)

Mestre Antônio de Oliveira Costa Neto
(Membro 2 Banca)

AGRADECIMENTOS

Gostaria de agradecer, em primeiro lugar, a minha mãe, que sempre acreditou nos meus sonhos e sempre deu forças para trilhar este caminho e nunca teve dúvidas que eu poderia chegar até onde cheguei. E também a Deus, por proporcionar saúde e esperança.

Além disso gostaria de agradecer minha família e meu namorado que desde do início deram apoio e suporte para o término desta jornada.

Gostaria de agradecer ao orientador e coorientador e a todos os professores que participaram desta trajetória que foram essenciais para o meu crescimento e me tornar a pessoa que sou hoje, e a profissional que me tornarei amanhã.

Outrossim, também gostaria de agradecer a assistência social da UFU e seus colaboradores que foram essenciais, e sem a ajuda dos mesmos seria quase impossível terminar essa trajetória.

Deixo uma menção aos meus professores do ensino médio pelo aprendizado e incentivo deixados.

*“Não se amoldem ao padrão deste mundo,
mas transformem-se pela renovação da sua mente,
para que sejam capazes de experimentar
e comprovar a boa, agradável e perfeita vontade de Deus.”
(Bíblia Sagrada, Romanos 12:2)*

RESUMO

Neste trabalho, tem-se o objetivo de estudar, por simulação, o comportamento dos circuitos SEPIC na configuração CA-CC monofásico.

Por conseguinte, entendendo-se o princípio de operação do conversor SEPIC CC-CC clássico, é possível, utilizando os mesmos valores dos elementos do circuito, analisar as diferentes configurações deste circuito, quando incorporado a esse sistema convencional: retificadores em ponte do tipo monofásico, modos de controle (não controlado e semicontrolado), além de elementos passivos.

Logo deve-se obter para todos os circuitos a mesma tensão média de saída e a mesma potência de saída, utilizando, para isto artifícios no método de tentativa e erro no objetivo de manter os valores esperados.

Palavras-chave: Conversores chaveados. SEPIC. Simulação computacional.

ABSTRACT

This work aims to study, by simulation, the behavior of SEPIC circuits in single-phase AC-DC configuration.

Therefore, by understanding the operating principle of the classic SEPIC CC-DC converter, it is possible, using the same circuit element values, to analyze the different configurations of this circuit when incorporated into this conventional system: single-phase bridge rectifiers , control modes (uncontrolled and semi-controlled), plus passive elements.

Therefore, the same average output voltage and same output power must be obtained for all circuits, using trial and error methods to maintain the expected values.

Keywords: Switched converters. SEPIC. Computational simulation.

LISTA DE ILUSTRAÇÕES

Figura 1 – Circuito 1 - SEPIC Clássico.	16
Figura 2 – Circuito 1 - SEPIC Clássico (1º Etapa de Operação).	17
Figura 3 – Circuito 1 - SEPIC Clássico (2º Etapa de Operação).	19
Figura 4 – Gráficos das tensões instantâneas nos indutores.	22
Figura 5 – Gráficos das correntes instantâneas nos capacitores.	22
Figura 6 – Topologia circuito 2.	29
Figura 7 – Circuito 2 - 1º etapa de operação.	30
Figura 8 – Circuito 2 - 2º etapa de operação.	30
Figura 9 – Circuito 2 - 3º etapa de operação.	31
Figura 10 – Circuito 2 - 4º etapa de operação.	31
Figura 11 – Topologia circuito 3.	32
Figura 12 – Circuito 3 - 1º etapa de operação.	33
Figura 13 – Circuito 3 - 2º etapa de operação.	33
Figura 14 – Topologia circuito 4.	34
Figura 15 – Circuito 4 - 1º etapa de operação.	35
Figura 16 – Circuito 4 - 2º etapa de operação	37
Figura 17 – Simulação do circuito 1 - SEPIC Clássico.	40
Figura 18 – Circuito 1 - Circuito de comando da chave S.	40
Figura 19 – Circuito 1 - Forma de onda do comando liga/desliga da chave S.	41
Figura 20 – Forma de onda da corrente no indutor 1.	41
Figura 21 – Forma de onda da corrente no indutor 2.	42
Figura 22 – Forma de onda da corrente na chave S.	42
Figura 23 – Forma de onda da corrente no diodo d.	42
Figura 24 – Forma de onda da tensão na chave S.	43
Figura 25 – Forma de onda da tensão no diodo d.	43
Figura 26 – Forma de onda da tensão no capacitor 1.	44
Figura 27 – Forma de onda da tensão no capacitor 2 (tensão de saída).	44
Figura 28 – Forma de onda da potência de saída.	44
Figura 29 – Simulação do circuito 2.	45
Figura 30 – Circuito 2 - Circuito de comando da chave S.	45
Figura 31 – Circuito 2 - Forma de onda do comando liga/desliga da chave S.	46
Figura 32 – Forma de onda da corrente no indutor 1.	46
Figura 33 – Forma de onda da corrente no indutor 2.	47
Figura 34 – Forma de onda da corrente na chave S.	48
Figura 35 – Forma de onda da corrente no diodo d.	48
Figura 36 – Forma de onda da corrente nos diodos D1 e D2.	49

Figura 37 – Forma de onda da corrente nos diodos D3 e D4.	49
Figura 38 – Forma de onda da tensão na chave S.	50
Figura 39 – Forma de onda da tensão no diodo d.	50
Figura 40 – Forma de onda da tensão nos diodos D1 e D2.	51
Figura 41 – Forma de onda da tensão nos diodos D3 e D4.	51
Figura 42 – Forma de onda da tensão no capacitor 1.	52
Figura 43 – Forma de onda da tensão no capacitor 2 (tensão de saída).	53
Figura 44 – Forma de onda da potência de saída).	53
Figura 45 – Simulação Circuito 3.	54
Figura 46 – Circuito 3 - Circuito de comando da chave S.	54
Figura 47 – Circuito 3 - Forma de onda do comando liga/desliga da chave S.	54
Figura 48 – Forma de onda da corrente no indutor 1.	55
Figura 49 – Forma de onda da corrente no indutor 2.	56
Figura 50 – Forma de onda da corrente na chave S.	56
Figura 51 – Forma de onda da corrente no diodo d.	57
Figura 52 – Forma de onda da corrente nos diodos D1 e D2.	57
Figura 53 – Forma de onda da corrente nos diodos D3 e D4.	58
Figura 54 – Forma de onda da tensão na chave S.	58
Figura 55 – Forma de onda da tensão no diodo d.	59
Figura 56 – Forma de onda da tensão nos diodos D1 e D2.	59
Figura 57 – Forma de onda da tensão nos diodos D3 e D4.	59
Figura 58 – Forma de onda da tensão no capacitor 1.	60
Figura 59 – Forma de onda da tensão no capacitor 2 (tensão de saída).	60
Figura 60 – Forma de onda da potência de saída.	61
Figura 61 – Simulação circuito 4.	61
Figura 62 – Circuito 4 - Circuito de comando das chaves CH1 e CH2.	62
Figura 63 – Circuito 4 - Forma de onda do comando liga/desliga das chaves CH1 e CH2.	62
Figura 64 – Forma de onda da corrente no indutor 1.	62
Figura 65 – Forma de onda da corrente no indutor 2.	63
Figura 66 – Forma de onda da corrente no indutor 3.	63
Figura 67 – Forma de onda da corrente na chave CH1.	64
Figura 68 – Forma de onda da corrente na chave CH2.	65
Figura 69 – Forma de onda da corrente no diodo D1.	66
Figura 70 – Forma de onda da corrente no diodo D2.	67
Figura 71 – Forma de onda da tensão na chave CH1.	67
Figura 72 – Forma de onda da tensão na chave CH2.	68
Figura 73 – Forma de onda da tensão no diodo D1.	68
Figura 74 – Forma de onda da tensão no diodo D2.	69
Figura 75 – Forma de onda da tensão no capacitor 1.	70

Figura 76 – Forma de onda da tensão no capacitor 2.	70
Figura 77 – Forma de onda da tensão no capacitor 3 (tensão de saída).	71
Figura 78 – Forma de onda da potência de saída.	71
Figura 79 – Forma de ondas circuito 4	72
Figura 80 – Ilustração da forma de onda de uma corrente senoidal.	73
Figura 81 – Ilustração da forma de onda da corrente retificada.	74
Figura 82 – Forma de onda da corrente no indutor L_1 do circuito 2 e sua frequência de operação.	74
Figura 83 – Forma de onda da corrente no indutor L_1 do circuito 3 e sua frequência de operação.	75
Figura 84 – Curva B-H, cliço de histerese.	76

LISTA DE TABELAS

Tabela 1 – Valores de Contorno para Projeto	20
Tabela 2 – Tabela de suportabilidade dos elementos das quatro topologias.	77

LISTA DE ABREVIATURAS E SIGLAS

SEPIC	Single Ended Primary Inductor Converter	15
ripple	Ondulação	17
CC	corrente contínua	47
CA	corrente alternada	53
MOSFET	Metal Oxide Semiconductor Field Effect Transistor ou Transistor de Efeito de Campo de Óxido de Metal Semicondutor	20
PWM	Pulse Width Modulation ou Modulação por Largura de Pulso	40

LISTA DE SÍMBOLOS

ΔI	Ripple de corrente
ΔV	Ripple de tensão
C_1	Capacitor 1
C_2	Capacitor 2
C_3	Capacitor 3
$CH1$	Chave 1
$CH2$	Chave 2
D	Razão Cíclica
d	Diodo
D_1	Diodo 1
D_2	Diodo 2
D_3	Diodo 3
D_4	Diodo 4
f	Frequência
f_{L1}	Frequência fundamental de operação do indutor 1
f_{L2}	Frequência fundamental de operação do indutor 2
f_{L3}	Frequência fundamental de operação do indutor 3
f_s	Frequência de comutação
$i_{C1}(t)$	Corrente instântanea no capacitor 1
I_{C1}	Corrente média no capacitor 1
$i_{C2}(t)$	Corrente instântanea no capacitor 2
$i_d(t)$	Corrente instântanea no diodo
I_{L1}	Corrente média no indutor 1
$i_{L2}(t)$	Corrente instântanea no indutor 2

I_{L2}	Corrente média no indutor 2
$i_{R0}(t)$	Corrente instantânea na carga R_0
L_1	Indutor 1
L_2	Indutor 2
L_3	Indutor 3
P_0	Potência de saída
R_0	Resistência de saída
S	Chave S
T	Período
T_S	Intervalo de comutação
$v_0(t)$	Tensão instantânea na carga R_0
V_0	Tensão média de saída
$v_{C1}(t)$	Tensão instantânea no capacitor 1
V_{C1}	Tensão média no capacitor 1
$v_d(t)$	Tensão instantânea no diodo d
V_d	Tensão média no diodo d
V_{in}	Tensão de entrada da fonte
$V_{in(SEPIC)}$	Tensão na entrada do conversor SEPIC
$v_{L1}(t)$	Tensão instantânea no indutor 1
$v_{L2}(t)$	Tensão instantânea no indutor 2
V_{pico}	Tensão de pico
V_{rms}	Tensão rms
$v_S(t)$	Tensão instantânea na chave S

SUMÁRIO

	Lista de tabelas	10
1	INTRODUÇÃO	15
2	ANÁLISES TOPOLÓGICAS	16
2.1	CIRCUITO 1 - SEPIC CLÁSSICO	16
2.1.1	Princípio de Funcionamento	17
2.1.2	Projeto - Circuito 1 - SEPIC clássico	20
2.2	CIRCUITO 2	29
2.2.1	Princípio de funcionamento	29
2.3	CIRCUITO 3	32
2.3.1	Princípio de funcionamento	32
2.4	CIRCUITO 4	34
2.4.1	Princípio de funcionamento	34
3	SIMULAÇÕES	40
3.1	SIMULAÇÃO CIRCUITO 1 -SEPIC CLÁSSICO	40
3.2	SIMULAÇÃO CIRCUITO 2	45
3.3	SIMULAÇÃO CIRCUITO 3	53
3.4	SIMULAÇÃO CIRCUITO 4	61
4	RESULTADOS	73
5	CONCLUSÃO	78
6	TRABALHOS FUTUROS	79
	REFERÊNCIAS	80

1 INTRODUÇÃO

O Single Ended Primary Inductor Converter (SEPIC) é conversor elevador-abaixador de tensão, sua topologia básica foi proposta em 1977 e suas principais características estão baseadas em: entrada como fonte de corrente, devido ao indutor de entrada, possibilitando seu emprego em correção de fator de potência; polaridade de tensão de saída positiva e saída como fonte de tensão.

Este conversor tornou-se popular nos últimos anos, em sistemas alimentados por baterias, ao qual a saída pode aumentar ou diminuir de acordo com a carga da bateria. Ainda assim, devido ao crescente avanço no uso de painéis fotovoltaicos, este conversor vem sendo demasiadamente utilizado para implementação destes sistemas [1].

Além disso, nos dias atuais, com a maior utilização de dispositivos eletrônicos, há uma preocupação quanto a qualidade de energia, já que tais dispositivos, geram no sistema elétrico uma elevada taxa de distorção harmônica de corrente, o que impacta no fator de potência. Apesar disso, estudos vem sendo realizados na tentativa de diminuir tal distorção. Em um destes estudos, há a aplicação do conversor SEPIC, no estágio intermediário CC na saída de retificadores trifásicos, com o objetivo de atenuar a distorção harmônica de entrada, pela sua característica de entrada em fonte de corrente. Essa característica é baseada na imposição da corrente na saída dos retificadores, e bloqueia elevados picos de tensão e corrente de estágios anteriores [2].

Apesar do conversor SEPIC exigir uma maior complexidade no controle e dimensionamento, este apresenta características comerciais instigantes, já que, o mesmo utiliza em sua topologia apenas uma chave [3].

Por conseguinte, neste trabalho, tem-se o objetivo de estudar por simulação outros arranjos topológicos do conversor SEPIC, através da topologia clássica, com o propósito de manter a mesma tensão e mesma potência médias de saída.

2 ANÁLISES TOPOLÓGICAS

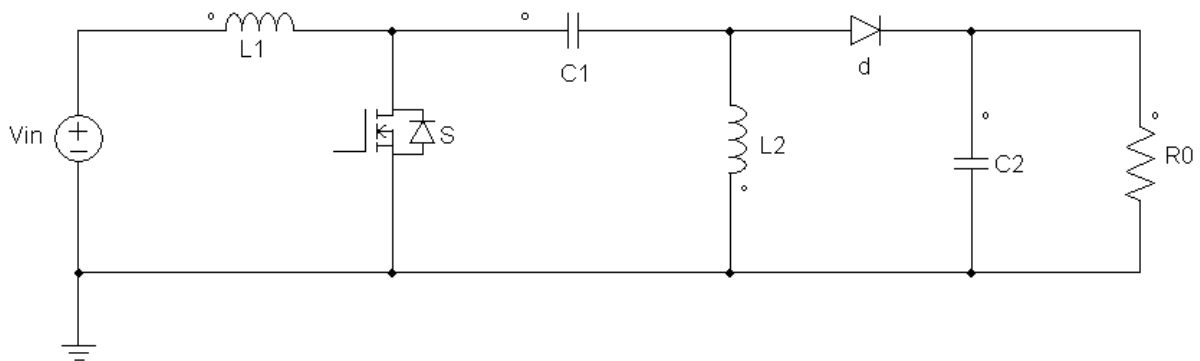
No intuito de entender as diferentes topologias dos circuitos SEPICs, deve-se entender o princípio de funcionamento de um circuito SEPIC clássico.

Sabendo que o objetivo deste trabalho é estudar as diferentes topologias por simulação, além de entender o princípio de funcionamento da topologia clássica deste conversor, a partir deste, será elaborado o projeto dos elementos deste circuito, com características pré-fixadas para o projeto, e por consequência, utilizar os mesmos valores dos elementos projetados, para a simulação das demais topologias.

2.1 CIRCUITO 1 - SEPIC CLÁSSICO

O circuito SEPIC clássico é composto de uma fonte de tensão constante (V_{in}), uma chave (S), um diodo (d), dois indutores (L_1 e L_2), dois capacitores (C_1 e C_2) e um resistor representando a carga (R_0). A figura a seguir ilustra o circuito SEPIC clássico,

Figura 1 – Circuito 1 - SEPIC Clássico.



Fonte: Autoria Própria.

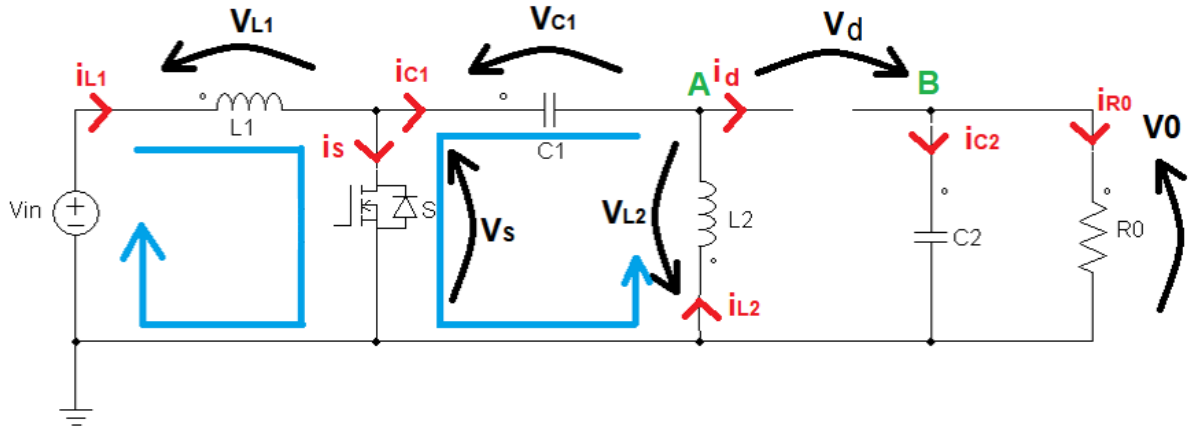
Sabendo-se da topologia acima, Figura 1, e utilizando os conceitos de [4], é possível estudar o princípio de funcionamento do conversor.

2.1.1 Princípio de Funcionamento

1º Etapa de Operação

A Figura 2 representa a primeira etapa de operação.

Figura 2 – Circuito 1 - SEPIC Clássico (1º Etapa de Operação).



Fonte: Autoria Própria.

Na Figura 2 determina-se o sentido das tensões e correntes, e além disso, em cor azul é representado o caminho da corrente para a primeira de operação.

Nesta etapa de operação a chave S está em condução, e o diodo d está em bloqueio. A tensão de entrada é aplicada sobre os indutores L_1 e L_2 . E a corrente na chave S é a soma das correntes de L_1 e L_2 .

É possível verificar tal afirmação utilizando as equações do circuito, com o conceito da Lei das Malhas de Kirchhoff, onde indica que quando percorremos uma malha em um dado sentido, a soma algébrica das diferenças de potencial é igual a zero e com o conceito da Lei dos Nós, também chamada de primeira Lei de Kirchhoff, que indica que a soma das correntes que chegam em um nó é igual a soma das correntes que saem deste mesmo nó [5].

Analisando as tensões pela Lei das Malhas de Kirchhoff, e sempre isolando os termos de menor Ondulação (ripple) dos de maior ripple, faz-se as equações para a tensões.

$$V_{in} - v_{L1}(t) - v_S(t) = 0 \quad (2.1)$$

Lembrando que a chave, nesta etapa de operação, está fechada, obtém-se:

$$v_S(t) = 0 \quad (2.2)$$

A equação 2.1, torna-se:

$$v_{L1}(t) = V_{in} \quad (2.3)$$

A equação para o indutor 2, será

$$v_S(t) - v_{C1}(t) + v_{L2}(t) = 0 \quad (2.4)$$

Lembrando-se que para essa etapa de operação, a tensão na chave é zero (equação 2.2).

$$v_{L2}(t) = v_{C1}(t) \quad (2.5)$$

Utilizando a Lei dos Nós, e encontrando as equações para as correntes nos capacitores, temos para o nó A, de acordo com a Figura 2:

$$i_{C1}(t) + i_{L2}(t) = i_d(t) \quad (2.6)$$

,

Como o diodo está em bloqueio,

$$i_d(t) = 0 \quad (2.7)$$

$$i_{C1}(t) = -i_{L2}(t) \quad (2.8)$$

E, analisando agora para o nó B, de acordo com a Figura 2:

$$i_{C2}(t) + i_{R0}(t) = 0 \quad (2.9)$$

$$i_{C2}(t) = -\frac{v_0(t)}{R_0} \quad (2.10)$$

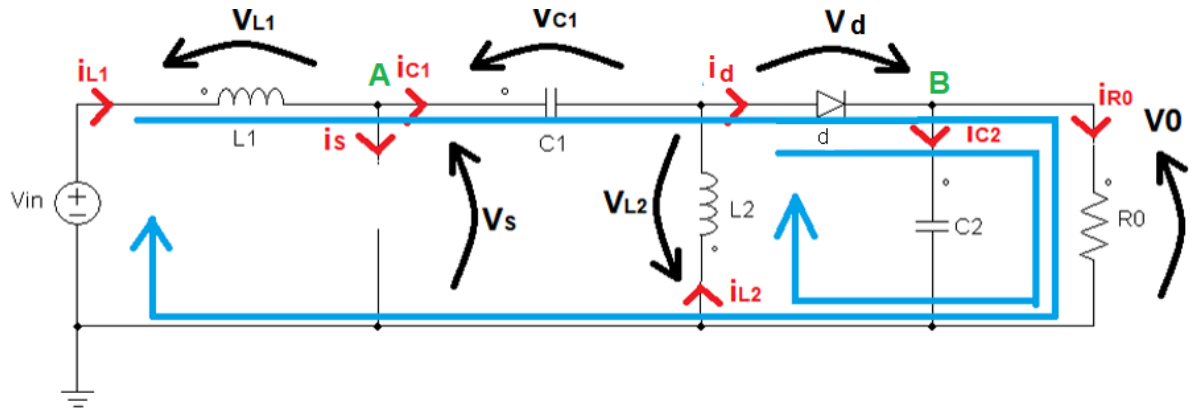
2ª Etapa de Operação

Para esta etapa de operação temos a Figura 3.

Nesta etapa de operação a chave S está aberta, e o diodo d está em condução. Agora a corrente no diodo d é a soma das correntes de L_1 e L_2 .

Utilizando os mesmos princípios de equações da primeira etapa de operação, a primeira equação da tensão será:

$$V_{in}(t) - v_{L1}(t) - v_{C1}(t) + v_d(t) - v_0(t) = 0 \quad (2.11)$$

Figura 3 – Circuito 1 - SEPIC Clássico (2º Etapa de Operação).

Fonte: Autoria Própria.

Como

$$v_d(t) = 0 \quad (2.12)$$

A equação 2.11, torna-se:

$$v_{L1}(t) = V_{in} - v_{C1}(t) - v_0(t) \quad (2.13)$$

A equação para a tensão no indutor 2, será

$$-v_{L2}(t) + v_d(t) - v_0(t) = 0 \quad (2.14)$$

,

Sabendo da equação 2.12, tem-se:

$$v_{L2}(t) = -v_0(t) \quad (2.15)$$

,

Analisando agora, as correntes nos nós.

Para o nó A:

$$i_{L1}(t) - i_{C1}(t) - i_S(t) = 0 \quad (2.16)$$

Como a chave S está aberta.

$$i_S(t) = 0 \quad (2.17)$$

$$i_{C1}(t) = i_{L1}(t) \quad (2.18)$$

Para o nó B:

$$i_d(t) - i_{C2}(t) - i_{R0}(t) = 0 \quad (2.19)$$

Como

$$i_d(t) = i_{C1}(t) + i_{L2}(t) \quad (2.20)$$

$$i_{C2}(t) = i_{C1}(t) + i_{L2}(t) - i_{R0}(t) \quad (2.21)$$

$$i_{C2}(t) = i_{C1}(t) + i_{L2}(t) - \frac{v_0}{R_0}(t) \quad (2.22)$$

Logo com as duas etapas de operação é possível observar o funcionamento deste conversor, e para que seja possível realizar a simulação é necessário obter os valores dos elementos do circuito, para isso realiza-se o projeto deste circuito SEPIC clássico.

2.1.2 Projeto - Circuito 1 - SEPIC clássico

Para que seja possível a realização do projeto, deve-se ter os valores de contorno para o projeto. Assim, neste projeto utiliza-se os seguintes parâmetros:

Tabela 1 – Valores de Contorno para Projeto.

Nomenclatura	Simbologia	Valor
Tensão de entrada	V_{in}	197V
Tensão de saída	V_0	400V
Potência de saída	P_0	1kW
Frequência de comutação	f_S	100kHz
Ripple de corrente	ΔI	10%
Ripple de tensão	ΔV	2%

Fonte: Autoria Própria

O valor da tensão de entrada considerada é de 197V, e é justificado pelo valor da tensão de saída de uma ponte retificadora. Supondo-se que o valor da fonte de tensão alternada seja de $311V_{pico}$ e $220V_{rms}$ o valor de tensão na saída da retificação será:

$$V_{in(SEPIC)} = 0,636 \times V_{fonte} \quad (2.23)$$

$$V_{in(SEPIC)} = 0,636 \times 311 \approx 197V \quad (2.24)$$

A frequência de chaveamento escolhida é referente aos níveis de frequência de operação da chave, do tipo Metal Oxide Semiconductor Field Effect Transistor ou Transistor de Efeito

de Campo de Óxido de Metal Semicondutor (MOSFET), conforme [6]. A tensão de saída é de 400V por consequência dos níveis de tensão suficientes para injeção de corrente na rede. Os ripples foram indicados a partir do estudo dos níveis aceitáveis para a aplicação.

Lembrando que na subseção 2.1.1, verificou-se as equações para cada etapa de operação, e agora as mesmas serão utilizadas aqui, para o cálculo do projeto, além dos conceitos de [7, 8, 9].

Aproximando os termos de menor ripple das equações da subseção 2.1.1 por valor médio.

Para a primeira etapa de operação:

$$v_{L1}(t) = V_{in} \quad (2.25)$$

$$v_{L2}(t) = V_{C1} \quad (2.26)$$

$$i_{C1}(t) = -I_{L2} \quad (2.27)$$

$$i_{C2}(t) = -\frac{V_0}{R_0} \quad (2.28)$$

Para a segunda etapa de operação:

$$v_{L1}(t) = V_{in} - V_{C1} - V_0 \quad (2.29)$$

$$v_{L2}(t) = -V_0 \quad (2.30)$$

$$i_{C1}(t) = I_{L1} \quad (2.31)$$

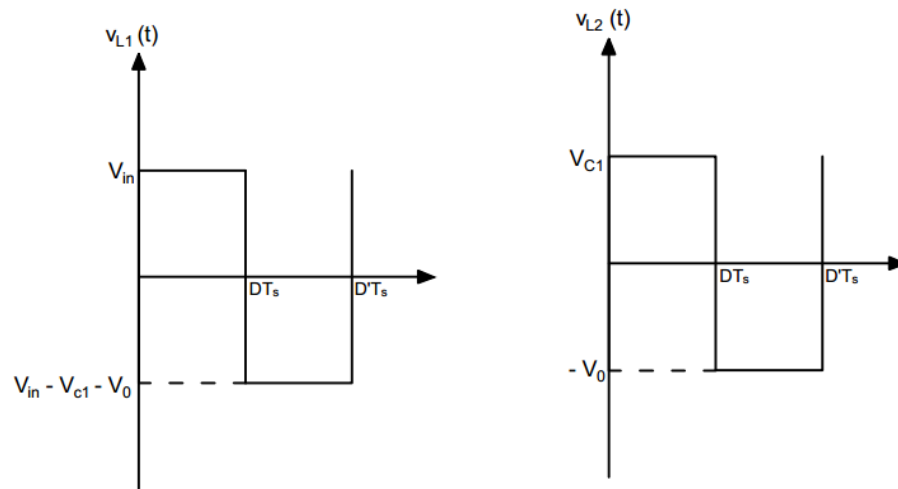
$$i_{C2}(t) = I_{C1} + I_{L2} - \frac{V_0}{R_0} \quad (2.32)$$

Utilizando as equações 2.25, 2.26, 2.29 e 2.30, pode-se ilustrar os respectivos gráficos correspondentes (Figura 4).

A partir do gráfico é possível obter as seguintes equações no tempo T_S :

$$\{v_{L1}\}_{TS} = DV_{in} + D'(V_{in} - V_{C1} - V_0) \quad (2.33)$$

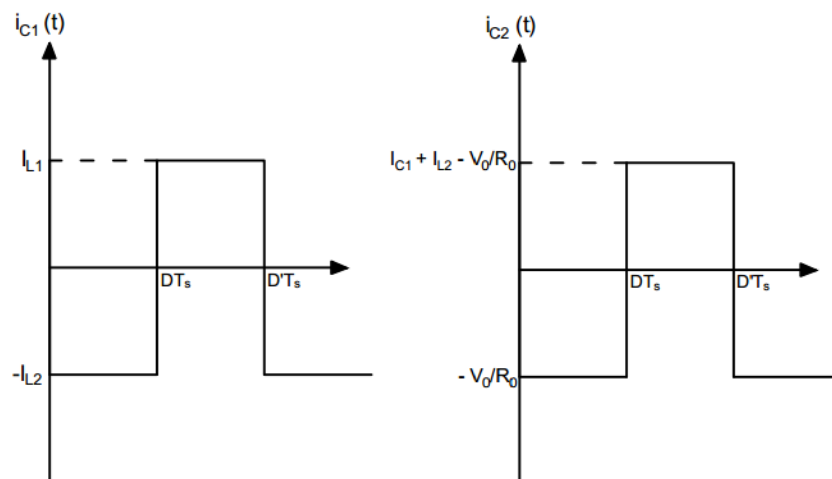
$$\{v_{L2}\}_{TS} = DV_{C1} + D'(-V_0) \quad (2.34)$$

Figura 4 – Gráficos das tensões instantâneas nos indutores.

(a) Gráfico da tensão instantânea no indutor 1. (b) Gráfico da tensão instantânea no indutor 2.

Fonte: Autoria Própria.

Utilizando as equações 2.27, 2.28, 2.31 e 2.32, pode-se ilustrar os seguintes gráficos de corrente:

Figura 5 – Gráficos das correntes instantâneas nos capacitores.

(a) Gráfico da corrente instantânea no capacitor 1. (b) Gráfico da tensão instantânea no capacitor 2.

Fonte: Autoria Própria.

E as equações para as correntes serão:

$$\{i_{C1}\}_{TS} = D(-I_{L2}) + D'(I_{L1}) \quad (2.35)$$

$$\{i_{C2}\}_{TS} = D(-V_0/R_0) + D'(I_{C1} + I_{L2} - V_0/R_0) \quad (2.36)$$

A partir das equações e os gráficos mencionados, é possível resolvê-las para encontrar os valores dos elementos.

Utilizando as equações 2.33 e 2.34, e aproximando o valor das tensões nos indutores para valor médio, pode-se escrever:

$$\begin{cases} DV_{in} + D'(V_{in} - V_{C1} - V_0) = 0 \\ DV_{C1} - D'V_0 = 0 \end{cases} \quad (2.37)$$

Isolando V_{C1} e V_0 , temos

$$\begin{cases} D'V_{C1} + D'V_0 = (D + D')V_{in} \\ DV_{C1} - D'V_0 = 0 \end{cases} \quad (2.38)$$

Resolvendo-se a equação 2.38, V_{C1} torna-se:

$$(D + D')V_{C1} = (D + D')V_{in} \quad (2.39)$$

$$V_{C1} = V_{in} \quad (2.40)$$

Voltando na equação 2.37, na segunda equação pode-se escrever:

$$D'V_0 = D'V_{C1} \quad (2.41)$$

$$V_0 = \frac{D}{D'}V_{C1} \quad (2.42)$$

Tendo-se como base as equações 2.35 e 2.36, e aproximando as correntes instantâneas nos capacitores por valor médio, encontra-se os valores das correntes nos indutores.

$$\begin{cases} -D'I_{L2} + D'I_{L1} = 0 \\ -D\frac{V_0}{R_0} + D'I_{C1} + D'I_{L2} - D'\frac{V_0}{R_0} = 0 \end{cases} \quad (2.43)$$

Isolando I_{L1} e I_{L2} ,

$$\begin{cases} -D'I_{L2} + D'I_{L1} = 0 \times (-1) \\ D'I_{L2} + D'I_{L1} = (D + D')\frac{V_0}{R_0} = 0 \end{cases} \quad (2.44)$$

$$\begin{cases} D'I_{L2} - D'I_{L1} = 0 \\ D'I_{L2} + D'I_{L1} = (D + D')\frac{V_0}{R_0} = 0 \end{cases} \quad (2.45)$$

$$\begin{cases} D'I_{L2} - D'I_{L1} = 0 \\ D'I_{L2} + D'I_{L1} = (D + D')\frac{V_0}{R_0} = 0 \end{cases} \quad (2.46)$$

$$(D + D')I_{L2} = \frac{(D + D')V_0}{R_0} \quad (2.47)$$

$$I_{L2} = V_0/R_0 \quad (2.48)$$

Voltando na equação 2.45, na primeira equação,

$$I_{L1} = \frac{D}{D'}I_{L2} \quad (2.49)$$

Empregando a equação 2.48.

$$I_{L1} = \frac{DV_0}{D'R_0} \quad (2.50)$$

Encontrado as equações para as correntes nos indutores e tensão nos capacitores, pode-se pela equação característica do elemento, encontrar seu valor para este projeto.

Equação característica para o indutor:

$$v_L = \frac{Ld_{iL}(t)}{dt} \quad (2.51)$$

Equação característica para o capacitor:

$$i_C = \frac{Cd_vC(t)}{dt} \quad (2.52)$$

,

Voltando nos valores da tabela 1, pode-se realizar os cálculos de projeto.

Cálculo da Razão Cíclica (D):

Sabendo que o conversor SEPIC, tem por definição que:

$$V_0 = \frac{D}{D'}V_{in} \quad (2.53)$$

,

E que:

$$D' = (1 - D) \quad (2.54)$$

Pode-se isolar D,

$$D = \frac{V_0}{V_0 + V_{in}} \quad (2.55)$$

Logo,

$$D = \frac{400}{400 + 197} \quad (2.56)$$

$$D = 0,67 \quad (2.57)$$

Cálculo da Resistência (R_0):

$$R_0 = \frac{V_0^2}{P_0} \quad (2.58)$$

$$R_0 = \frac{400^2}{1000} \quad (2.59)$$

$$R_0 = 160\Omega \quad (2.60)$$

Cálculo do indutor 1 (L_1):

Considerando as equações para a chave em condução, e também a equação 2.51,

De acordo com a equação 2.3,

$$v_{in} = \frac{L_1 \Delta i_{L1}}{DT_S} \quad (2.61)$$

Isolando L_1 , e sabendo que $f_s = \frac{1}{T_S}$.

$$L_1 = \frac{V_{in} \times D}{f_S \Delta i_{L1}} \quad (2.62)$$

Voltando na equação 2.50, pode-se calcular o valor da corrente em L_1 e por consequência Δi_{L1} .

$$I_{L1} = \frac{0,67 \times 400}{(1 - 0,67) \times 160} \quad (2.63)$$

$$I_{L1} = 5,08A \quad (2.64)$$

Logo,

$$\Delta I_{L1} = \Delta I \times I_{L1} \quad (2.65)$$

$$\Delta I_{L1} = 0,10 \times 5,08 \quad (2.66)$$

$$\Delta I_{L1} = 0,508 \quad (2.67)$$

Assim a equação 2.62, torna-se:

$$L_1 = \frac{197 \times 0,67}{100000 \times 0,508} \quad (2.68)$$

$$L_1 = 2,60mH \quad (2.69)$$

Cálculo do indutor 2 (L_2):

Considera-se as equações para a chave em condução, e a equação 2.51. De acordo com a equação 2.5, e fazendo-se aproximação por valor médio,

$$v_{L2}(t) = V_{C1} = V_{in} \quad (2.70)$$

,

Assim pode-se obter:

$$V_{in} = \frac{L_2 \Delta i_{L2}}{DT_S} \quad (2.71)$$

Isolando L_2 , e sabendo que $f_s = \frac{1}{T_S}$.

$$L_2 = \frac{V_{in} \times D}{f_s \Delta i_{L2}} \quad (2.72)$$

Voltando na equação 2.48, podemos calcular o valor da corrente em L_2 e por consequência Δi_{L2} .

$$I_{L2} = \frac{V_0}{R_0} \quad (2.73)$$

$$I_{L2} = \frac{400}{160} \quad (2.74)$$

$$I_{L2} = 2,5A \quad (2.75)$$

Logo,

$$\Delta I_{L2} = \Delta I \times I_{L2} \quad (2.76)$$

$$\Delta I_{L2} = 0,10 \times 2,5 \quad (2.77)$$

$$\Delta I_{L2} = 0,25 \quad (2.78)$$

Assim a equação 2.72, torna-se:

$$L_2 = \frac{197 \times 0,67}{100000 \times 0,25} \quad (2.79)$$

$$L_2 = 5,28mH \quad (2.80)$$

Cálculo do Capacitor 1 (C_1):

Considerando os valores para a chave em condução, e a equação 2.52. Na equação 2.8, faz-se aproximação por valor médio, conforme equação 2.48.

$$i_{C1}(t) = -I_{L2} = \frac{V_0}{R_0} \quad (2.81)$$

,

Assim, pode-se obter:

$$\frac{V_0}{R_0} = \frac{C_1 \Delta v_{C1}}{DT_s} \quad (2.82)$$

Isolando C_1 , e sabendo que $f_s = \frac{1}{T_s}$.

$$C_1 = \frac{V_{C1} \times D}{R f_s \Delta v_{C1}} \quad (2.83)$$

Voltando na equação 2.40, pode-se calcular o valor da tensão no C_1 e por consequência Δv_{C1} .

$$V_{C1} = V_{in} = 197V \quad (2.84)$$

Logo,

$$\Delta v_{C1} = \Delta V \times V_{C1} \quad (2.85)$$

$$\Delta v_{C1} = 0,02 \times 197 \quad (2.86)$$

$$\Delta v_{C1} = 3,94 \quad (2.87)$$

A equação 2.83, será:

$$C_1 = \frac{400 \times 0,67}{160 \times 100000 \times 3,94} \quad (2.88)$$

$$C_1 = 4,25\mu F \quad (2.89)$$

Cálculo do Capacitor 2 (C_2):

Considerando os valores para a chave em condução, e a equação 2.52, a equação 2.10 pode ser escrita como:

$$\frac{V_0}{R_0} = \frac{C_2 \Delta v_{C2}}{DT_S} \quad (2.90)$$

Isolando C_2 , e sabendo que $f_s = \frac{1}{T_S}$.

$$C_2 = \frac{V_0 \times D}{R f_s \Delta v_{C2}} \quad (2.91)$$

$$V_{C2} = V_0 = 400V \quad (2.92)$$

Logo,

$$\Delta v_{C2} = \Delta V \times V_{C2} \quad (2.93)$$

$$\Delta v_{C2} = 0,02 \times 400 \quad (2.94)$$

$$\Delta v_{C2} = 8 \quad (2.95)$$

Assim, a equação 2.83, torna-se:

$$C_2 = \frac{400 \times 0,67}{160 \times 100000 \times 8} \quad (2.96)$$

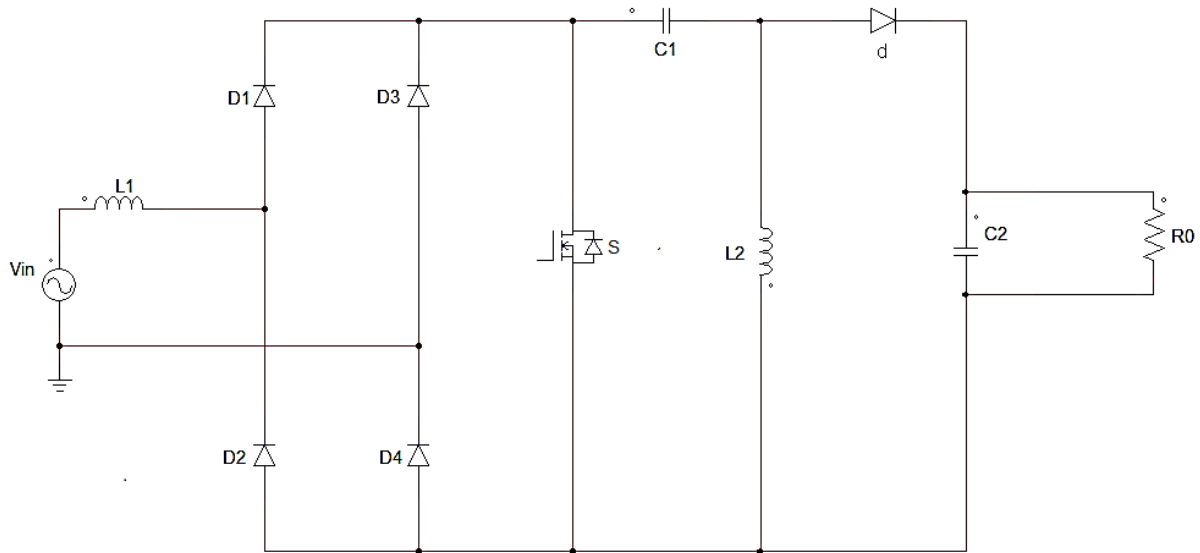
$$C_2 = 2,09\mu F \quad (2.97)$$

Assim é concluído os valores de projeto para o para o SEPIC clássico.

2.2 CIRCUITO 2

O circuito 2 é composto de uma fonte de tensão alternada (V_{in}), uma chave (S), cinco diodos (d, D_1, D_2, D_3 e D_4), dois indutores (L_1 e L_2), dois capacitores (C_1 e C_2) e um resistor representando a carga (R_0). A Figura 6 ilustra o circuito 2.

Figura 6 – Topologia circuito 2.



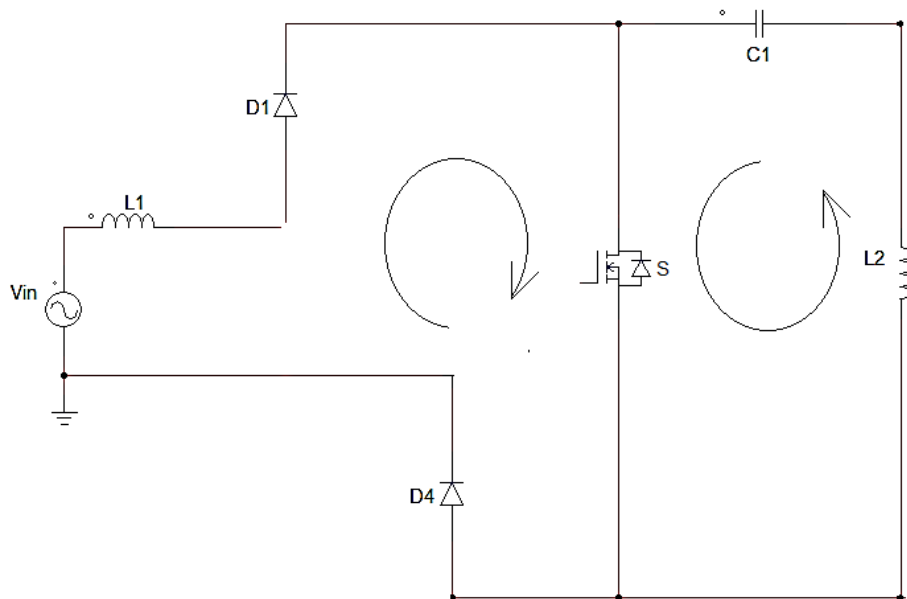
Fonte: Autoria Própria.

2.2.1 Princípio de funcionamento

A diferenças notórias em relação ao circuito 1 são: a fonte de tensão contínua passa a ser fonte de tensão alternada, e para obtenção de uma tensão constante na entrada do conversor, utiliza-se uma ponte retificadora não controlada.

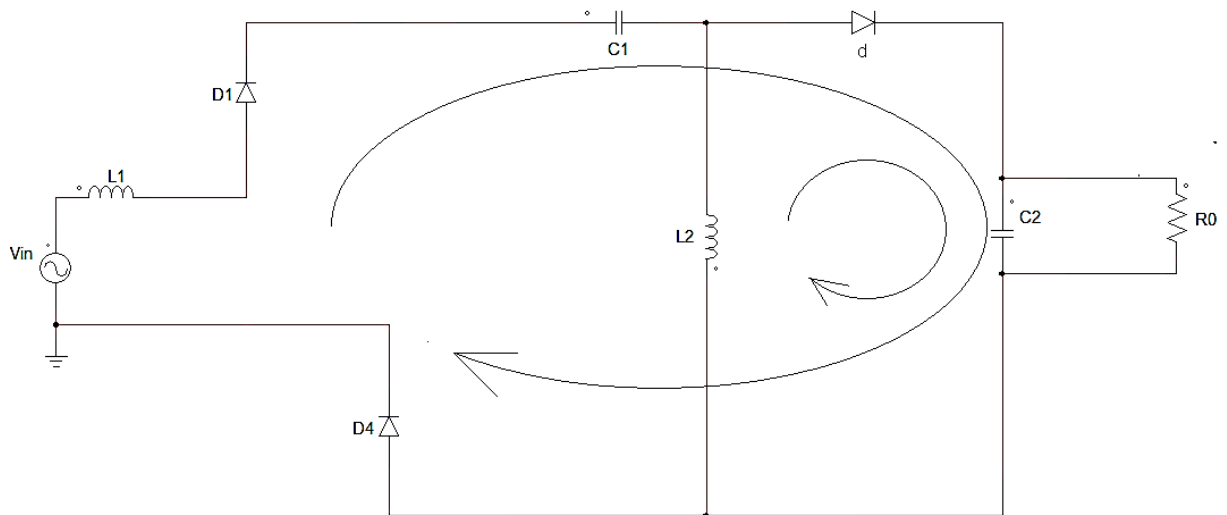
Verifica-se que o princípio de funcionamento é semelhante ao circuito clássico, porém há o incremento da ponte retificadora e fonte de tensão alternada, e por consequência haverá a adição de 2 outras etapas de operação, sendo elas : primeira e segunda etapa para o semiciclo positivo e terceira e quarta etapa para o semiciclo negativo. Com isto, aqui, não serão apresentadas as equações provenientes desta topologia já que pode-se utilizar as mesmas equações apresentadas na subseção 2.1.1, diferenciando-se apenas pelo incremento da ponte retificadora.

Na Figura 7, é ilustrada a primeira etapa de operação, e é possível identificar que a chave S está fechada, os diodos D_1 e D_4 estão em condução, e como acontece no circuito clássico o indutor L_1 está sendo carregado pela fonte, e o indutor L_2 está sendo carregado pelo C_1 .

Figura 7 – Circuito 2 - 1ª etapa de operação.

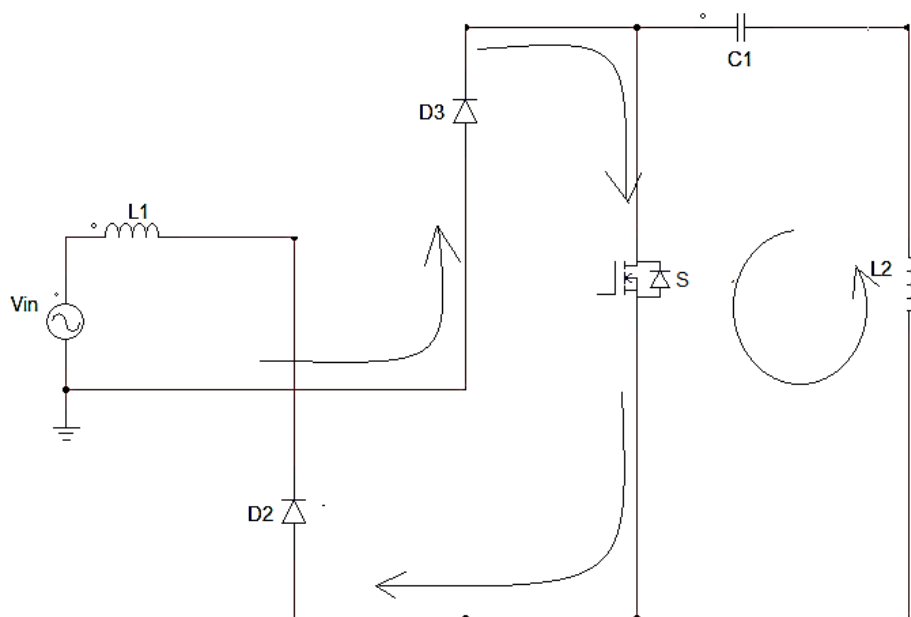
Fonte: Autoria Própria.

A Figura 8 mostra a segunda etapa de operação. Nesta etapa os diodos D_1 e D_4 ainda estão em condução, mas a chave S encontra-se aberta, o indutor L_1 carrega os capacitores C_1 e C_2 , e o indutor L_2 carrega o C_1 .

Figura 8 – Circuito 2 - 2ª etapa de operação.

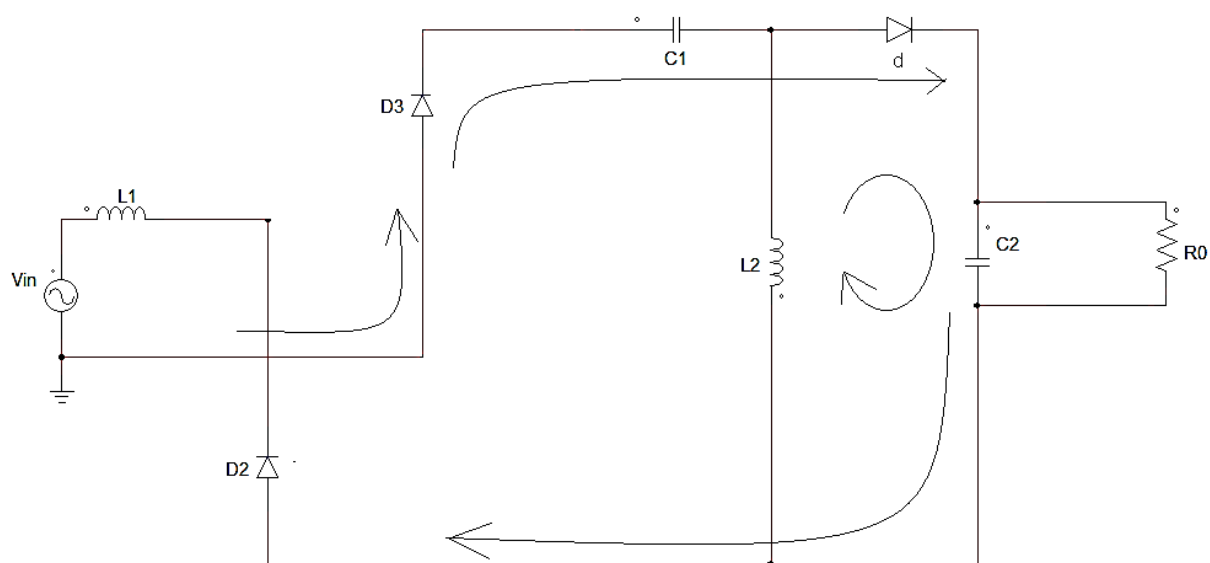
Fonte: Autoria Própria.

A Figura 9 mostra a terceira etapa de operação. Identica-se para esta etapa a fonte se encontra no semiciclo negativo, agora os diodos D_2 e D_3 estão em condução, e a chave S está fechada, o indutor L_1 está sendo carregado pela fonte, e o indutor L_2 está sendo carregado capacitor pelo C_1 .

Figura 9 – Circuito 2 - 3ª etapa de operação.

Fonte: Autoria Própria.

Para a última etapa de operação utiliza-se a Figura 10. Nesta etapa, a fonte ainda encontra-se no semiciclo negativo, os diodos D_2 e D_3 ainda estão em condução, e a chave S agora está aberta, o indutor L_1 agora passa a carregar os capacitores C_1 e C_2 , e o indutor L_2 carrega o capacitor C_1 .

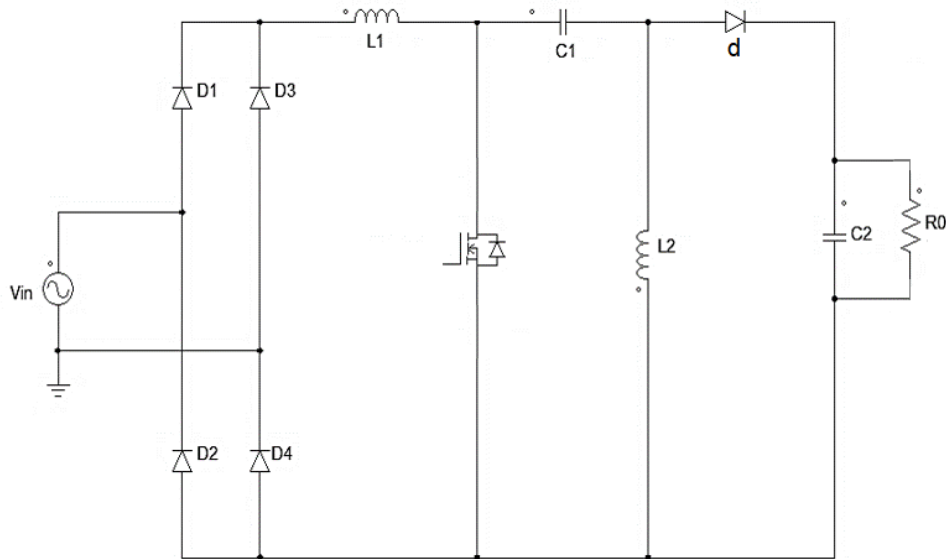
Figura 10 – Circuito 2 - 4ª etapa de operação.

Fonte: Autoria Própria.

2.3 CIRCUITO 3

O circuito 3 é composto de uma fonte de tensão alternada (V_{in}), uma chave (S), cinco diodos (d, D_1, D_2, D_3 e D_4), dois indutores (L_1 e L_2), dois capacitores (C_1 e C_2) e um resistor representando a carga (R_0). A Figura 11 ilustra o circuito 3.

Figura 11 – Topologia circuito 3.



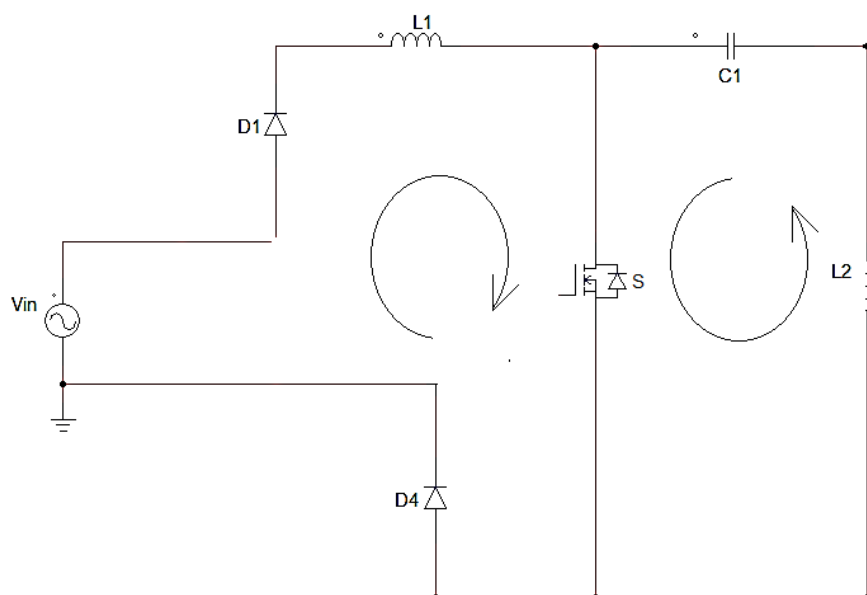
Fonte: Autoria Própria.

2.3.1 Princípio de funcionamento

O circuito 3 tem as mesmas características do circuito 2, porém o indutor L_1 não está na entrada, e sim após a ponte retificadora. A topologia também apresenta os mesmos princípios de funcionamento do circuito clássico, e as mesmas etapas de operação do circuito 2.

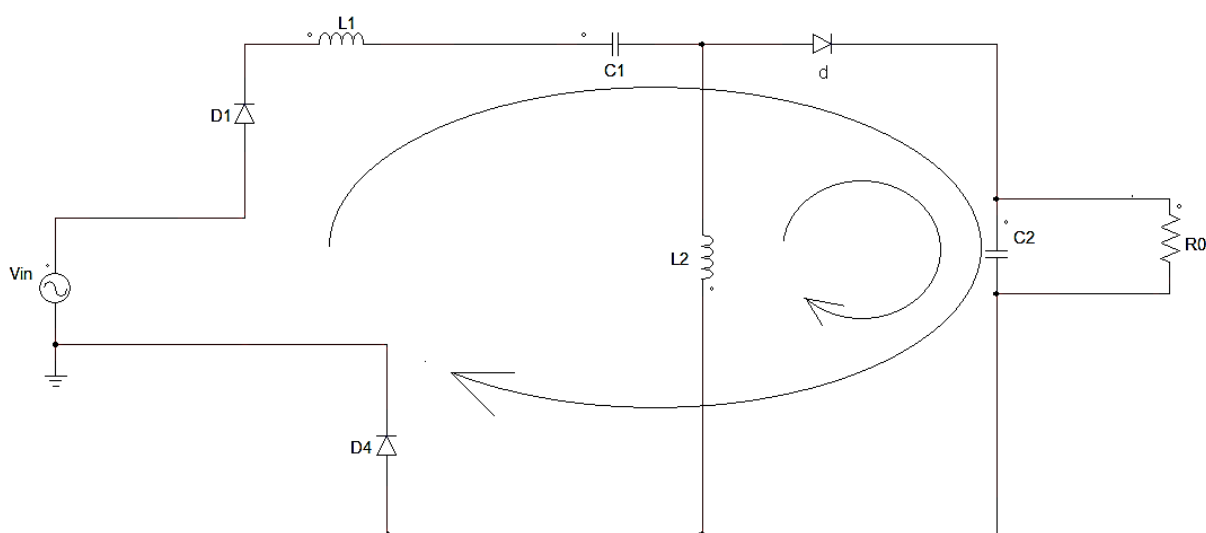
A seguir, serão apresentadas apenas as ilustrações da primeira e segunda etapa de operação, já que como vimos anteriormente a mudança ficará apenas pelo caminho percorrido pela corrente na terceira e na quarta etapa de operação e os diodos que estarão conduzindo.

Na Figura 12 identifica a primeira etapa de operação. Percebe-se que a chave S está fechada, os diodos D_1 e D_4 estão em condução, e como acontece no circuito clássico e também no circuito 2, o indutor L_1 é carregado pela fonte, e o indutor L_2 é carregado pelo capacitor C_1 .

Figura 12 – Circuito 3 - 1ª etapa de operação.

Fonte: Autoria Própria.

A Figura 13 ilustra a segunda etapa de operação. Entende-se que nesta etapa que os diodos D_1 e D_4 ainda estão em condução, mas a chave S está aberta, o indutor L_1 carrega os capacitores C_1 e C_2 , e o indutor L_2 carrega o capacitor C_1 .

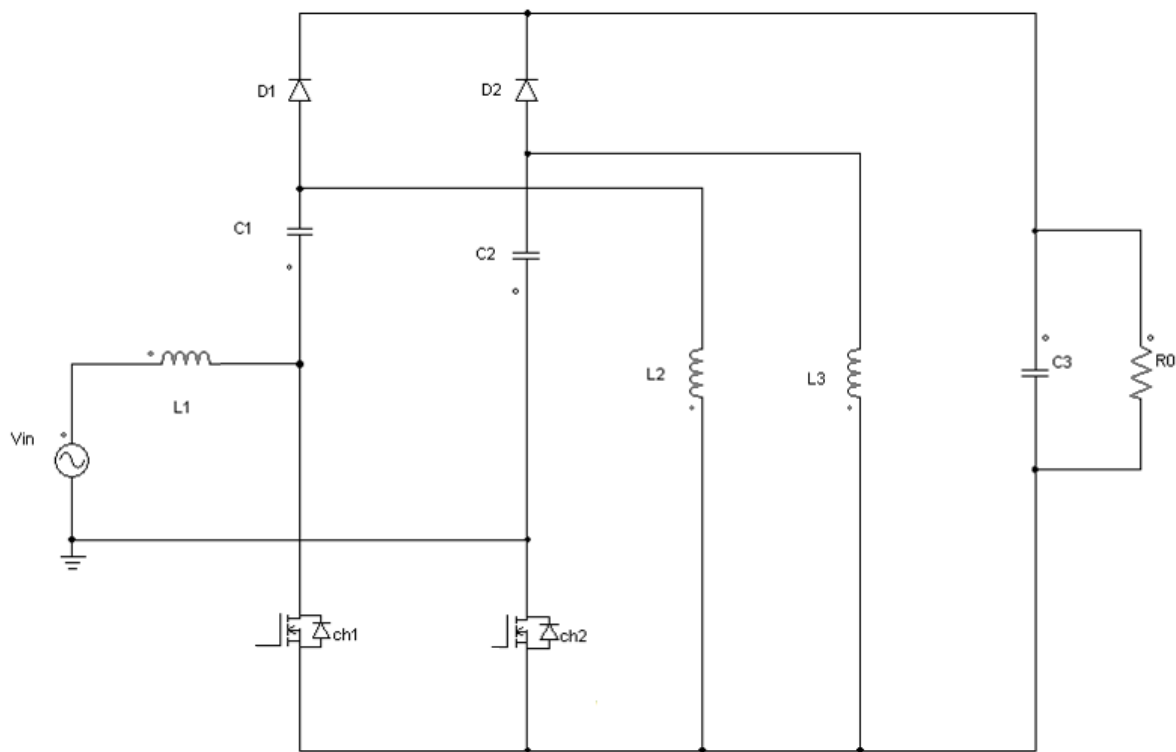
Figura 13 – Circuito 3 - 2ª etapa de operação.

Fonte: Autoria Própria.

2.4 CIRCUITO 4

O Circuito 4 é composto de uma fonte de tensão alternada (V_{in}), duas chaves ($CH1$ e $CH2$), dois diodos que são utilizados na retificação (D_1 e D_2), três indutores (L_1 , L_2 e L_3), três capacitores (C_1 , C_2 e C_3) e um resistor representando a carga (R_0). A Figura 14 ilustra o circuito 4.

Figura 14 – Topologia circuito 4.



Fonte: Autoria Própria.

Esta topologia é uma topologia nova em relação as outras apresentadas, já que utiliza-se duas chaves, e além disso a ponte passa a ser semi-controlada, já que a retificação é feita por dois diodos e duas chaves. Ademais há o incremento de dois elementos passivos nesta topologia. Por conseguinte, tem-se o objetivo de estudar o princípio de funcionamento deste circuito.

2.4.1 Princípio de funcionamento

Nesta topologia existem quatro etapas de operação:

-> No semiciclo **positivo**: quando o diodo D_1 está em condução em conjunto com o diodo de corpo da chave $CH2$

1º Etapa: chave $CH1$ aberta

2º Etapa: chave $CH1$ fechada

-> No semiciclo **negativo**: quando o diodo $D2$ está em condução em conjunto com o diodo de corpo da chave $CH1$

3º Etapa: chave $CH2$ aberta

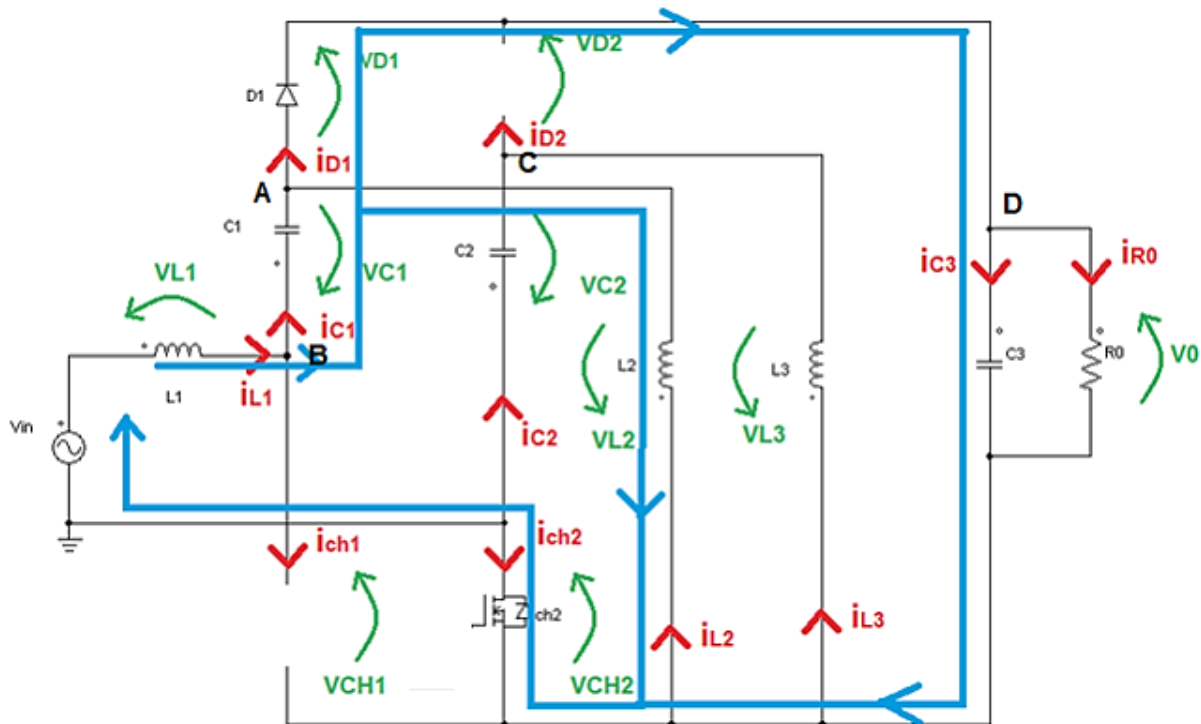
4º Etapa: chave $CH2$ fechada

Sabendo-se disto, como as etapas de operação para o semiciclo positivo é semelhante ao semiciclo negativo, aqui, se fará apenas as etapas de operação para o semiciclo positivo.

1º Etapa de operação

A Figura 15, ilustra o princípio de funcionamento desta topologia quando a chave $CH1$ está aberta.

Figura 15 – Circuito 4 - 1º etapa de operação.



Fonte: Autoria Própria.

As equações a seguir levam em consideração a Lei de Kirrrchhoff das Malhas, incluindo além das malhas principais, as outras que serão necessárias para isolar todos os elementos do circuito.

$$V_{in} - V_{L1} - V_{C1} + V_{L2} + V_{CH2} = 0 \quad (2.98)$$

Isolando V_{L1} ,

$$V_{L1} = V_{in} - V_{C1} + V_{L2} \quad (2.99)$$

$$V_{in} - V_{L1} - V_{C1} + V_{D1} - V_0 + V_{CH2} = 0 \quad (2.100)$$

V_{C1} é:

$$V_{C1} = V_{in} - V_{L1} - V_0 \quad (2.101)$$

Já que: $V_{D1} = 0$ e $V_{CH2} = 0$.

$$-V_{L2} + V_{D1} - V_0 = 0 \quad (2.102)$$

Isolando V_{L2} ,

$$V_{L2} = -V_0 \quad (2.103)$$

Calculando o valor da tensão no indutor L_3 , tem-se:

$$-V_{L3} + V_{D2} - V_0 = 0 \quad (2.104)$$

$$V_{L3} = V_{D2} - V_0 \quad (2.105)$$

A tensão do diodo D_2 .

$$-V_{L2} + V_{D1} - V_{D2} + V_{L3} = 0 \quad (2.106)$$

$$V_{D2} = V_{L3} - V_{L2} \quad (2.107)$$

A tensão no capacitor C_2 .

$$V_{CH2} - V_{C2} + V_{L3} = 0 \quad (2.108)$$

$$V_{C2} = V_{CH2} + V_{L3} \quad (2.109)$$

Para a chave $CH1$:

$$V_{in} - V_{L1} - V_{CH1} + V_{CH2} = 0 \quad (2.110)$$

$$V_{CH1} = V_{in} - V_{L1} \quad (2.111)$$

Utilizando a Lei dos Nós de Kirchhoff, tem-se:

Nó A:

$$I_{C1} + I_{L2} = I_{D1} \quad (2.112)$$

Nó B:

$$I_{L1} = I_{C1} \quad (2.113)$$

Nó C:

$$I_{L3} + I_{C2} = I_{D2} \quad (2.114)$$

$$I_{L3} = -I_{C2} \quad (2.115)$$

Nó D:

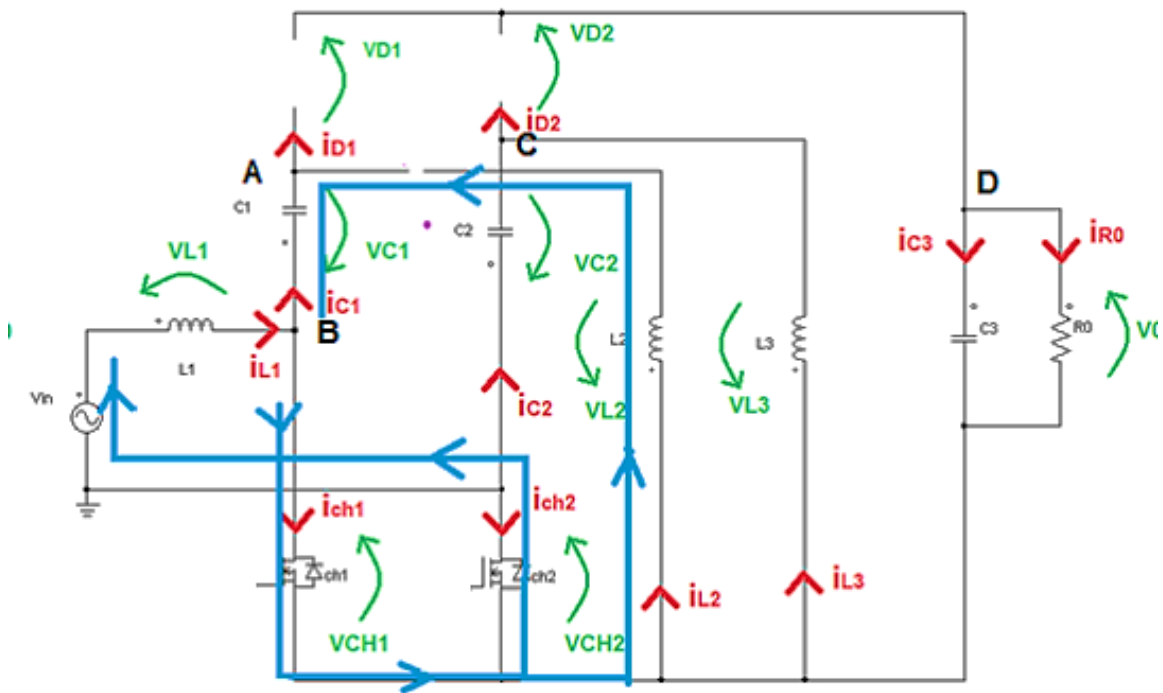
$$I_{C3} + I_{R0} = I_{D1} + I_{D2} \quad (2.116)$$

$$I_{C3} = I_{D1} - I_{R0} \quad (2.117)$$

2ª Etapa de operação

A Figura 16, ilustra o princípio de funcionamento desta topologia quando a chave $CH1$ está fechada.

Figura 16 – Circuito 4 - 2ª etapa de operação



Fonte: Autoria Própria

Utilizando os mesmos princípios utilizados na primeira etapa de operação, tem-se:

$$V_{in} - V_{L1} - V_{CH1} + V_{CH2} = 0 \quad (2.118)$$

$$V_{L1} = V_{in} \quad (2.119)$$

A tensão no capacitor 1, será:

$$V_{in} - V_{L1} - V_{C1} + V_{L2} + V_{CH2} = 0 \quad (2.120)$$

$$V_{C1} = V_{in} - V_{L1} + V_{L2} \quad (2.121)$$

Para o indutor 2, tem-se:

$$V_{CH1} - V_{C1} + V_{L2} = 0 \quad (2.122)$$

$$V_{L2} = V_{C1} \quad (2.123)$$

A equação para a tensão no indutor 3.

$$-V_{L2} + V_{D1} - V_{D2} + V_{L3} = 0 \quad (2.124)$$

$$V_{L3} = V_{C1} - V_{D1} + V_{D2} \quad (2.125)$$

Para o capacitor 2.

$$V_{CH2} - V_{C2} + V_{L3} = 0 \quad (2.126)$$

$$V_{C2} = V_{L3} \quad (2.127)$$

No diodo D_2 .

$$-V_{L3} + V_{D2} - V_0 = 0 \quad (2.128)$$

$$V_{D2} = V_0 + V_{L3} \quad (2.129)$$

Equação D_1 .

$$-V_{L2} + V_{D1} - V_0 = 0 \quad (2.130)$$

$$V_{D1} = V_0 + V_{L2} \quad (2.131)$$

Analisando as correntes nos nós.

Nó A:

$$I_{C1} + I_{L2} = I_{D1} \quad (2.132)$$

$$I_{C1} = -I_{L2} \quad (2.133)$$

Nó B:

$$I_{C1} + I_{CH1} = I_{L1} \quad (2.134)$$

Nó C:

$$I_{L3} + I_{C2} = I_{D2} \quad (2.135)$$

$$I_{C2} = -I_{L3} \quad (2.136)$$

Nó D:

$$I_{C3} + I_{R0} = I_{D1} + I_{D2} \quad (2.137)$$

$$I_{C3} = -I_{R0} \quad (2.138)$$

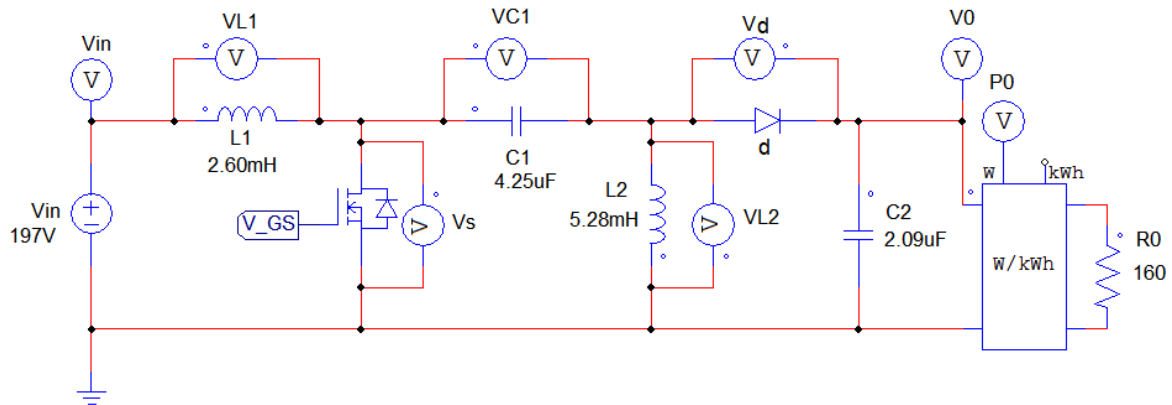
Assim, tem-se todas as equações possíveis deste circuito.

3 SIMULAÇÕES

3.1 SIMULAÇÃO CIRCUITO 1 -SEPIC CLÁSSICO

Seguindo o princípio de funcionamento explicado no capítulo anterior, a partir do simulador PSIM é possível obter o circuito equivalente deste circuito, conforme a Figura 17.

Figura 17 – Simulação do circuito 1 - SEPIC Clássico.

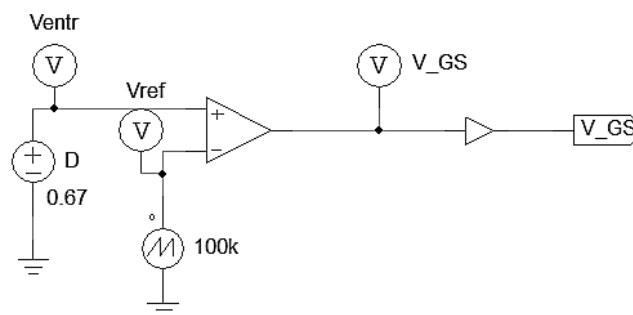


Fonte: Autoria Própria.

Para o comando da chave S do circuito utilizou o Pulse Width Modulation ou Modulação por Largura de Pulso (PWM), onde através de uma frequência fixa são gerados sinais de comando para modular o tempo em que a chave permanece ligada e desligada [10]. Nesta simulação utilizou-se uma razão cíclica de 0,67 e frequência de comutação de 100kHz, conforme o projeto.

A Figura 18, ilustra o circuito de comando que influenciará se a chave S estará aberta ou fechada.

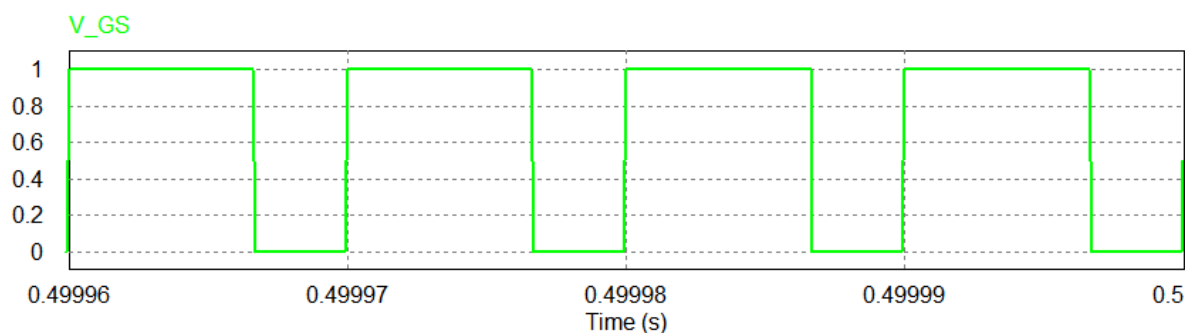
Figura 18 – Circuito 1 - Circuito de comando da chave S .



Fonte: Autoria Própria.

Assim conforme Figura 19, quando a chave S está fechada(ligada) a saída de comando está em nível alto, e quando fechada (desligada) está em nível baixo.

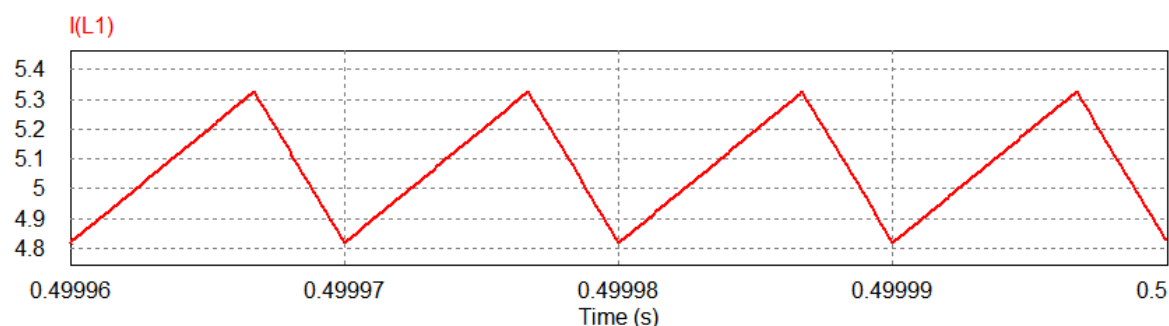
Figura 19 – Circuito 1 - Forma de onda do comando liga/desliga da chave S .



Fonte: Autoria Própria.

Na Figura 20, quando a chave S está fechada o indutor L_1 é carregado pela fonte. Quando a chave é aberta o indutor L_1 estará descarregando, pois este, estará carregando os capacitores C_1 e C_2 .

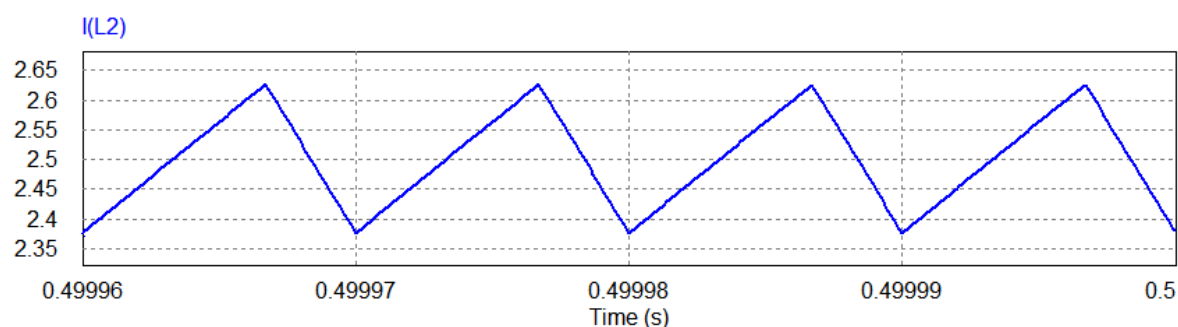
Figura 20 – Forma de onda da corrente no indutor 1.



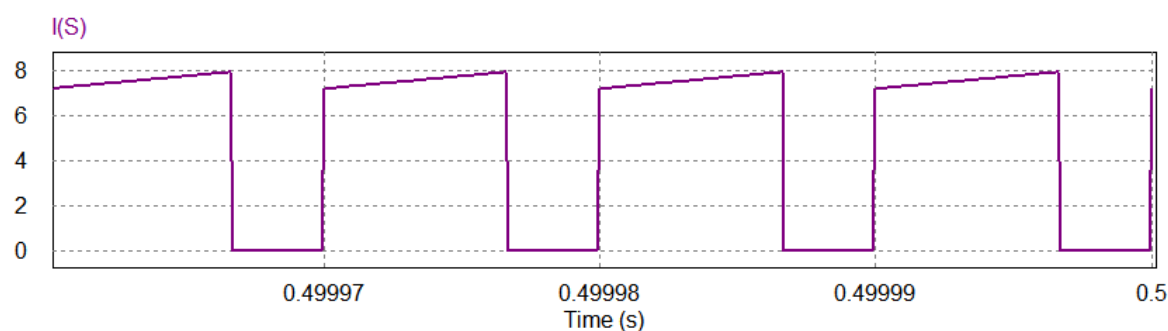
Fonte: Autoria Própria.

A Figura 21, ilustra que quando a chave S está fechada o indutor L_2 é carregado pelo capacitor C_1 e quando a chave está aberta o indutor L_2 carrega o capacitor C_1 .

Com a chave S fechada, há corrente no indutor L_1 , este por sua vez deve ter um valor mínimo de corrente. Logo, a corrente na chave S com o aumento de armazenamento de energia sobre o indutor L_1 , através da fonte, também irá aumentar de valor, atingindo um valor máximo, e que é quando a chave irá se abrir. Quando a chave S está aberta não há passagem de corrente pela chave S (Figura 22).

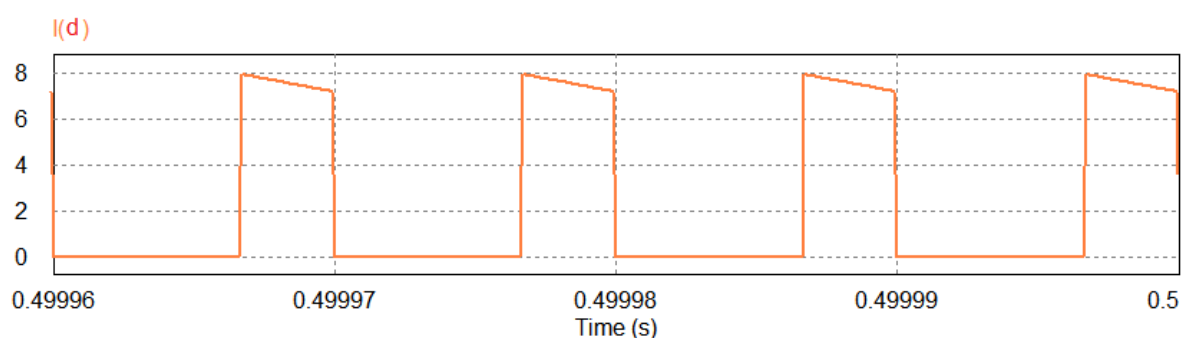
Figura 21 – Forma de onda da corrente no indutor 2.

Fonte: Autoria Própria.

Figura 22 – Forma de onda da corrente na chave S.

Fonte: Autoria Própria.

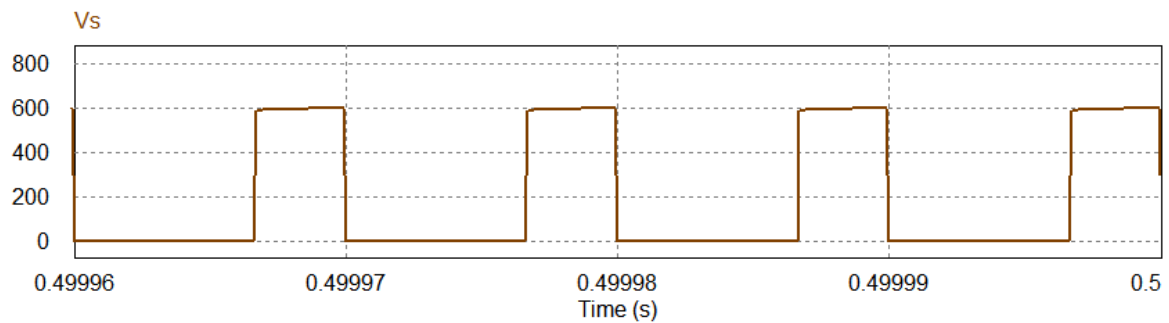
Sabe-se que quando a chave S está fechada o diodo d estará reversamente polarizado, então não passará corrente pelo diodo. No entanto na abertura da chave, o diodo passará a conduzir, neste momento a corrente no diodo será máxima, já que conforme as Figuras 20 e 21, quando a chave estava fechada os indutores L_1 e L_2 estavam armazenando energia, e nesta etapa o diodo receberá a soma das correntes de L_1 e L_2 . E a corrente no diodo d será mínima quando estiver no limiar de fechamento da chave novamente (Figura 23).

Figura 23 – Forma de onda da corrente no diodo d.

Fonte: Autoria Própria.

Se a chave S está fechada, a tensão sobre a chave será igual a zero. Mas quando a chave estiver aberta a tensão sobre ela será a soma das tensões da fonte V_{in} e do indutor L_1 (Figura 24).

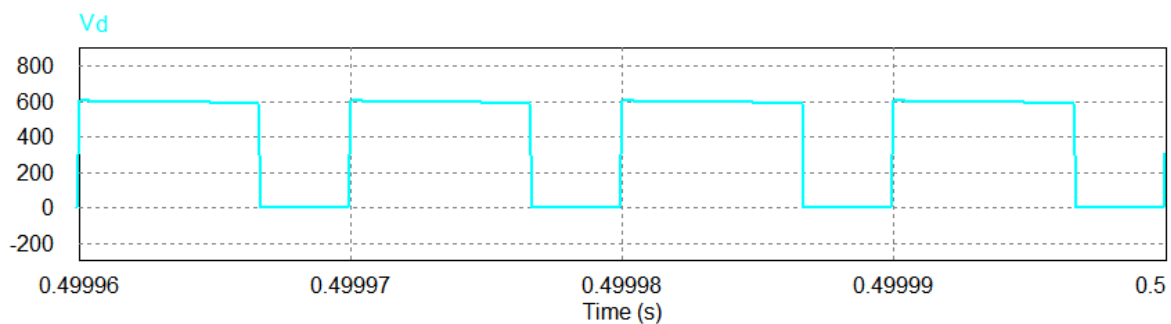
Figura 24 – Forma de onda da tensão na chave S .



Fonte: Autoria Própria.

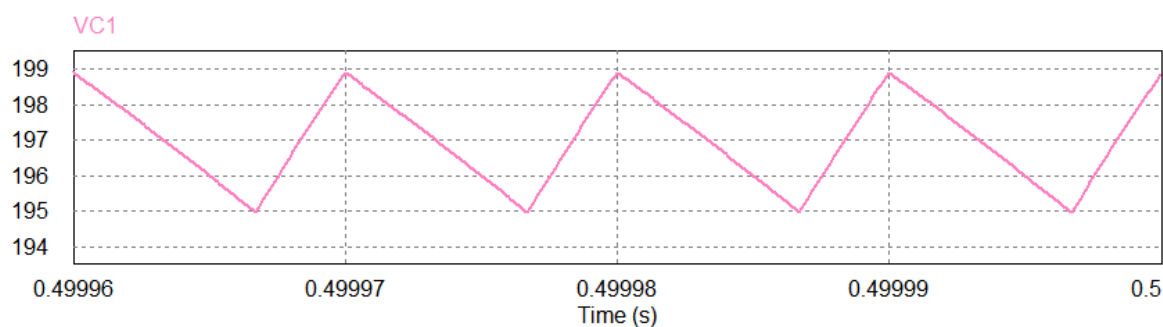
A tensão no diodo d será igual a zero na segunda etapa de operação, ao qual o mesmo estará em condução, e terá tensão sobre seus terminais da soma da tensão de entrada V_{in} e a tensão do indutor L_2 na primeira etapa de operação (Figura 25).

Figura 25 – Forma de onda da tensão no diodo d .



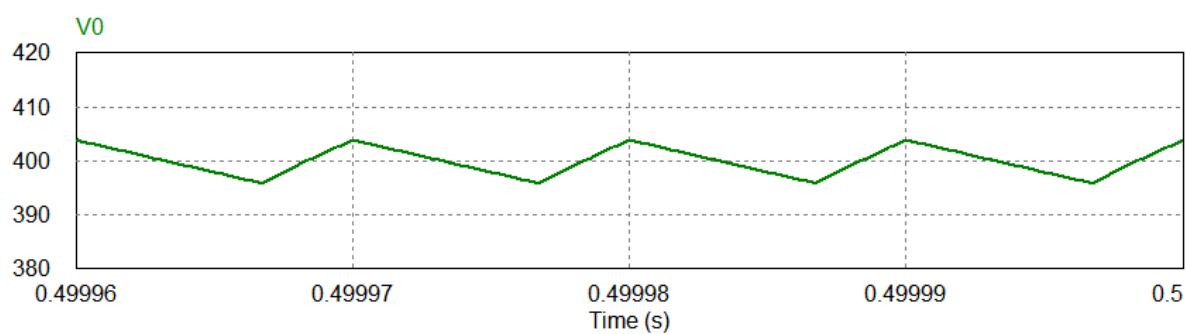
Fonte: Autoria Própria.

O capacitor C_1 carrega o indutor L_2 no momento de condução da chave, e quando a chave está desligada, o capacitor terá em seus terminais a soma das tensões da chave S e do indutor L_2 (Figura 26).

Figura 26 – Forma de onda da tensão no capacitor 1.

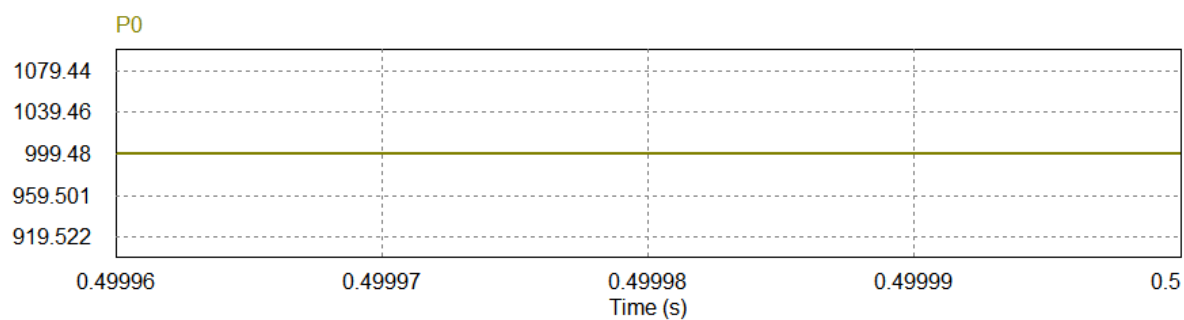
Fonte: Autoria Própria.

Sabe-se que pelos valores de contorno, espera-se que a tensão média de saída seja de aproximadamente 400V (Figura 27).

Figura 27 – Forma de onda da tensão no capacitor 2 (tensão de saída).

Fonte: Autoria Própria.

Assim como a tensão média de saída, a potência de saída, terá como o valor médio, o valor esperado conforme os valores de contorno da tabela 1 de 1kW (Figura 28).

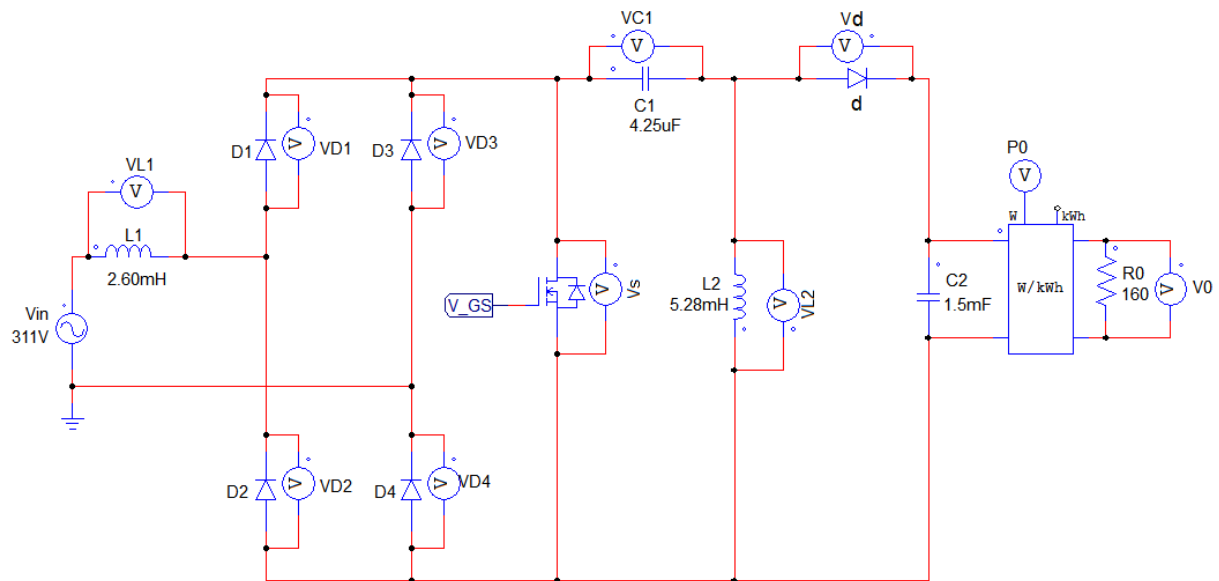
Figura 28 – Forma de onda da potência de saída.

Fonte: Autoria Própria.

3.2 SIMULAÇÃO CIRCUITO 2

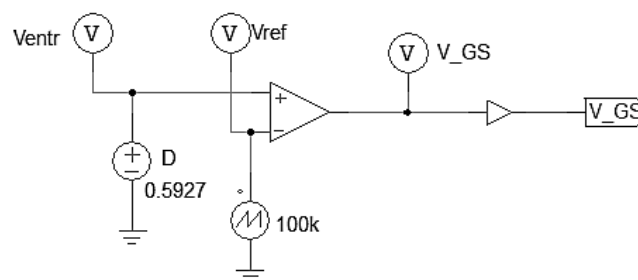
O circuito 2 apresenta os mesmos princípios de funcionamento do circuito 1. Embora, a topologia do circuito 2, conforme já explicado, contém uma fonte alternada e uma ponte de diodos para retificação (Figura 29). O circuito de comando tem uma razão cíclica diferente do circuito 1 com valor de 0,5927, ou seja isso implicará que a chave estará um menor tempo em condução (Figura 30).

Figura 29 – Simulação do circuito 2.



Fonte: Autoria Própria.

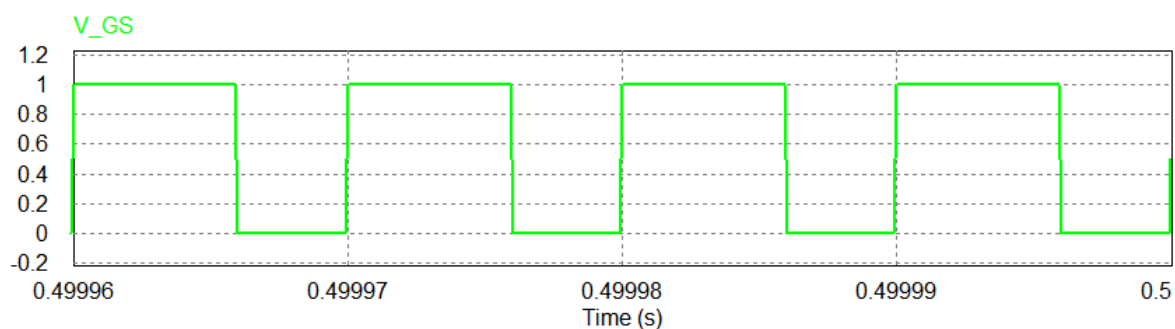
Figura 30 – Circuito 2 - Circuito de comando da chave S.



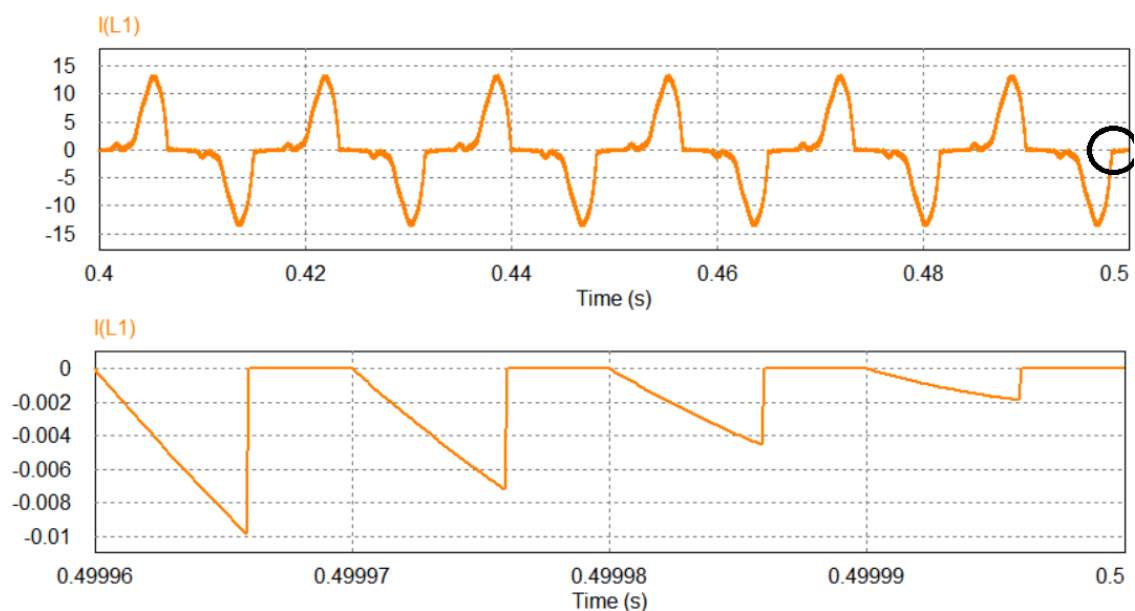
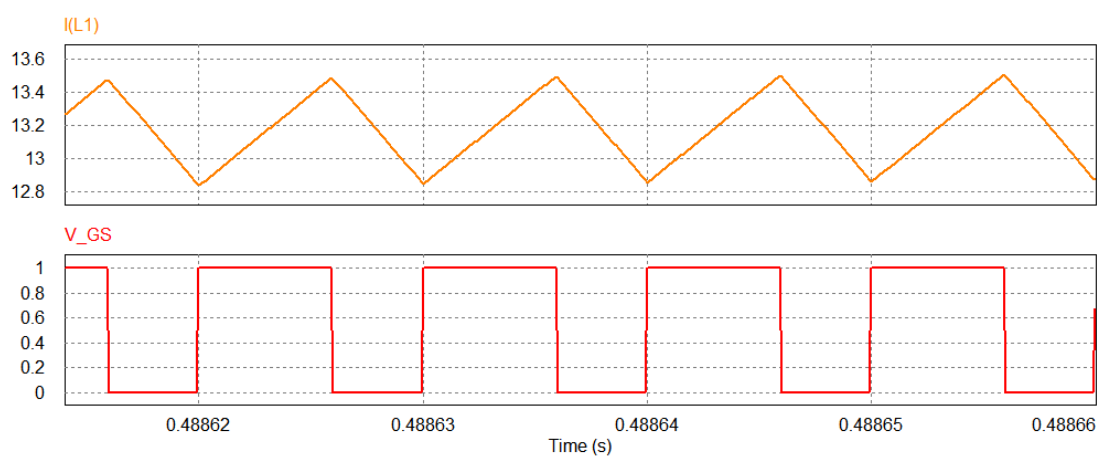
Fonte: Autoria Própria.

Assim, pode-se confirmar pela Figura 31 que a chave, a chave passa menor tempo em condução se comparado a Figura 19.

O indutor L_1 continua com as mesmas propriedades anteriores do circuito 1, ou seja, quando a chave fecha o indutor carrega e quando a chave abre o indutor descarrega (Figura 32b). Na Figura 32a temos a aplicação da forma de onda da corrente no indutor L_1 , apresentando como será o comportamento deste elemento no período especificado.

Figura 31 – Circuito 2 - Forma de onda do comando liga/desliga da chave S.

Fonte: Autoria Própria.

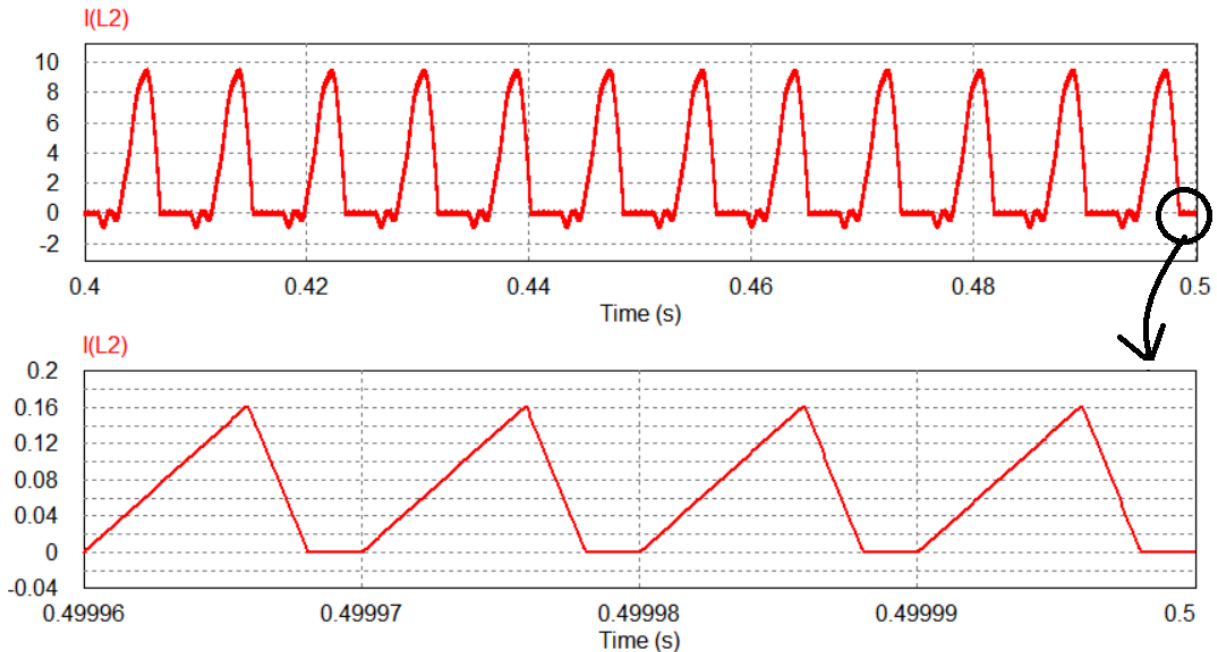
Figura 32 – Forma de onda da corrente no indutor 1.(a) Forma de onda da corrente no indutor 1 com ampliação em $t=0.49996s$.

(b) Forma de onda da corrente no indutor 1 com ampliação em um período arbitrário.

Fonte: Autoria Própria.

O indutor L_2 é carregado pelo capacitor C_1 quando a chave S está em condução e quando a chave abre o indutor descarrega. Na Figura 33, também tem-se a ampliação da forma de onda da corrente no indutor L_2 , apresentando como será o comportamento deste elemento no período especificado.

Figura 33 – Forma de onda da corrente no indutor 2.

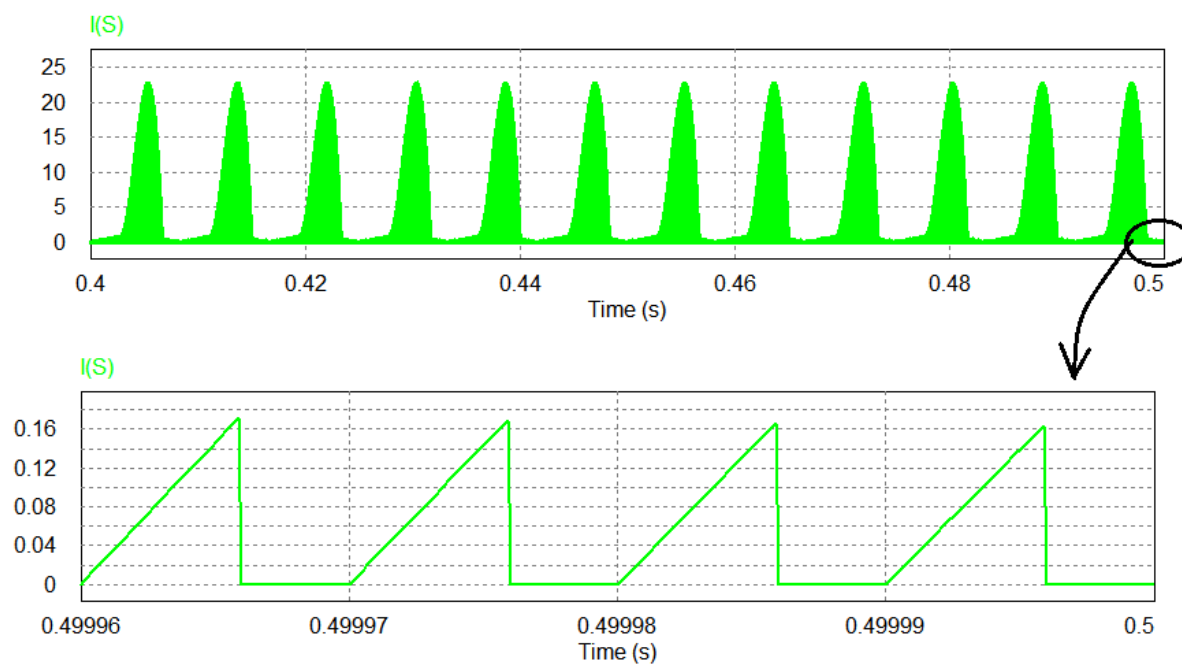


Fonte: Autoria Própria.

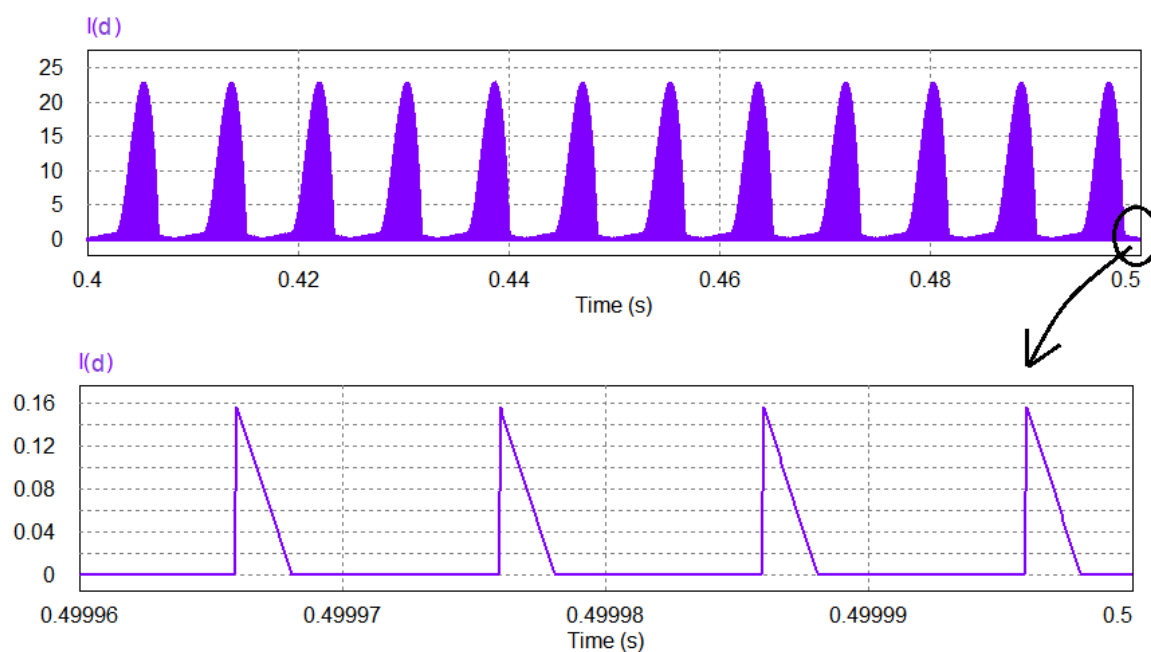
A corrente na chave S apresenta a característica observada na Figura 34, esta por sua vez tem características de chaveamento em alta frequência, onde por determinação da frequência de comutação, hora ela estará aberta e hora fechada.

A corrente no diodo d apresenta também característica de chaveamento já que quando a chave S está em condução este diodo estará polarizado reversamente e quando esta estiver em aberto, o mesmo passará a conduzir (Figura 35).

A Figura 36 contém as formas de onda dos diodos D_1 e D_2 da ponte retificadora, pela forma de onda da corrente destes elementos, percebe-se que quando o diodo D_1 está conduzindo o D_2 não está conduzindo, na ampliação da figura pode-se confirmar essa afirmação, além disso ambas as correntes apresentam características corrente contínua (CC) conforme a forma de onda apresentada.

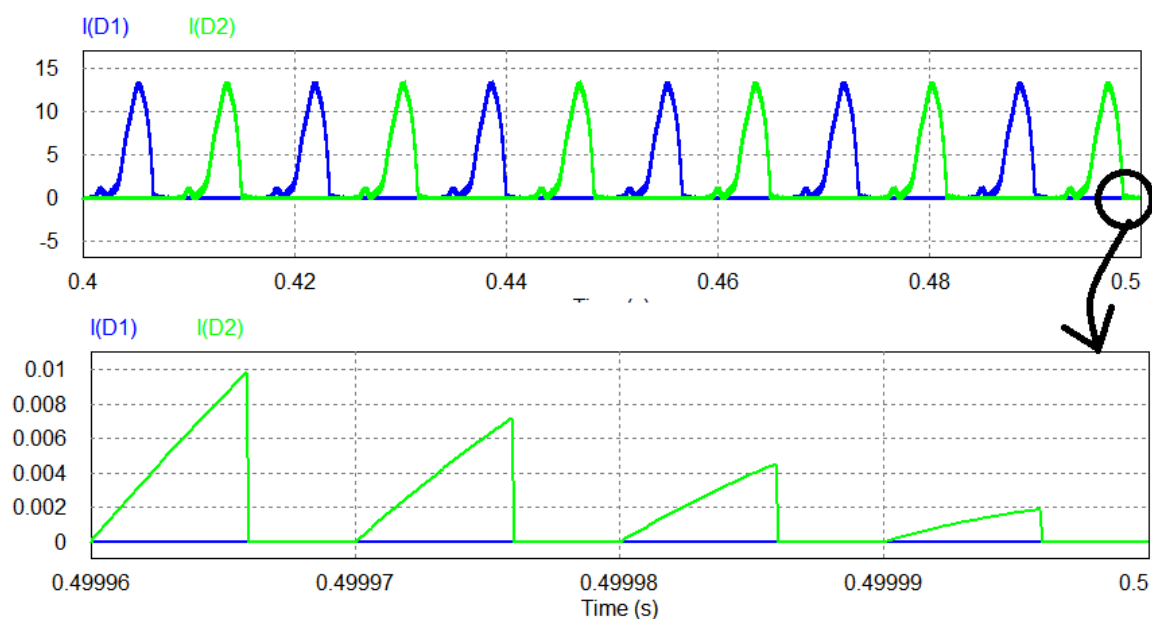
Figura 34 – Forma de onda da corrente na chave S.

Fonte: Autoria Própria.

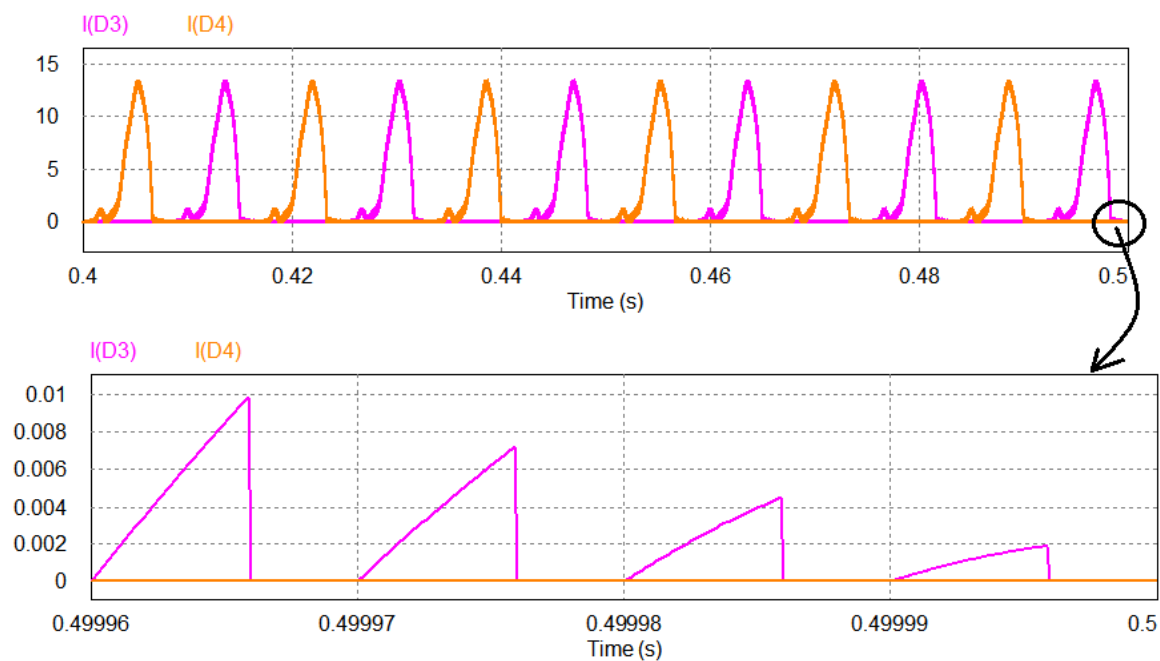
Figura 35 – Forma de onda da corrente no diodo d.

Fonte: Autoria Própria.

Pode-se verificar com a Figura 37 que os diodos D_3 e D_4 não conduzem simultaneamente, assim complementado pela Figura 36, os diodos D_1 e D_4 estarão em condução nas etapas de operação para o semiciclo positivo e D_2 e D_3 estarão em condução para o semiciclo negativo.

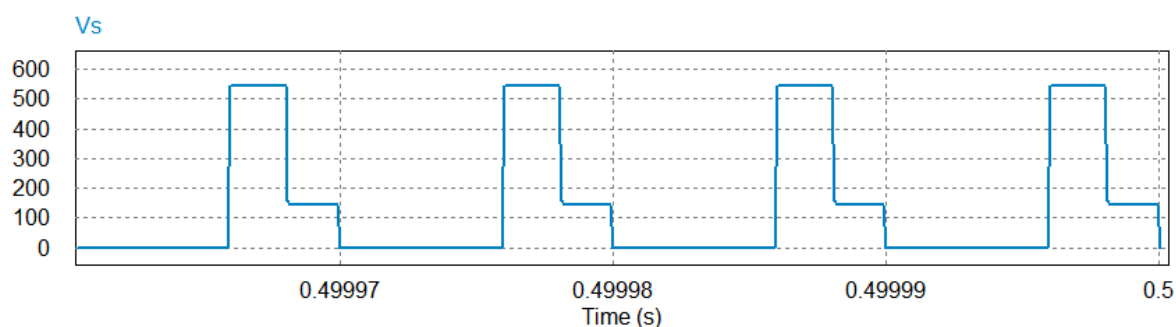
Figura 36 – Forma de onda da corrente nos diodos D1 e D2.

Fonte: Autoria Própria.

Figura 37 – Forma de onda da corrente nos diodos D3 e D4.

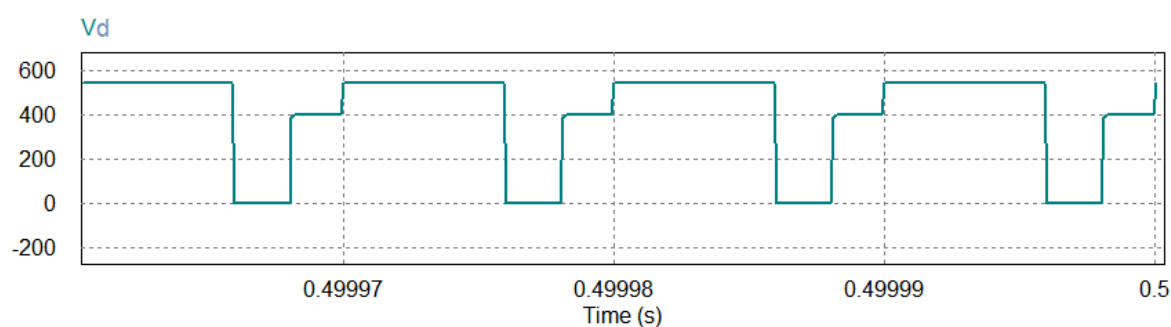
Fonte: Autoria Própria.

A tensão na chave S será igual a zero, quando a chave estiver em condução e terá como tensão, quando aberta a tensão do indutor L_2 subtraída da tensão do capacitor C_1 (Figura 38).

Figura 38 – Forma de onda da tensão na chave S.

Fonte: Autoria Própria

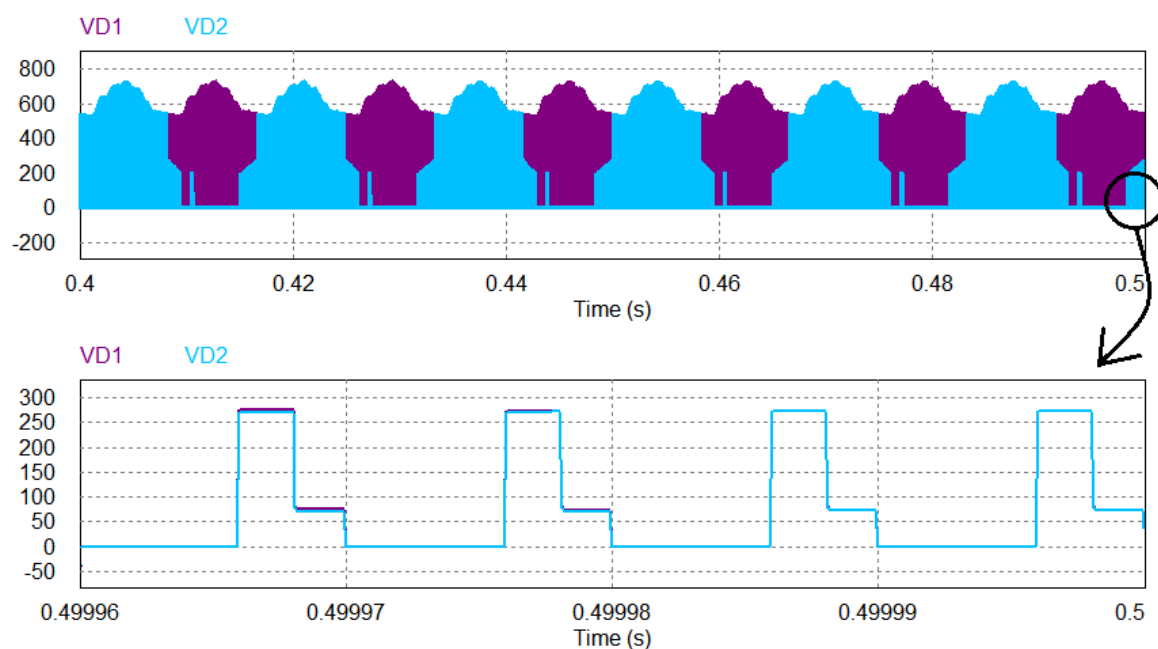
Conforme a Figura 39 a tensão do diodo será igual a zero, quando o mesmo estiver em condução e quando estiver reversamente polarizado terá em seus terminais a tensão de saída V_0 somada a tensão do indutor L_2 .

Figura 39 – Forma de onda da tensão no diodo d.

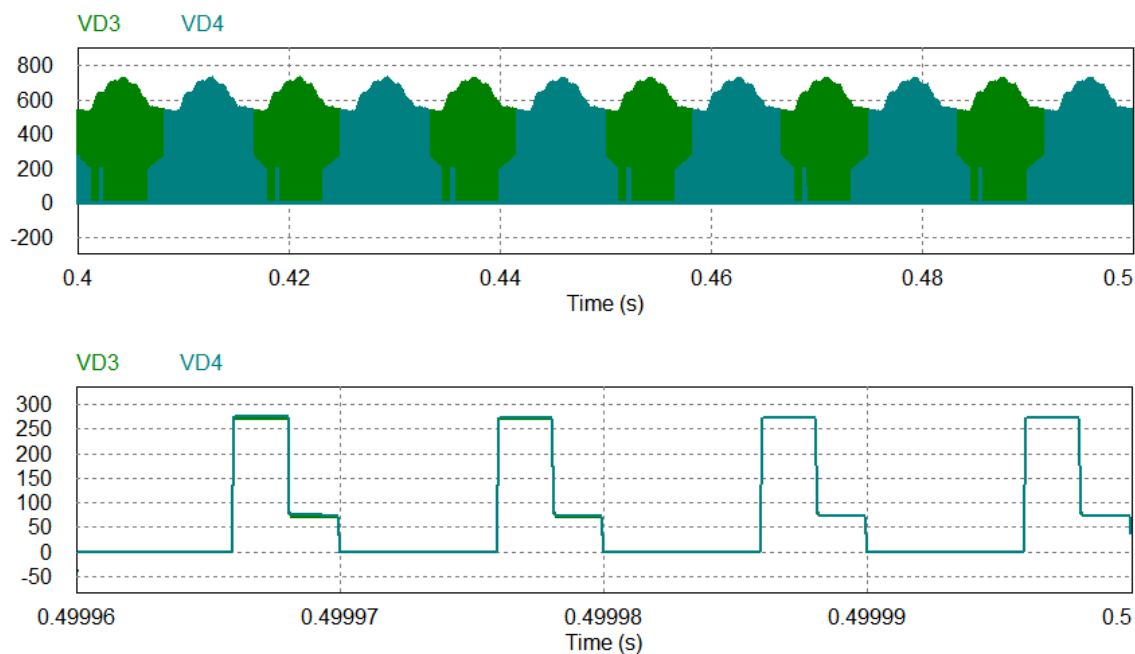
Fonte: Autoria Própria.

A figura Figura 40 ilustra a forma de onda de tensão dos diodos D_1 e D_2 . Logo quando em condução a tensão sobre estes diodos será zero, mas quando em aberto apresentam valores de tensão conforme ilustrado.

Assim como explicado anteriormente para a Figura 40, o mesmo ocorrerá para os diodos D_2 e D_3 da Figura 41.

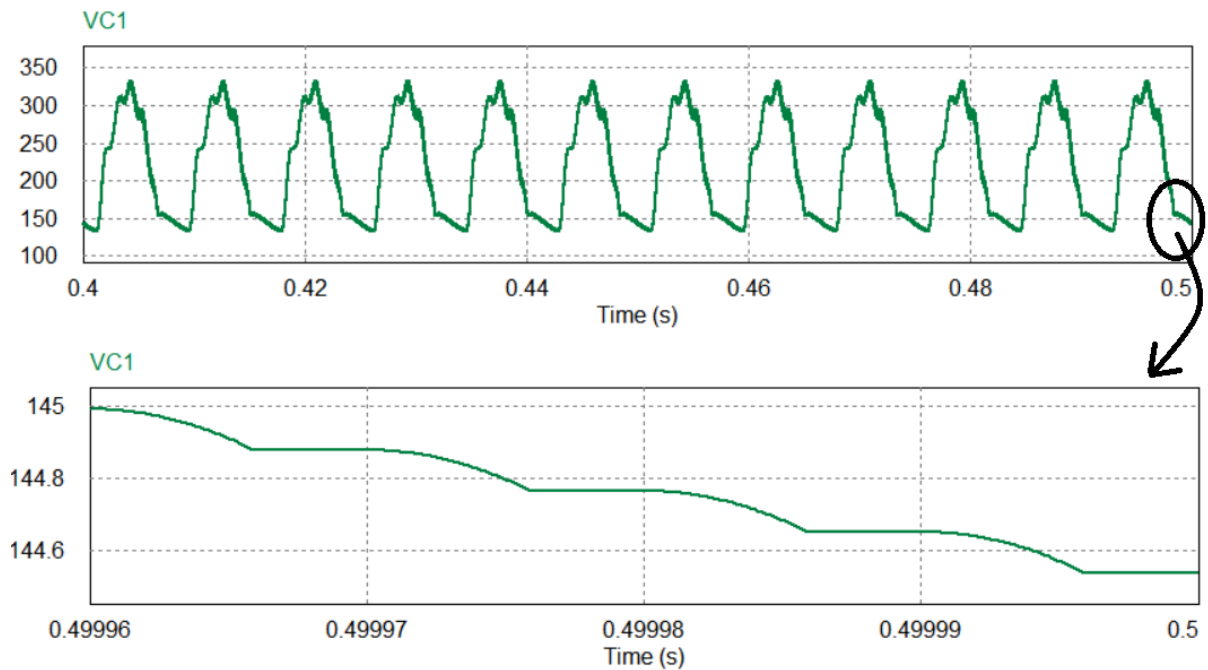
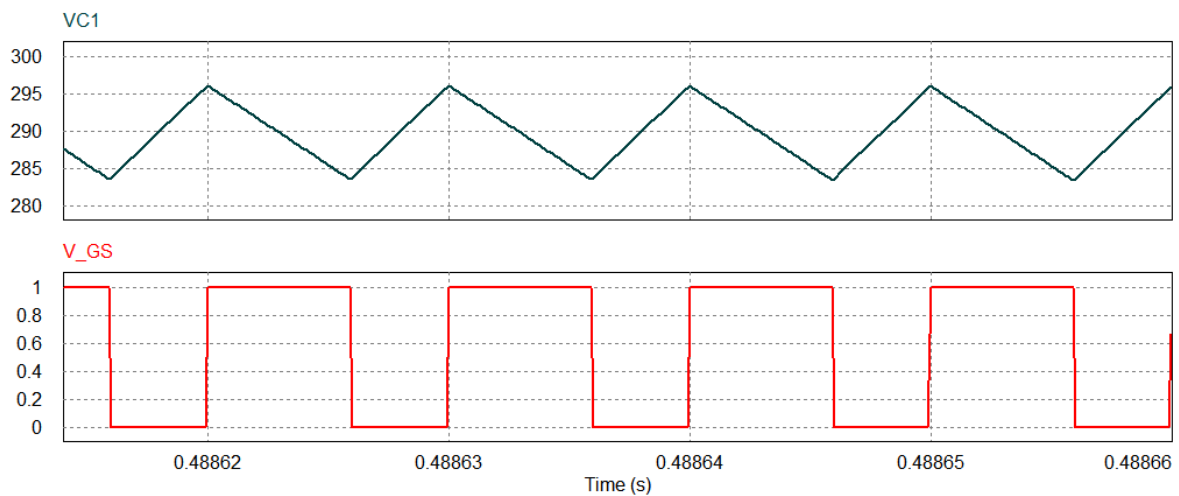
Figura 40 – Forma de onda da tensão nos diodos D1 e D2.

Fonte: Autoria Própria.

Figura 41 – Forma de onda da tensão nos diodos D3 e D4.

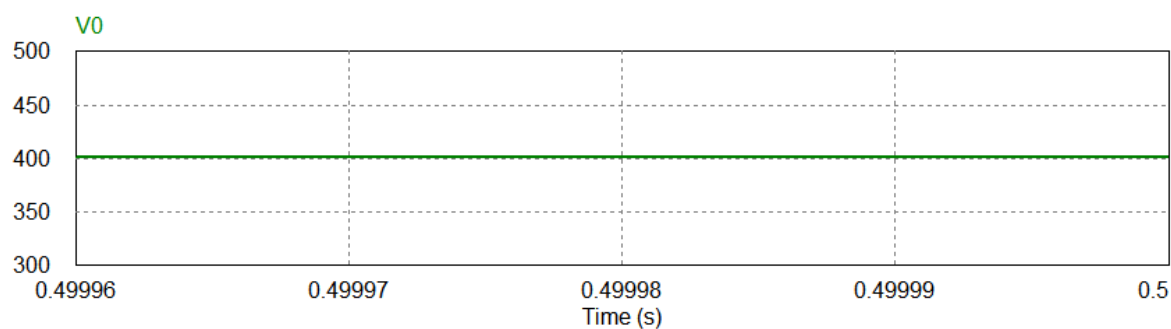
Fonte: Autoria Própria.

O capacitor C_1 descarrega quando a chave está fechada e é carregado quando a chave abre. (Figura 42b) e apresenta o comportamento em $t=0.4996s$ segundo a Figura 42a.

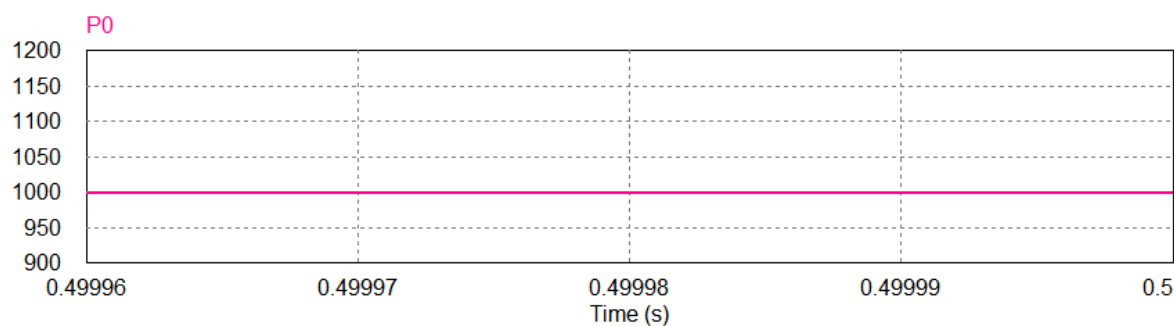
Figura 42 – Forma de onda da tensão no capacitor 1.**(a)** Forma de onda da tensão no capacitor 1 com ampliação em $t=0.4996s$.**(b)** Forma de onda da tensão no capacitor 1 com ampliação em um tempo arbitrário.

Fonte: Autoria Própria.

A tensão de saída está dentro do valor esperado (Figura 43) assim como da potência de saída (Figura 44). Ainda assim, deve-se lembrar que para manter o mesmo ripple de tensão de saída, fez-se o ajuste do valor de C_2 para um valor superior ao circuito 1, e por consequência houve mudança na razão cíclica a fim de obter os valores esperados. Fez-se essa mudança pelo método de tentativa e erro no intuito de sempre manter os valores de saída almejados.

Figura 43 – Forma de onda da tensão no capacitor 2 (tensão de saída).

Fonte: Autoria Própria.

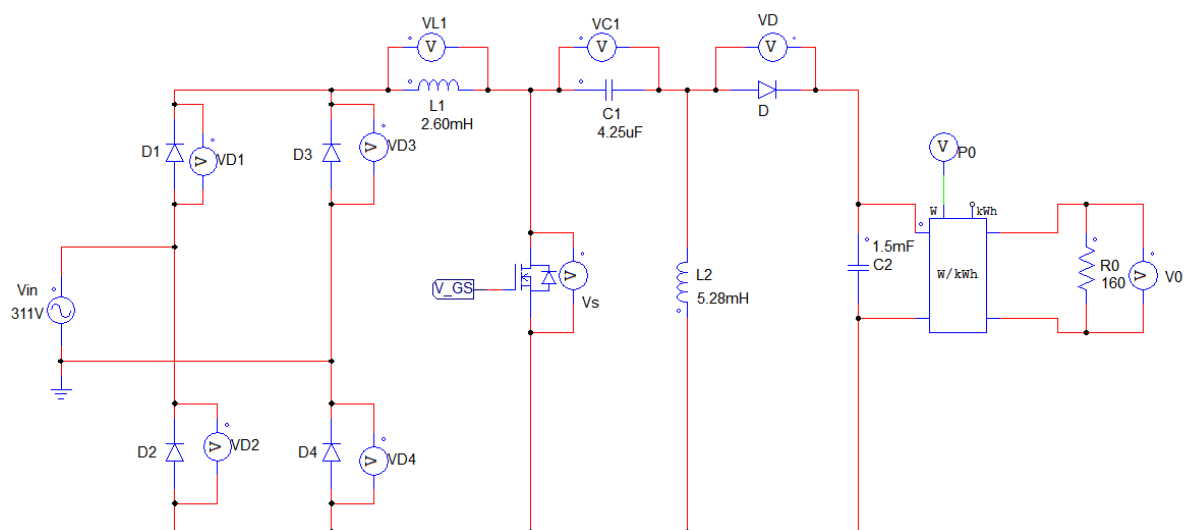
Figura 44 – Forma de onda da potência de saída).

Fonte: Autoria Própria.

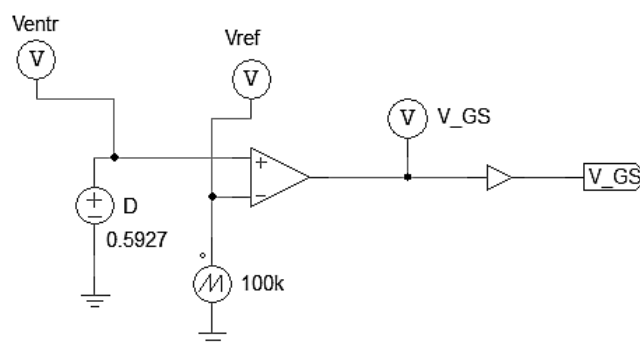
3.3 SIMULAÇÃO CIRCUITO 3

O circuito 3 apresenta as mesmas características do circuito 2, embora, o indutor L_1 esteja após a ponte retificadora e passa a obter características de corrente alternada (CA).

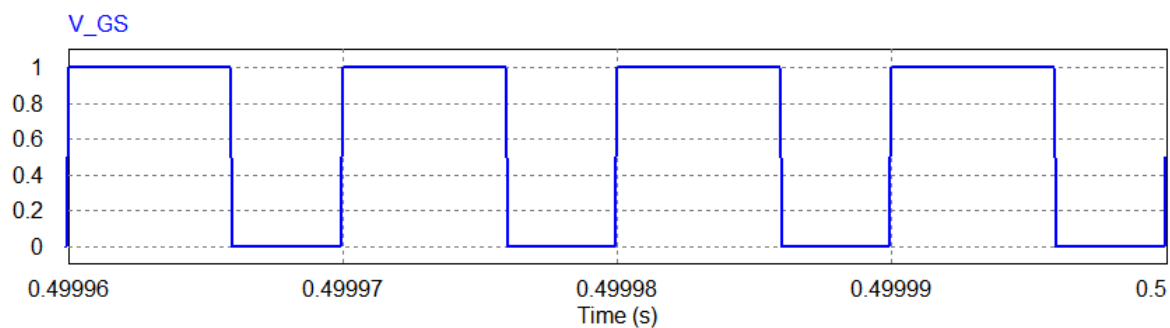
O circuito de comando apresenta os mesmos valores do circuito 2, logo o circuito de comando será conforme a Figura 46. A saída do circuito de comando do circuito 3 será conforme a Figura 47

Figura 45 – Simulação Circuito 3.

Fonte: Autoria Própria.

Figura 46 – Circuito 3 - Circuito de comando da chave S.

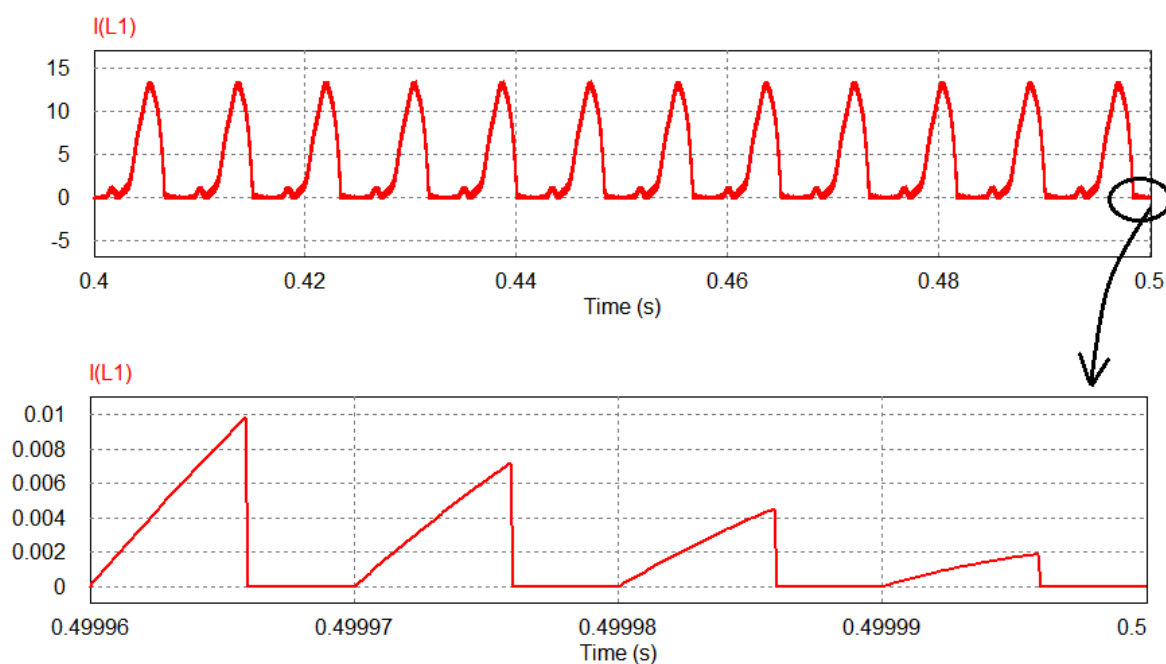
Fonte: Autoria Própria.

Figura 47 – Circuito 3 - Forma de onda do comando liga/desliga da chave S.

Fonte: Autoria Própria.

A corrente no indutor L_1 , conforme, já explicado, quando a chave é fechada o indutor carrega, por consequência há aumento da corrente e quando a chave abre o indutor demonstra uma queda do valor da corrente. Além disso com a ampliação desta forma de onda em $t=0.49996s$ é possível observar o comportamento deste elemento no período especificado (Figura 48).

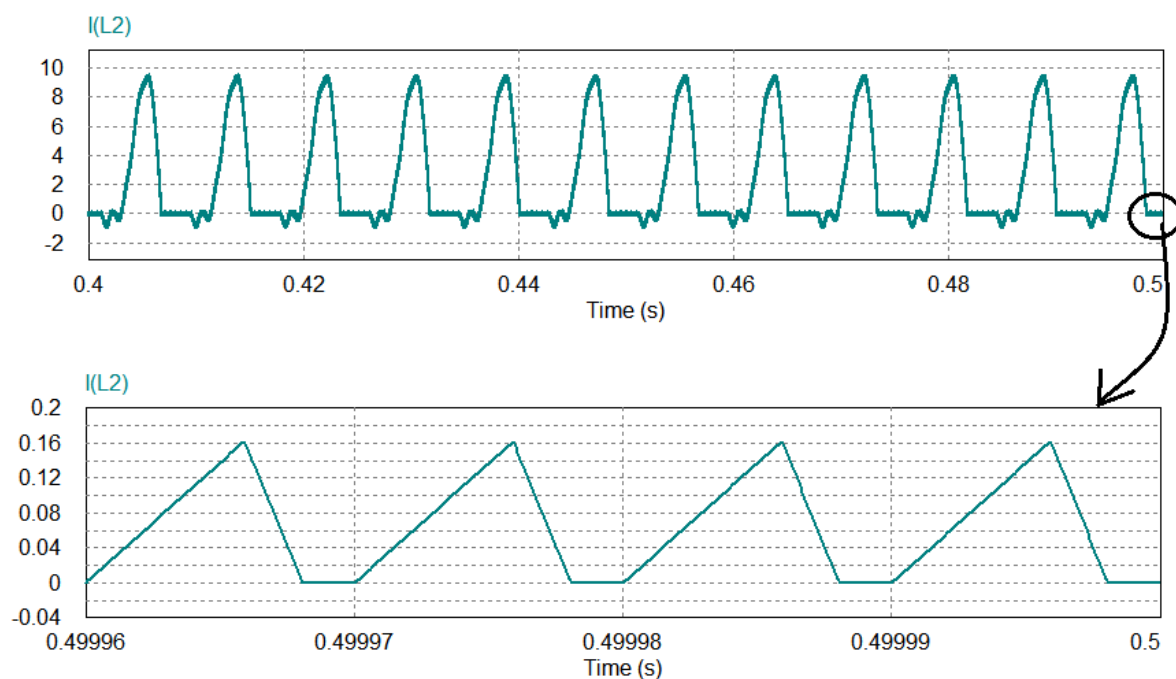
Figura 48 – Forma de onda da corrente no indutor 1.



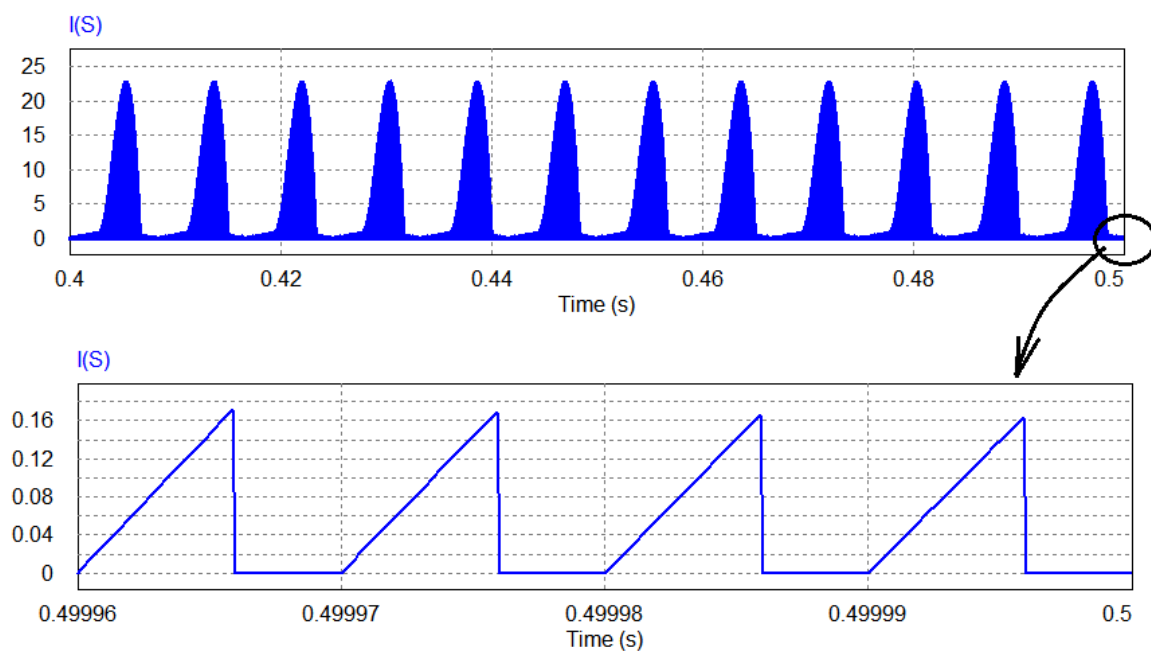
Fonte: Autoria Própria.

O indutor L_2 é carregado pelo C_1 quando a chave é fechada por isso há aumento no valor da corrente e quando a chave S abre este indutor passa a carregar o capacitor C_1 , de acordo com a Figura 49.

A corrente na chave S será máxima no momento que a chave estiver no limiar de abrir, conforme explicado anteriormente, e podemos observar seu comportamento na ampliação da Figura 50.

Figura 49 – Forma de onda da corrente no indutor 2.

Fonte: Autoria Própria.

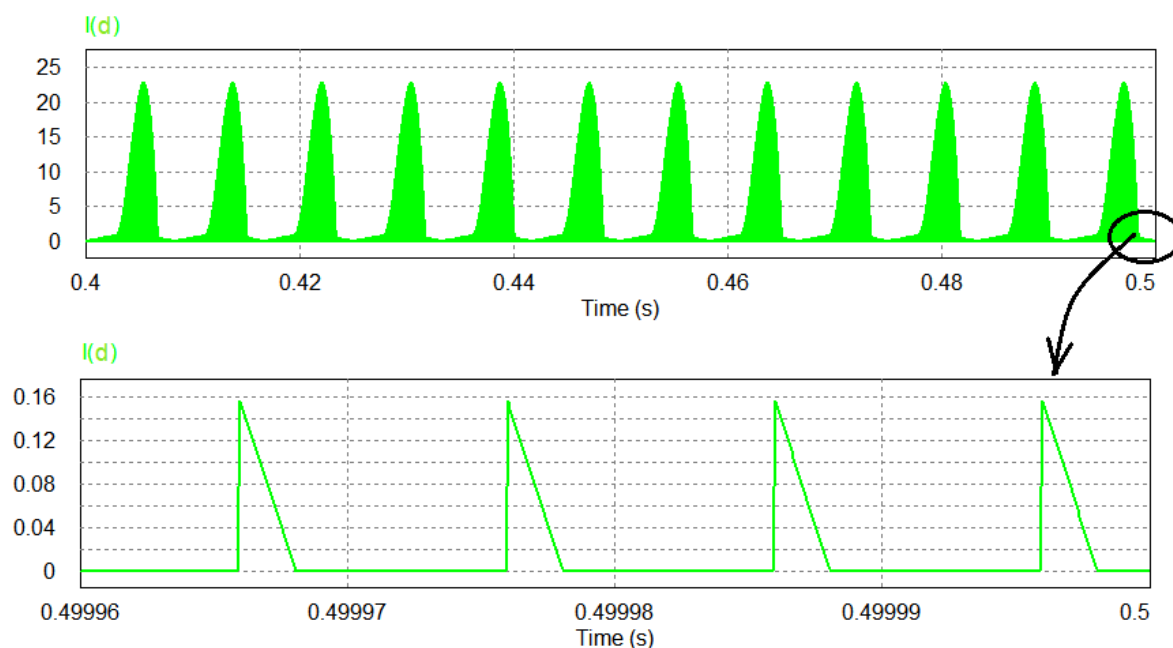
Figura 50 – Forma de onda da corrente na chave S.

Fonte: Autoria Própria.

O diodo d tem a característica de chave, já que, conforme já explicado, ele está reversamente polarizado quando a chave S é fechada, e por consequência sua corrente é zero, e quando a chave é aberta, o diodo estará conduzindo com a soma de corrente de L_1 e

L_2 (Figura 51).

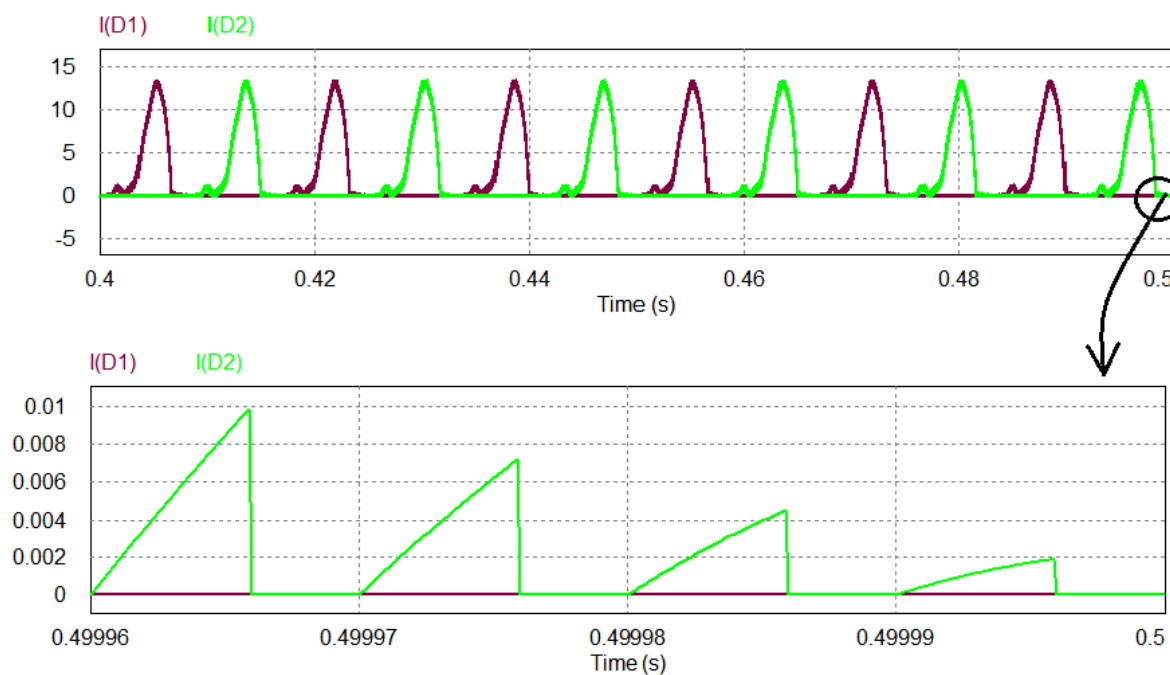
Figura 51 – Forma de onda da corrente no diodo d.



Fonte: Autoria Própria.

As correntes nos diodos D_1 e D_2 terão comportamento conforme simulação (Figura 52) e tendo o princípio de funcionamento semelhante a Figura 37.

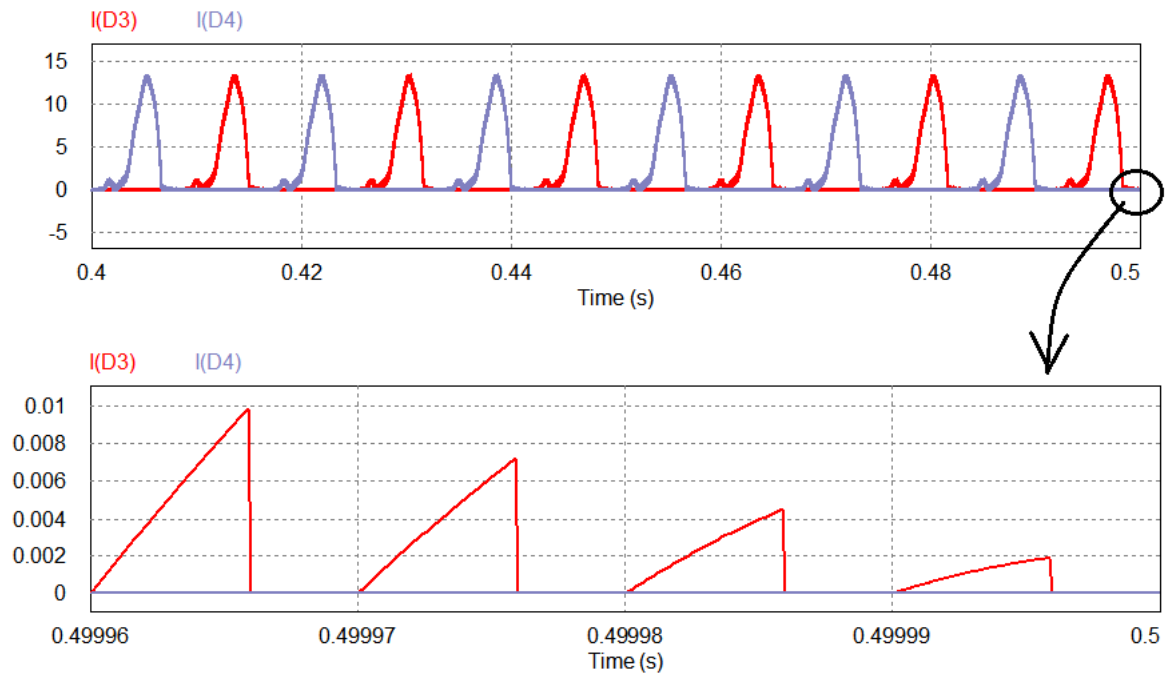
Figura 52 – Forma de onda da corrente nos diodos D1 e D2.



Fonte: Autoria Própria.

É possível perceber que pela Figura 53, os diodos $D3$ e $D4$ não estarão em condução ao mesmo tempo.

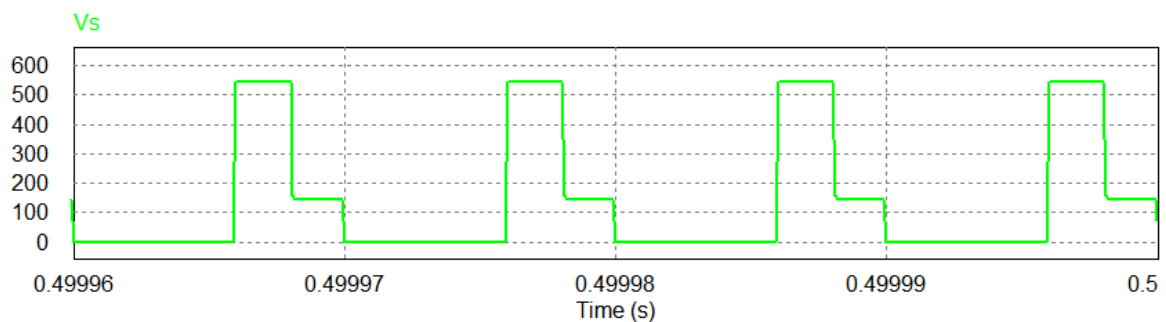
Figura 53 – Forma de onda da corrente nos diodos $D3$ e $D4$.



Fonte: Autoria Própria.

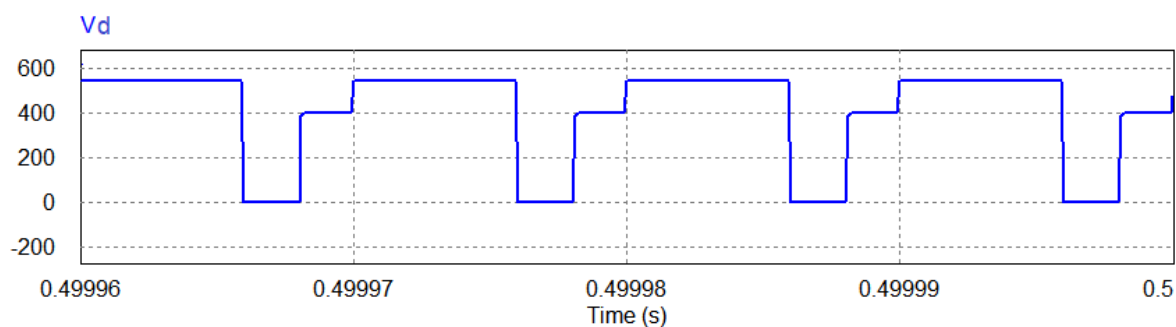
A chave S terá valor igual a zero, quando em condução e terá um valor correspondente a simulação da Figura 54 quando aberta.

Figura 54 – Forma de onda da tensão na chave S .



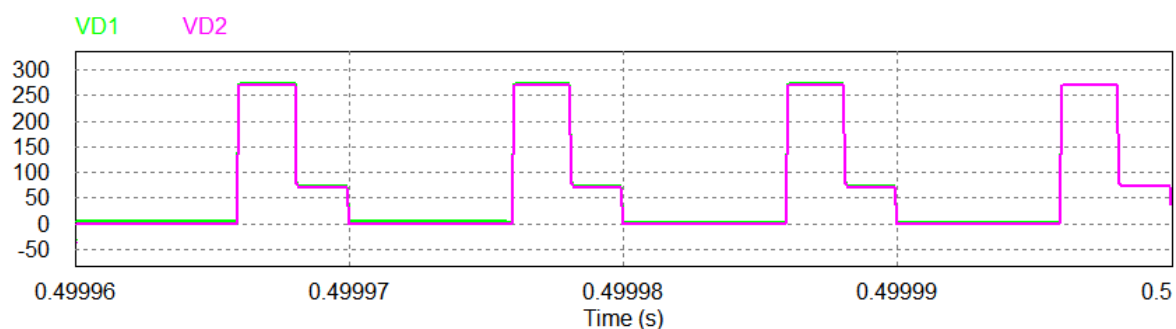
Fonte: Autoria Própria.

A tensão no diodo d será igual a zero, quando o mesmo estiver conduzindo e apresenta valor de tensão sobre seus terminais da soma das tensões de V_{in} e $v_{L1}(t)$, quando não polarizado (Figura 55).

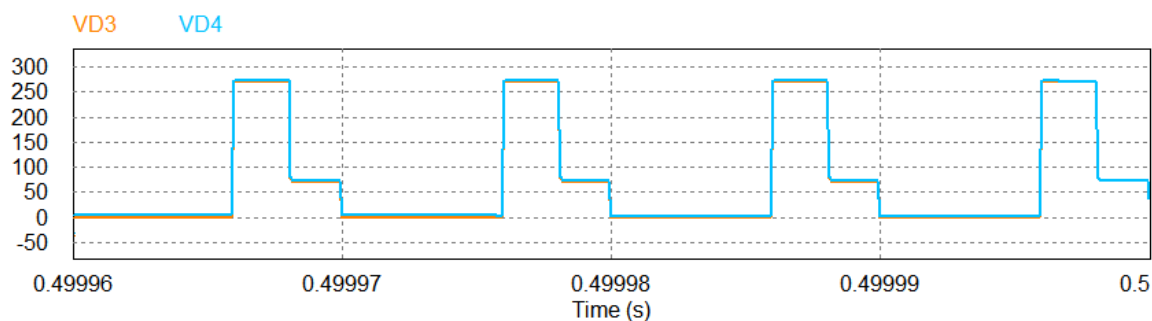
Figura 55 – Forma de onda da tensão no diodo d.

Fonte: Autoria Própria.

Os diodos D_1 e D_2 como pode-se observar pela Figura 56 não conduziram ao mesmo tempo. Os diodos D_3 e D_4 também não conduziram ao mesmo tempo, e terão tensão máxima de acordo com a Figura 57.

Figura 56 – Forma de onda da tensão nos diodos D1 e D2.

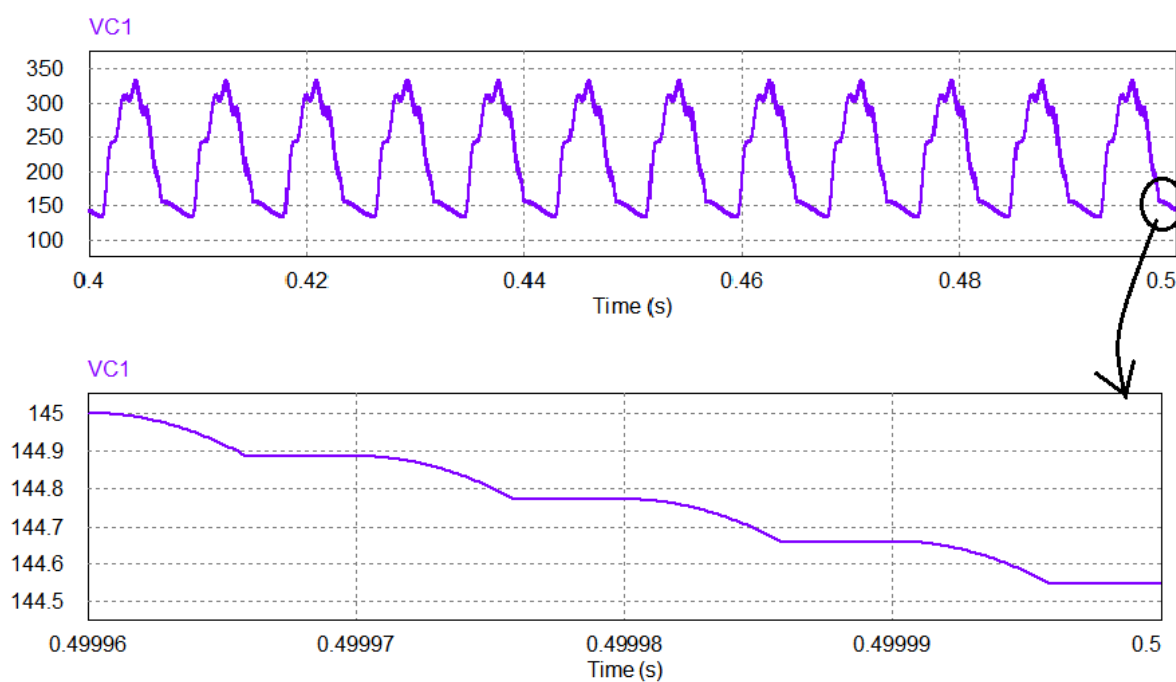
Fonte: Autoria Própria.

Figura 57 – Forma de onda da tensão nos diodos D3 e D4.

Fonte: Autoria Própria.

O C_1 está descarregando quando a chave S está fechada, havendo diminuição da tensão do capacitor, e o capacitor estará carregando quando a chave estiver aberta, que é quando a tensão estará subindo o seu valor, como é visto pela Figura 58.

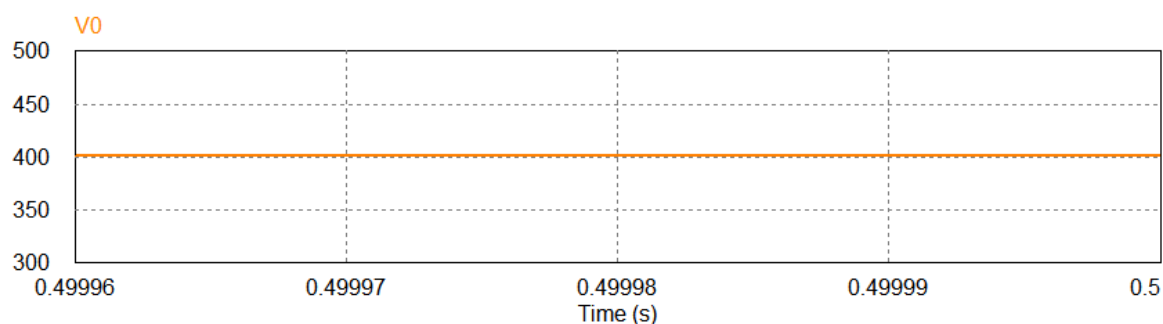
Figura 58 – Forma de onda da tensão no capacitor 1.



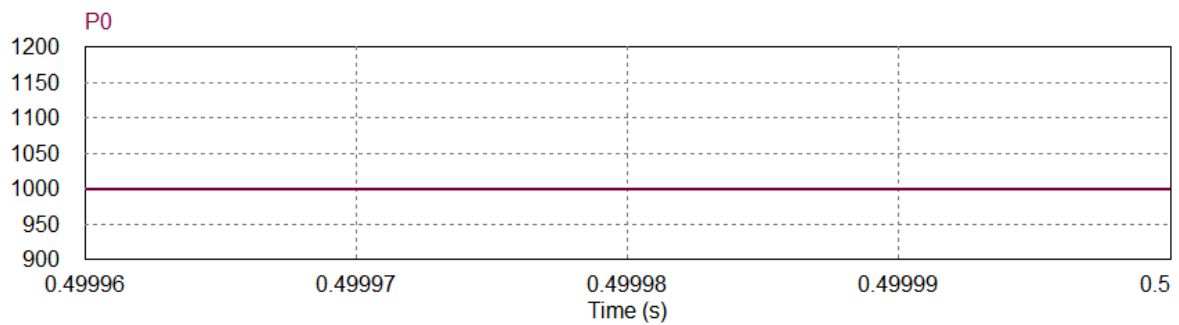
Fonte: Autoria Própria.

A tensão de saída está dentro do valor esperado (Figura 59) assim como da potência de saída (Figura 60). Lembrando que fez-se a alteração no valor do C_2 com objetivo de manter os mesmos valores de tensão e potência de saída.

Figura 59 – Forma de onda da tensão no capacitor 2 (tensão de saída).



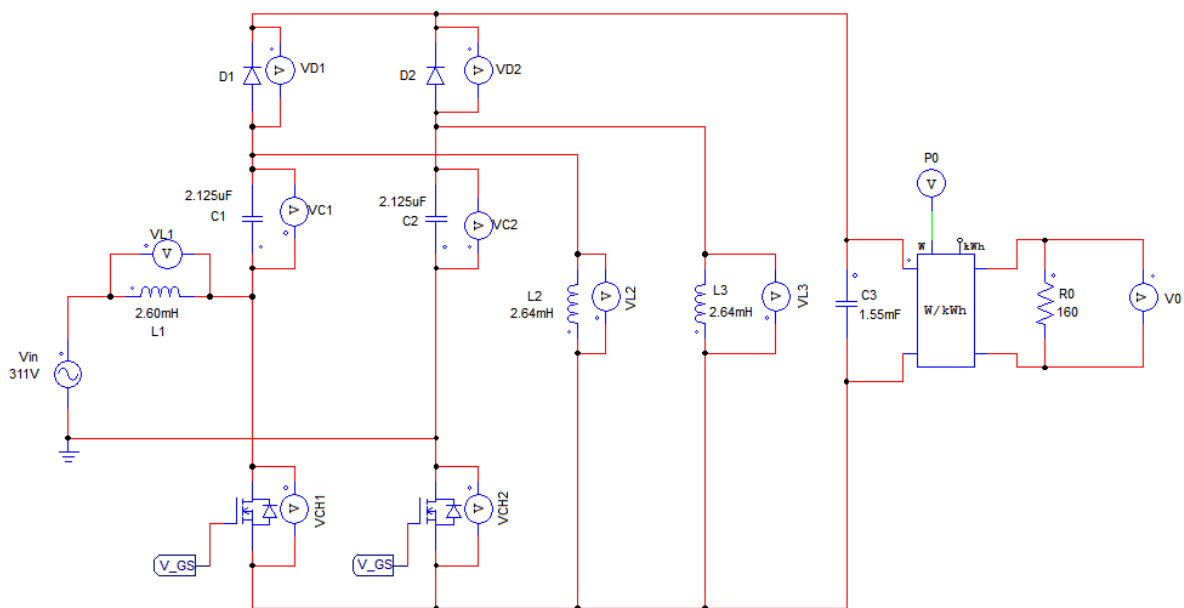
Fonte: Autoria Própria.

Figura 60 – Forma de onda da potência de saída.

Fonte: Autoria Própria.

3.4 SIMULAÇÃO CIRCUITO 4

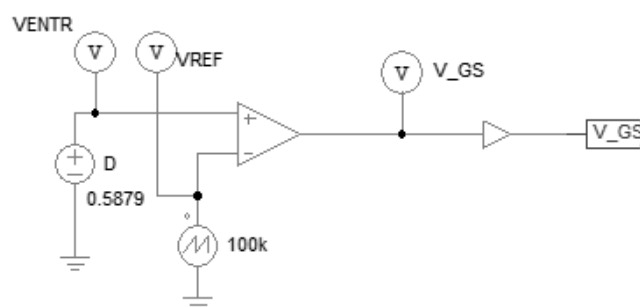
O circuito 4 possui uma topologia nova, se comparada aos outros circuitos, já que tem-se duas chaves incorporadas a ponte retificadora, e não há o diodo d utilizado nos outros arranjos. A Figura 61 representa esse arranjo,

Figura 61 – Simulação circuito 4.

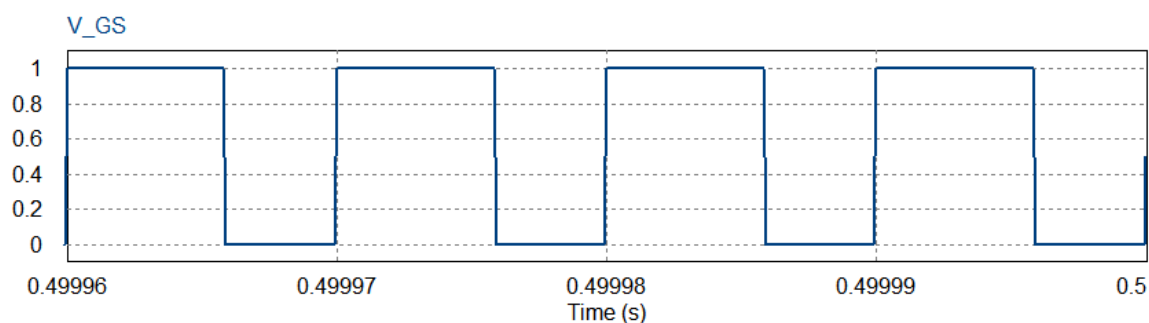
Fonte: Autoria Própria.

O comando para ambas as chaves $CH1$ e $CH2$ partirão do mesmo circuito de comando (Figura 62).

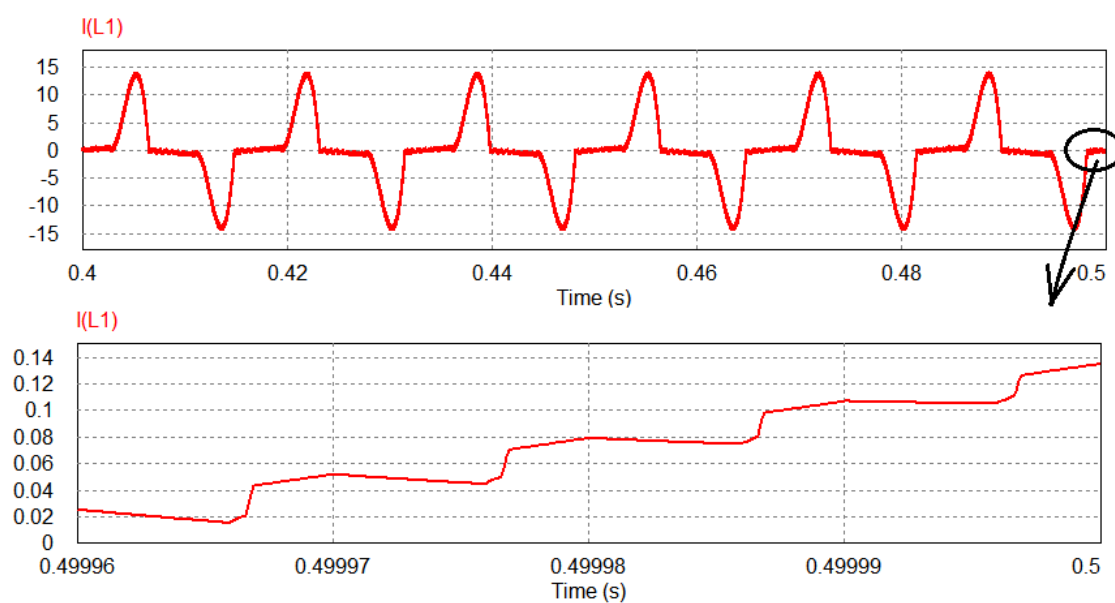
A forma de onda de comando das chaves terão menor razão cíclica se comparado aos circuitos anteriores, isto significa que a chave passará menor tempo fechada (Figura 63). A corrente no indutor L_1 apresenta, em baixa frequência, característica CA, já que independentemente do semiciclo (positivo ou negativo), haverá passagem de corrente por esse indutor, já que o mesmo se encontra na entrada do circuito.

Figura 62 – Circuito 4 - Circuito de comando das chaves CH1 e CH2.

Fonte: Autoria Própria.

Figura 63 – Circuito 4 - Forma de onda do comando liga/desliga das chaves CH1 e CH2.

Fonte: Autoria Própria.

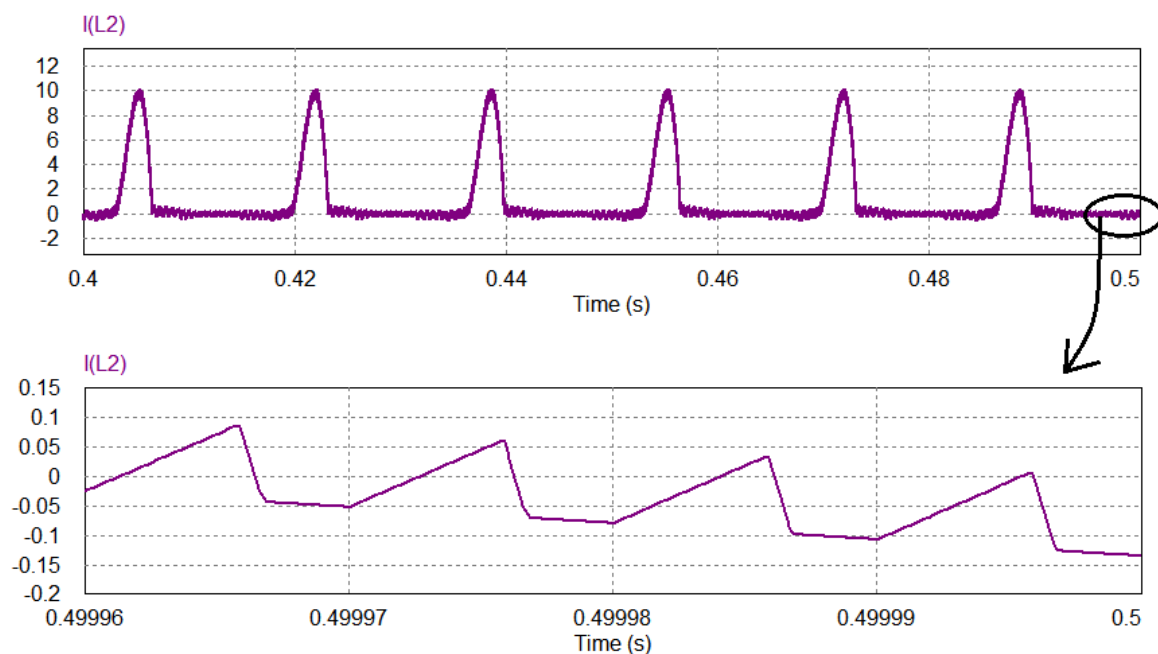
Figura 64 – Forma de onda da corrente no indutor 1.

Fonte: Autoria Própria.

O indutor L_2 estará em condução apenas no semi-ciclo positivo, neste semiciclo tem-se duas etapas de operação, a primeira quando a chave $CH1$ estiver aberta, este indutor estará

carregando o capacitor C_1 , e quando a chave estiver fechada, que é quando o capacitor C_1 carregará o indutor L_2 .

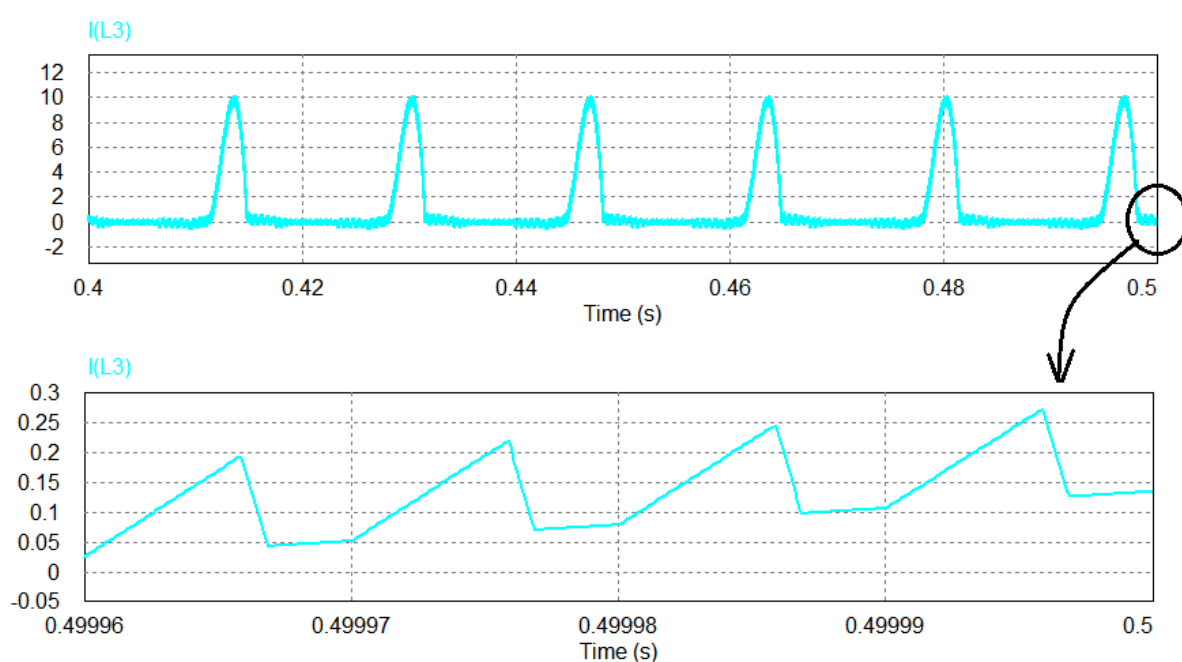
Figura 65 – Forma de onda da corrente no indutor 2.



Fonte: Autoria Própria.

O indutor L_3 somente estará carregado no semiciclo negativo, e por consequência terá assim mesmas propriedades apresentadas para o indutor L_2 . (Figura 66)

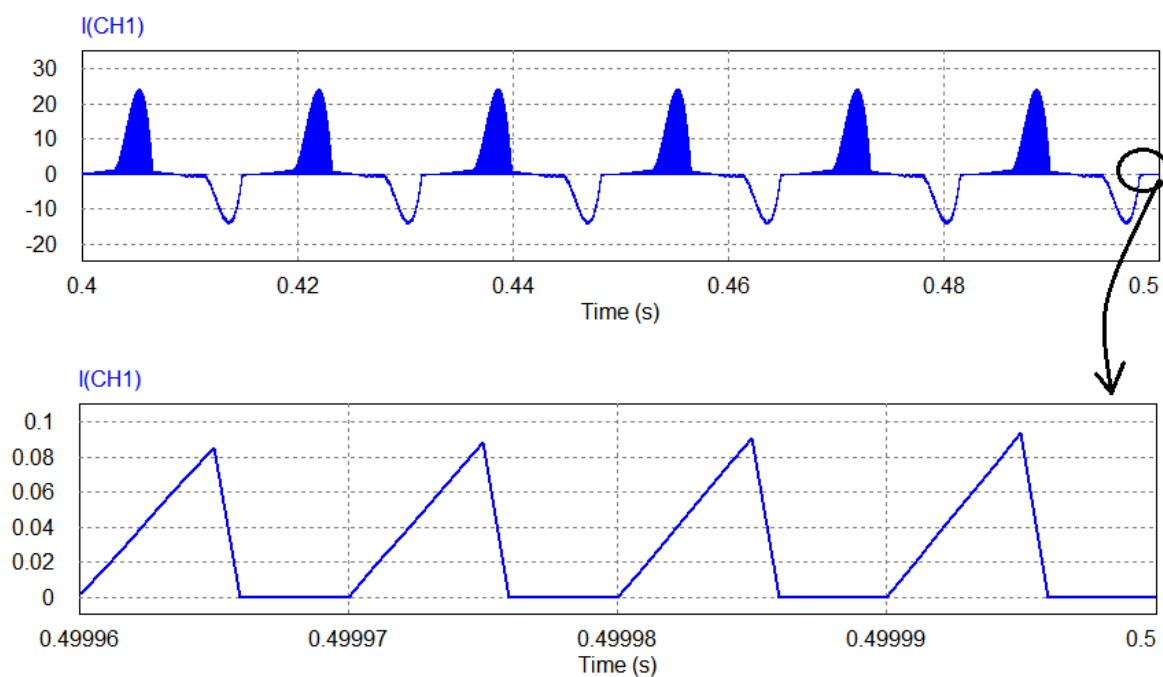
Figura 66 – Forma de onda da corrente no indutor 3.



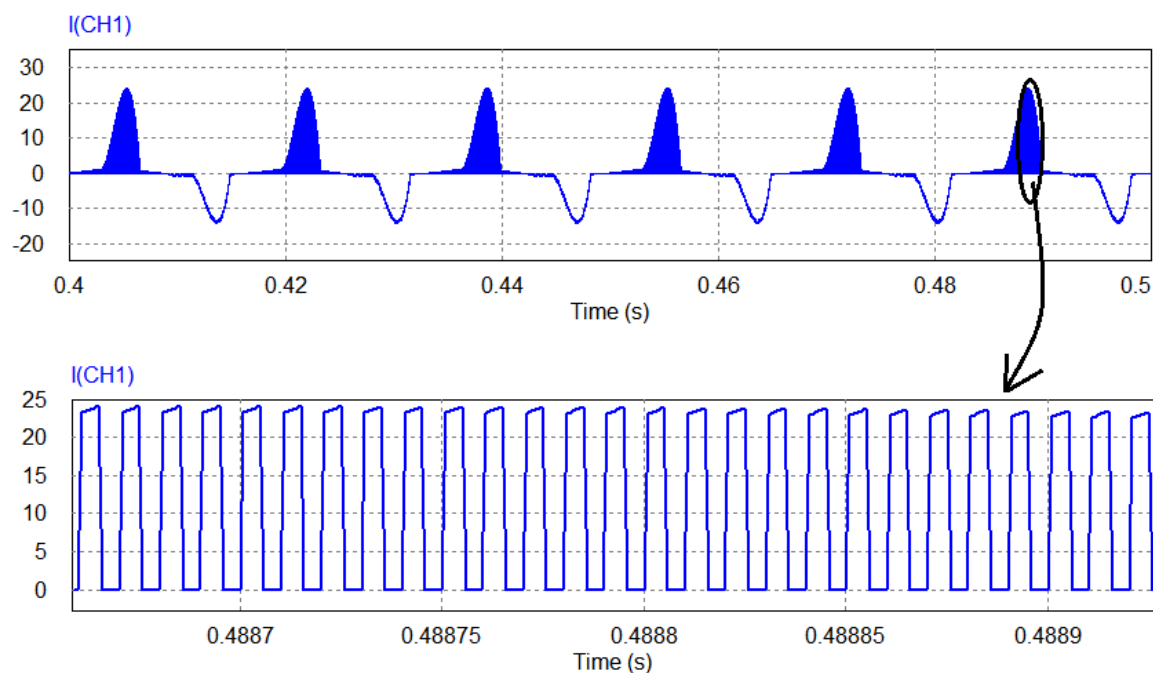
Fonte: Autoria Própria.

É possível verificar que no semiciclo positivo a chave $CH1$ estará alternando entre estar ligada ou desligada, já no semiciclo negativo a corrente passará pelo diodo de corpo desta mesma chave. (Figura 67)

Figura 67 – Forma de onda da corrente na chave CH1.



(a) Forma de onda da corrente na chave CH1 com ampliação em $t=0.4996s$.

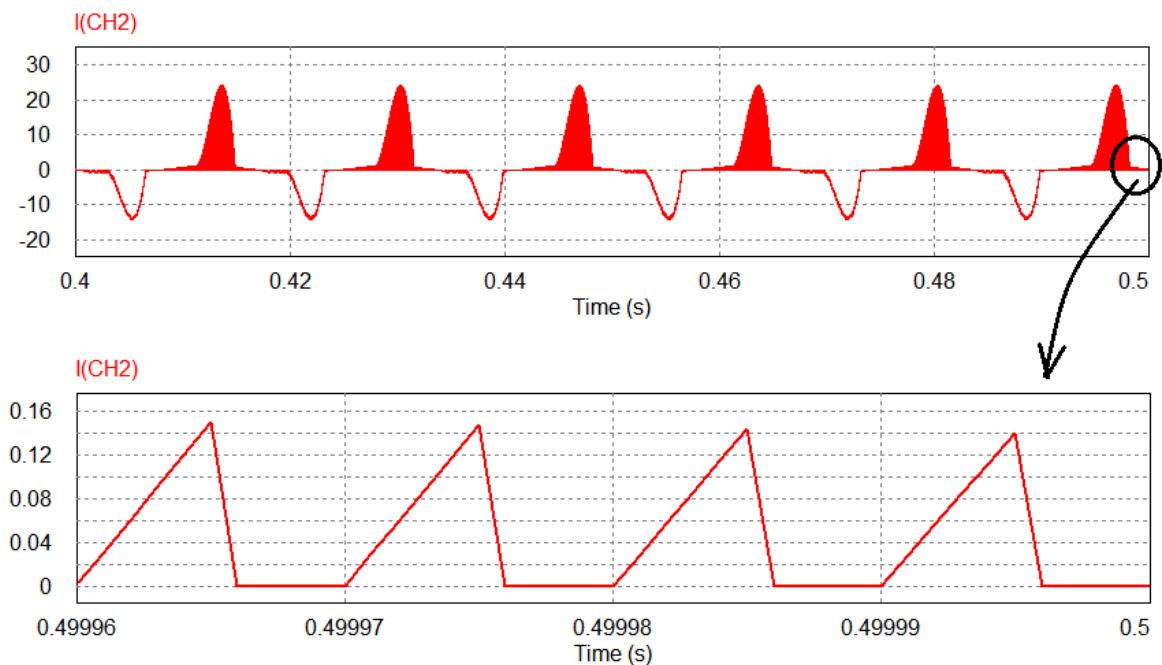


(b) Forma de onda da tensão no capacitor 1 com ampliação em um tempo arbitrário.

Fonte: Autoria Própria.

A chave $CH2$ diferentemente da $CH1$, estará chaveando no semiciclo negativo, e no semiciclo positivo a corrente passará pelo diodo de corpo da chave $CH2$ (Figura 68).

Figura 68 – Forma de onda da corrente na chave $CH2$.

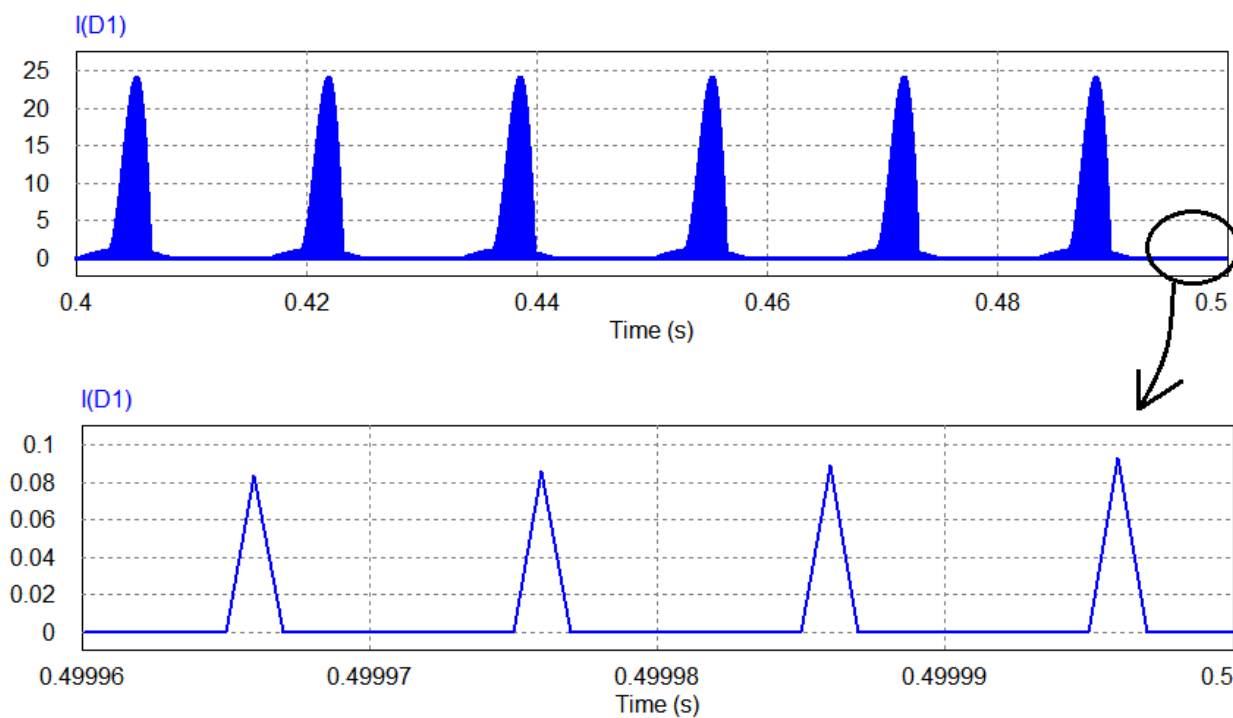
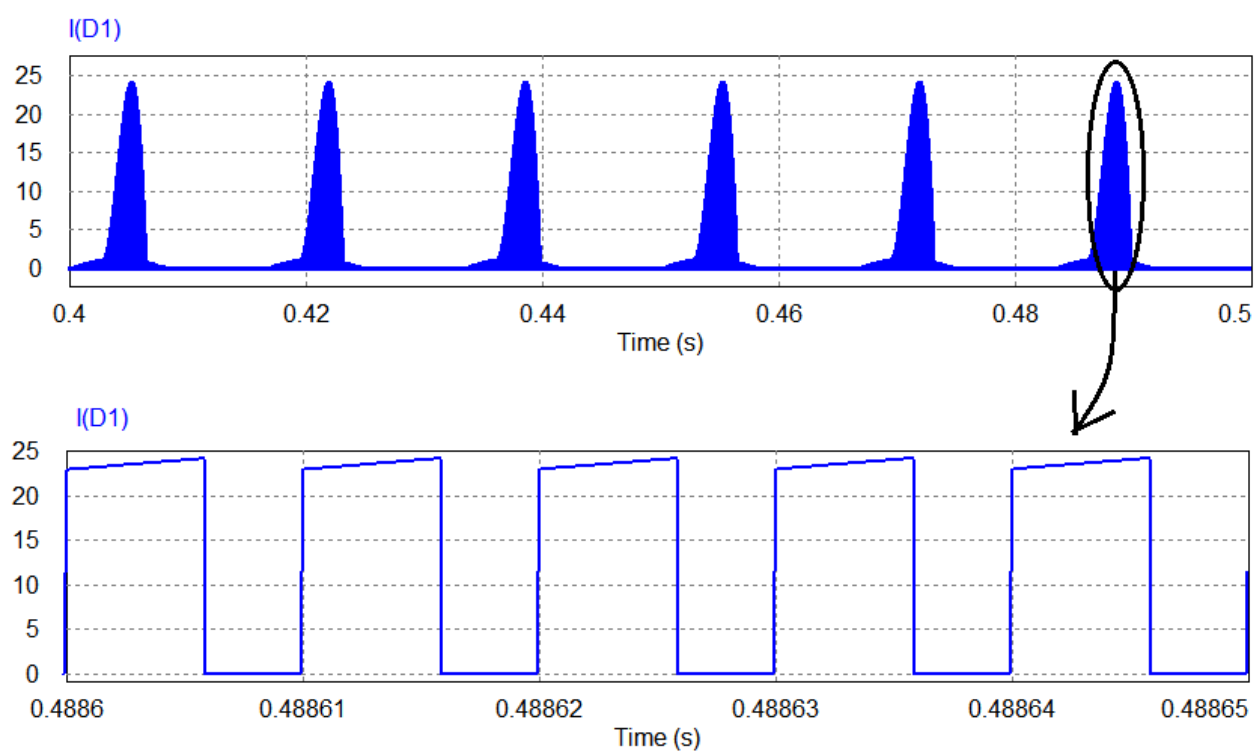


Fonte: Autoria Própria.

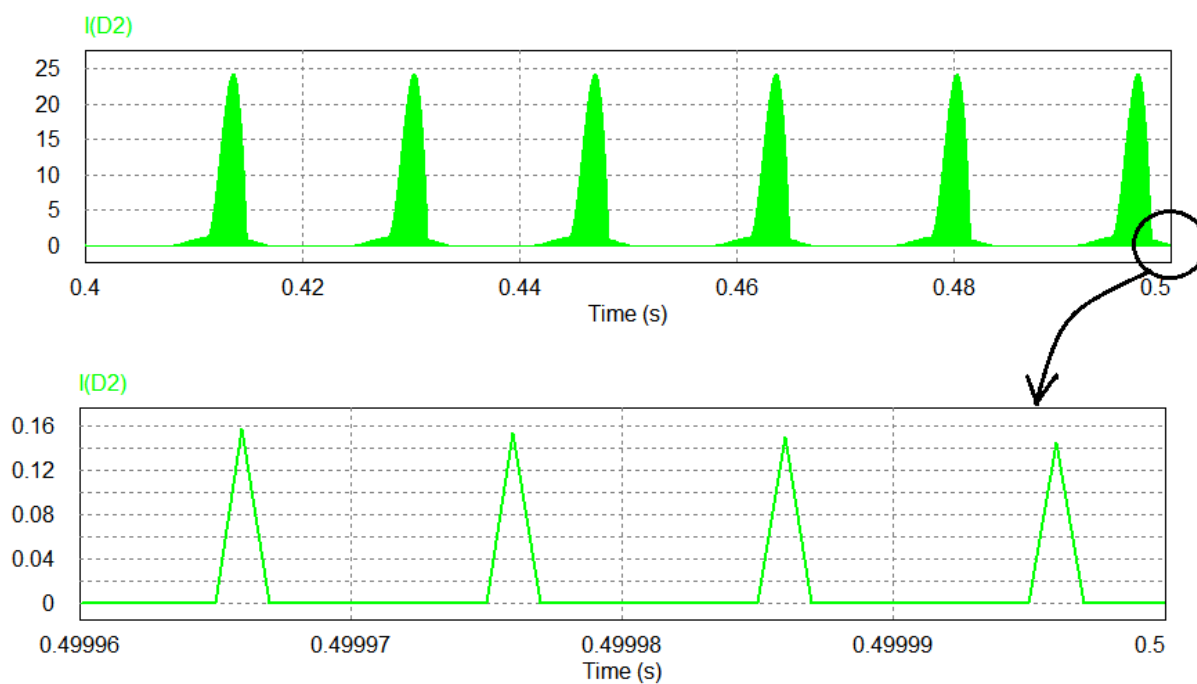
O diodo $D1$ estará alternando entre condução e polarização reversa, no semiciclo positivo, já que quando a chave $CH1$ está aberta o diodo $D1$ encontra-se em condução, mas quando a chave fecha este é reversamente polarizado. No semiciclo negativo não haverá passagem de corrente de corrente neste elemento.(Figura 69)

O diodo $D2$ também possuirá as mesmas característicasdo diodo $D1$ porém este entrará em condução apenas no semiciclo negativo.(Figura 70)

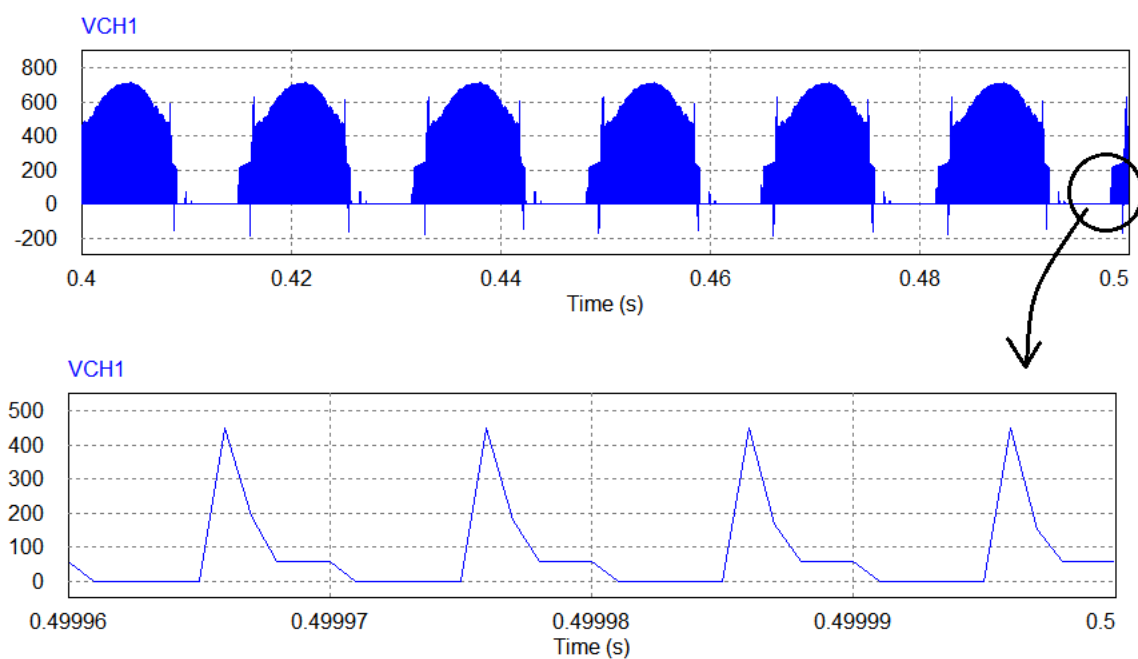
Conforme, já explicado o funcionamento da $CH1$, quando no semiciclo positivo, a chave alternará entre ligada e desligada, assim a tensão será respectivamente igual a zero e igual a tensão de entrada subtraída da tensão sobre os terminais de L_1 .(Figura 71)

Figura 69 – Forma de onda da corrente no diodo D1.**(a)** Forma de onda da corrente no diodo D1 com ampliação em $t=0.4996$ s.**(b)** Forma de onda da corrente no diodo D1 com ampliação em um tempo arbitrário.

Fonte: Autoria Própria.

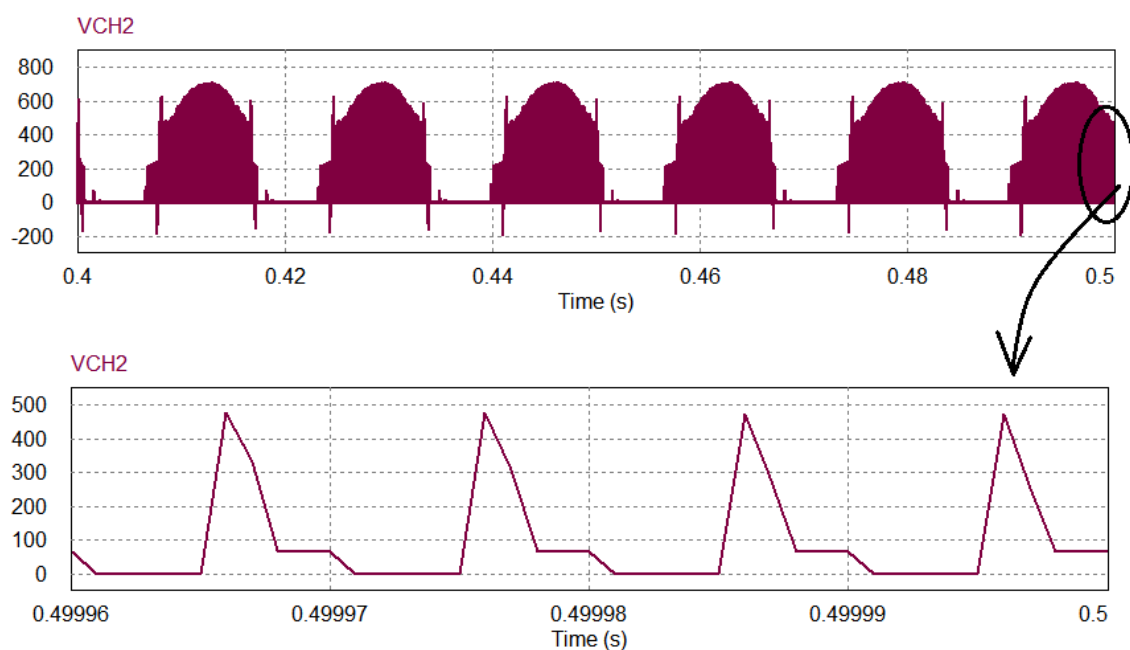
Figura 70 – Forma de onda da corrente no diodo D2.

Fonte: Autoria Própria.

Figura 71 – Forma de onda da tensão na chave CH1.

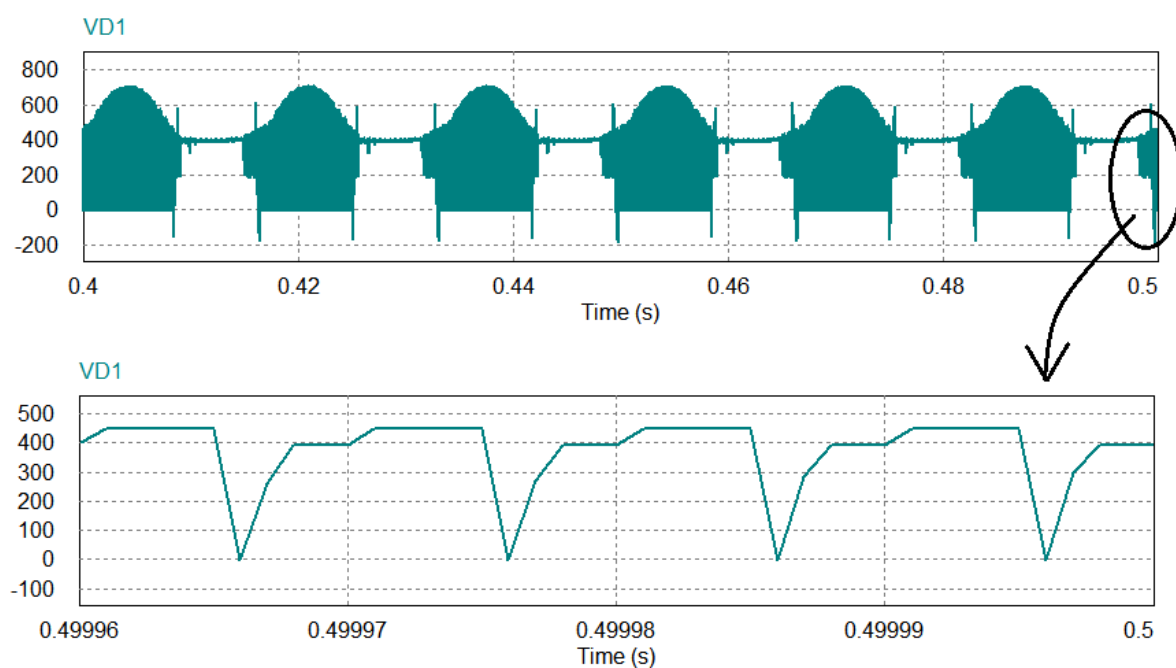
Fonte: Autoria Própria.

A $CH2$, quando no semiciclo negativo alternará entre ligada e desligada semelhante ao que acontece com o $CH1$. (Figura 72)

Figura 72 – Forma de onda da tensão na chave CH2.

Fonte: Autoria Própria.

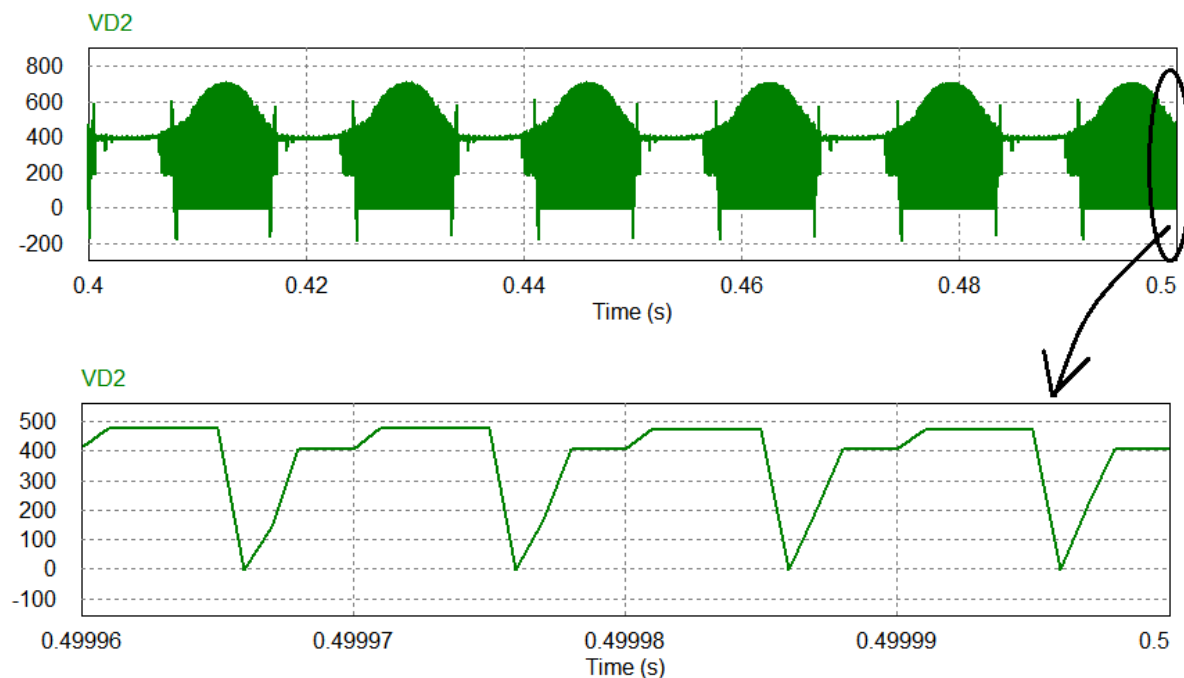
O diodo $D1$, como já se sabe, alternará entre polarizado e reversamente polarizado, devido a ação da chave $CH1$ (Figura 73).

Figura 73 – Forma de onda da tensão no diodo D1.

Fonte: Autoria Própria.

O diodo $D2$, também alternará entre polarizado e reversamente polarizado, mas agora devido a ação da chave $CH2$ (Figura 74).

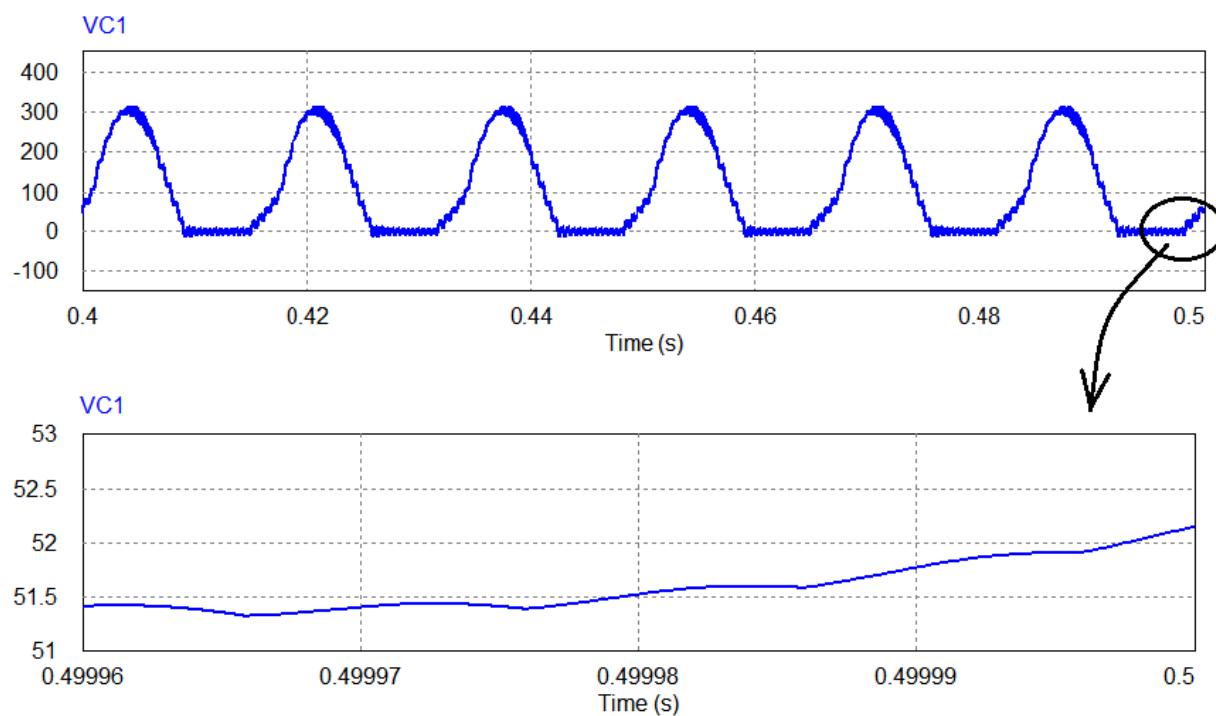
Figura 74 – Forma de onda da tensão no diodo $D2$.



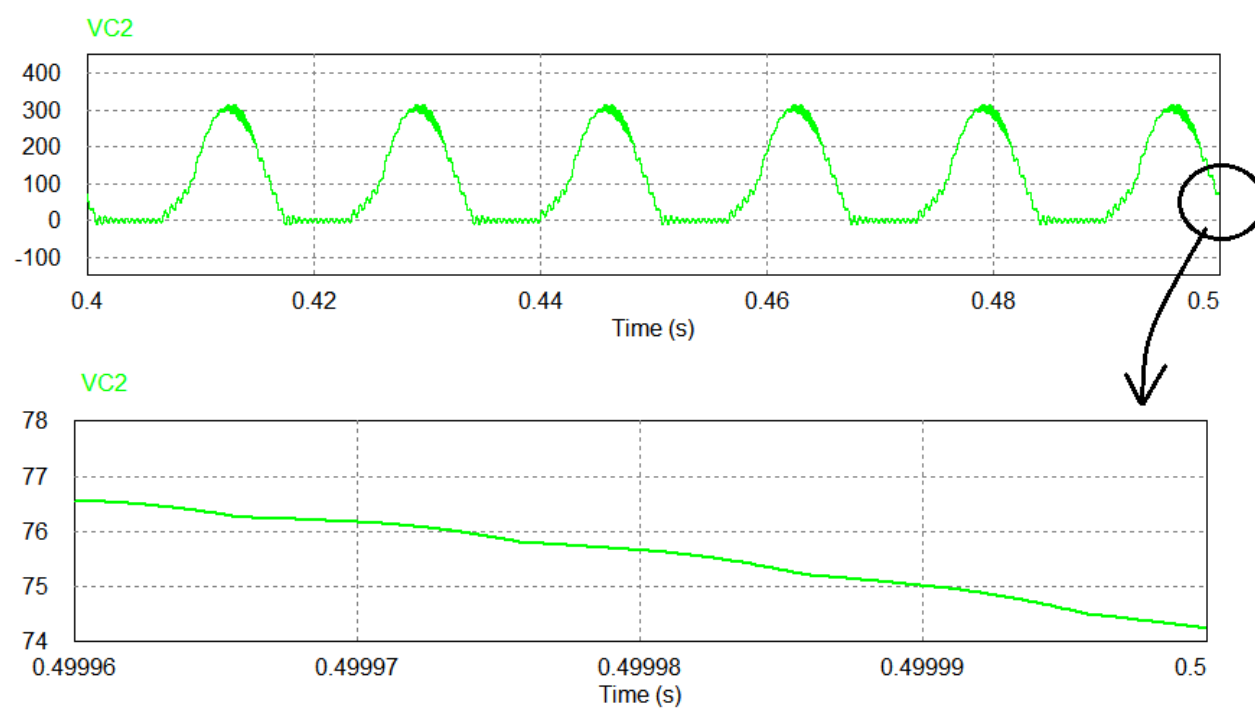
Fonte: Autoria Própria.

O capacitor 1 estará sendo carregado quando a $CH1$ estiver aberta e estará descarregando quando fechada. Lembrando que este elemento terá corrente circulando apenas no semiciclo positivo (Figura 75). Já o capacitor 2 estará sendo carregado quando a $CH2$ for aberta e estará descarregando quando a mesma for fechada. Estando em condução no semiciclo negativo (Figura 76).

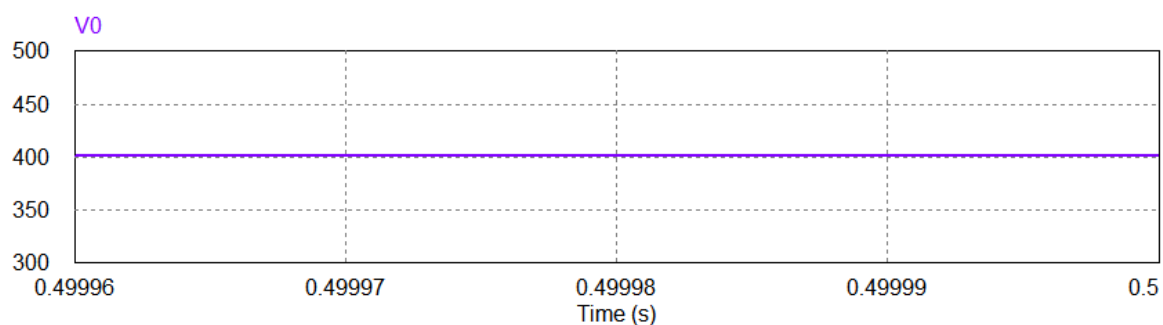
A tensão de saída e potência de saída estão dentro dos padrões esperados, e nesta topologia também foi utilizado o método de tentativa de erro para encontrar um valor de C_3 admissível capaz de manter o ripple de acordo com a tabela 1, e por consequência o valor de razão cíclica foi alterado se comparado as outras topologias (Figura 77 e 78).

Figura 75 – Forma de onda da tensão no capacitor 1.

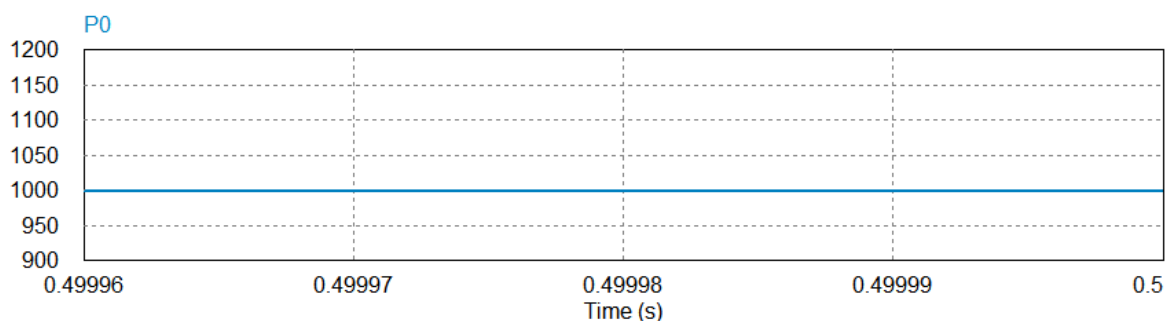
Fonte: Autoria Própria.

Figura 76 – Forma de onda da tensão no capacitor 2.

Fonte: Autoria Própria.

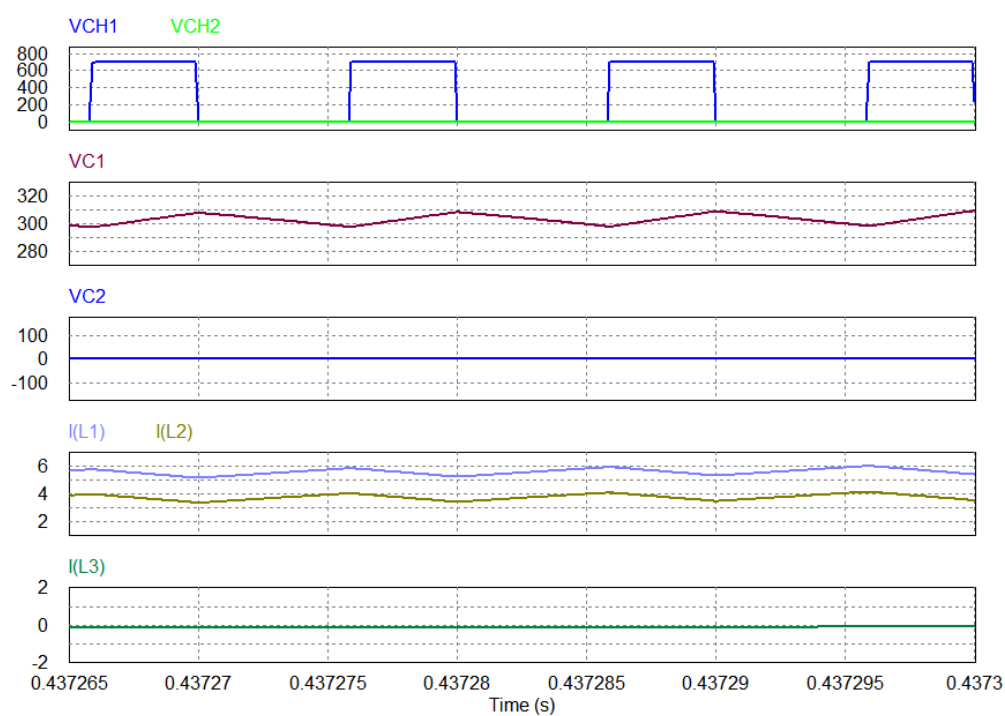
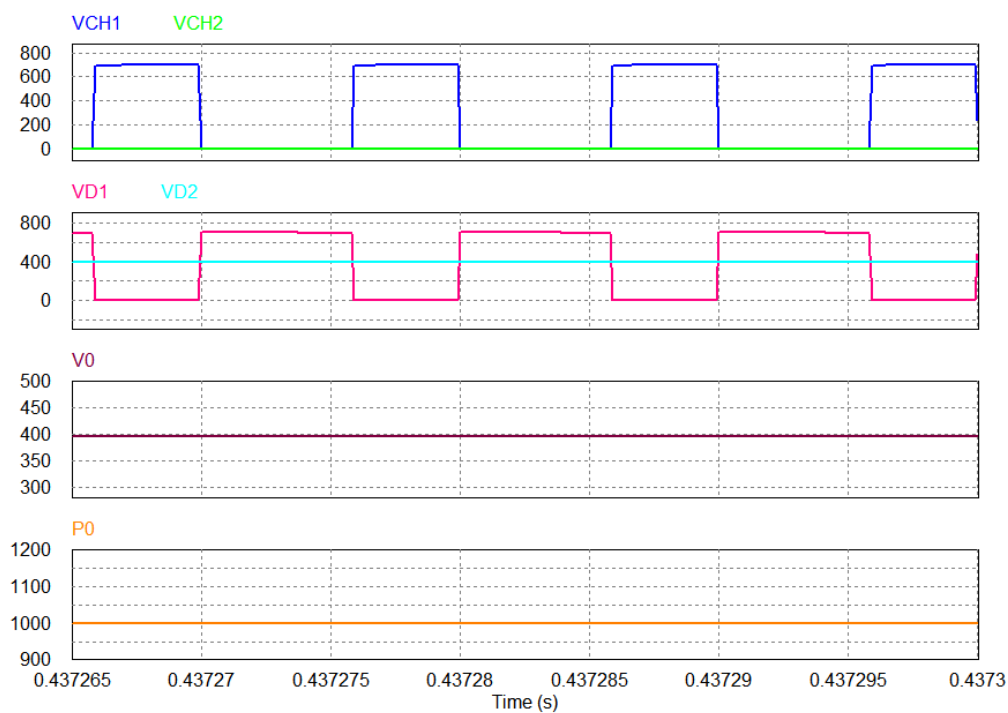
Figura 77 – Forma de onda da tensão no capacitor 3 (tensão de saída).

Fonte: Autoria Própria.

Figura 78 – Forma de onda da potência de saída.

Fonte: Autoria Própria.

Por fim, para exemplificar através de uma única ilustração, a Figura 79 apresenta o comportamento dos principais elementos para o semiciclo positivo da tensão de entrada. Assim, quando a chave CH_1 está aberta, o capacitor C_1 está sendo carregado, L_1 e L_2 estão sendo descarregados, o capacitor C_2 está em funcionamento apenas no semiciclo negativo, assim como L_3 , o diodo D_1 está em condução quando a chave estiver aberta e o diodo D_2 apenas conduzirá no semiciclo negativo. A potência de saída e tensão de saída manterão os valores esperados.

Figura 79 – Forma de ondas circuito 4**(a)** Forma de ondas circuito 4 no semiciclo positivo**(b)** Forma de ondas circuito 4 no semiciclo positivo

Fonte: Autoria Própria

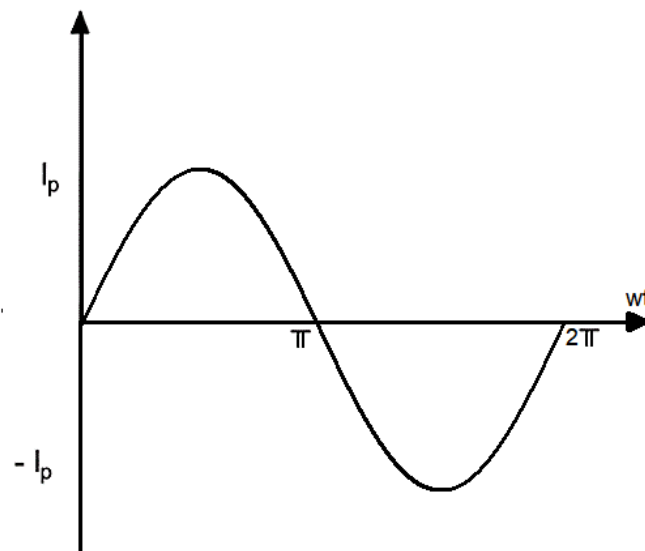
4 RESULTADOS

Neste capítulo é apresentando as considerações relevantes quanto as diferenças topológicas dos circuitos 1 ao 4.

Nota-se que há diferença entre os valores do C_2 , a partir do circuito 2, e C_3 para a topologia 4, isto ocorre pois o circuito sepic clássico, necessita de um pequeno valor de capacitor na saída que diminui o ripple em valor esperado (pelo projeto 2% de ripple), mas quando simulado para a topologia do circuito 2 e as demais topologias, o valor desse capacitor tornou-se pequeno para filtrar o ripple gerado, então é necessário aumentar o valor deste capacitor e por consequência o valor da razão cíclica para manter a mesma tensão de saída e potência de saída, através do método de tentativas e erros até encontrar o valor esperado.

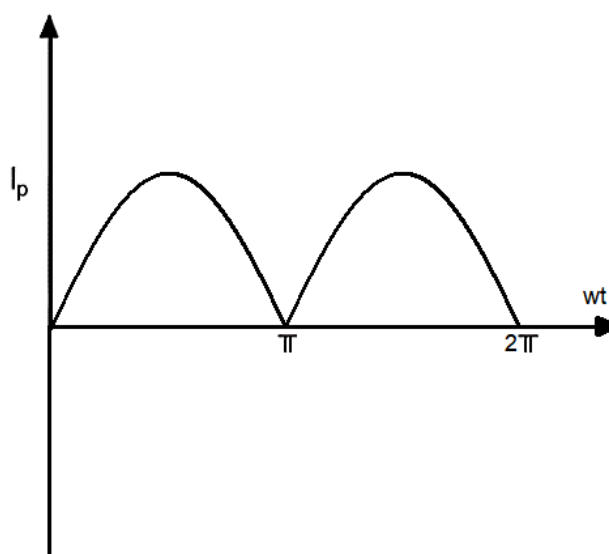
As diferenças entre os circuitos 2 e 3, podem ser observadas pela posição do indutor L_1 . Já que no circuito 2, o indutor L_1 está no lado CA (Figura 29) e no circuito 3 o mesmo está no lado de CC (Figura 45). Assim a partir das formas de ondas ilustradas é possível observar a forma de onda da corrente correspondente deste elemento nos circuitos (Figura 32 e Figura 48), tem-se que a corrente no circuito 2 é de característica alternada e no circuito 3 tem característica contínua. Assim, conforme a teoria pode-se dizer que a forma de onda de uma corrente alternada é dada pela Figura 80.

Figura 80 – Ilustração da forma de onda de uma corrente senoidal.



Fonte: Autoria Própria.

No entanto, quando esta corrente é submetida a um arranjo de retificação, no caso de um retificador de onda completa, é possível, prever teoricamente que a corrente terá o comportamento dado pela Figura 81.

Figura 81 – Ilustração da forma de onda da corrente retificada.

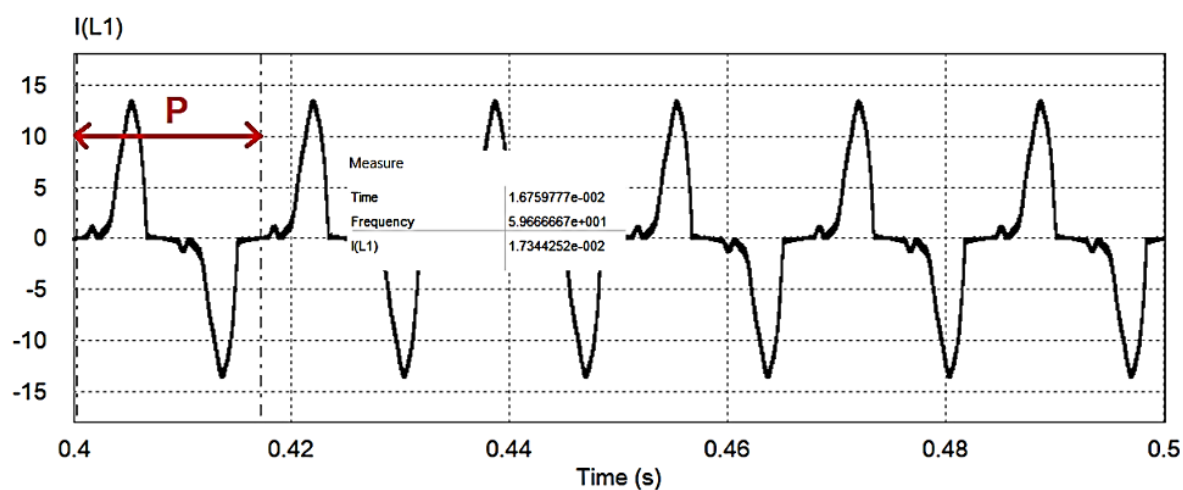
Fonte: Autoria Própria.

Então admitindo a diferença do comportamento que passará nos terminais do indutor, é possível verificar, através da teoria, que os indutores trabalharão em frequências diferentes.

Sabendo que:

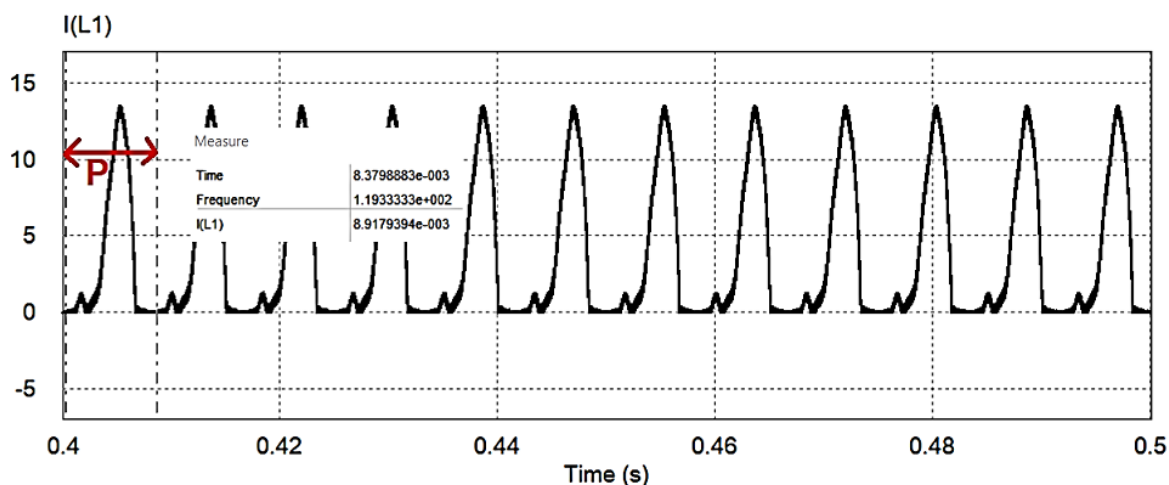
$$f = 1/T \quad (4.1)$$

É possível perceber que a frequência na Figura 81 será o dobro da Figura 80. Pode-se verificar a afirmação analisando a Figura 82.

Figura 82 – Forma de onda da corrente no indutor L_1 do circuito 2 e sua frequência de operação.

Fonte: Autoria Própria.

Figura 83 – Forma de onda da corrente no indutor L_1 do circuito 3 e sua frequência de operação.



Fonte: Autoria Própria.

Logo constatamos que as afirmações eram verdadeiras. O indutor em baixa frequência trabalha em frequências diferentes para as Figuras 82 e 83. O que pode-se dizer que para frequência de 60Hz o indutor exige um núcleo maior do que para frequência de 120Hz. Sendo um motivo vantajoso para algumas aplicações.

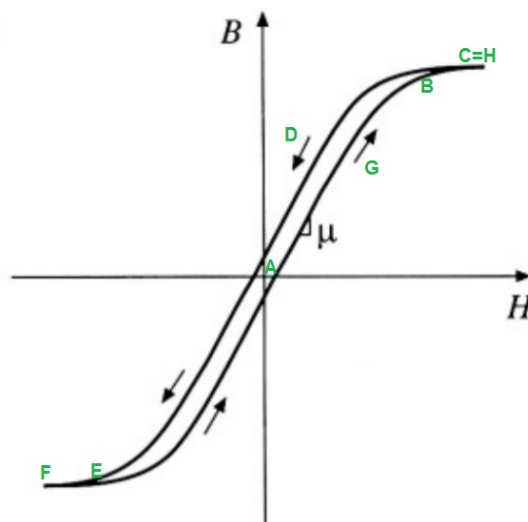
Outro detalhe importante, é sobre a saturação dos indutores, sabe-se que quando o indutor está do lado CA a corrente média do indutor será igual a zero, o que pode-se pensar que o indutor não está trabalhando na região de saturação. Todavia, quando o indutor trabalha com correntes cc, tem-se a intuição de que este trabalha próximo a saturação. Mas estas conclusões estão conceitualmente erradas e a seguir faz-se-á uma análise para provar que o surgimento da corrente média nos indutores com CC não indica que o indutor está saturado.

Vejamos que a partir do conceito da curva de histerese, é possível provar que a saturação, dependerá do tipo de material, neste caso ferromagnéticos, e da densidade de fluxo magnético (dependente do número de espiras do enrolamento e da intensidade da corrente circulante).

No ciclo de histerese, a primeira etapa de operação se inicia do zero do plano cartesiano dado pela letra A, neste ponto há aumento da força magnetizante com a densidade de fluxo até aproximarmos da saturação indicada pelo ponto B, a partir deste ponto nenhum aumento da força não provocará o aumento de densidade de fluxo, e em C é ponto onde se dá a saturação. Partindo da diminuição da corrente da bobina, neste período na figura de C para D, a curva de como o fluxo irá diminuir será diferente àquela da ida, causado pela força magnetizante remanescente no material, e o retardado deste diminuição da corrente, ou seja desmagnetização do núcleo é que se deu o nome histerese. Com a continuidade da diminuição da corrente, diminuindo assim o fluxo, até ao ponto zero, neste ponto a magnetização é zero, mas há presença de força magnetizante remanescente negativa. Com a inversão do sentido de

circulação, chegamos ao mesmo efeito de saturação anterior nos pontos E e F, mas neste caso a orientação do campo é negativa. Continuando do ponto F e reduzir a corrente até que a densidade de fluxo se anule chega-se a mais uma vez onde temos magnetismo remanescente positivo no ponto G. Com a magnetização oposta, chegamos ao ponto H de saturação.

Figura 84 – Curva B-H, ciclo de histerese.



Fonte: Autoria Própria.

Assim indutores do lado CC só estarão saturados, caso a houver aumento ou diminuição da corrente de pico correspondente a um aumento ou diminuição da força magnetizante que faça o mesmo entrar no ponto de saturação.

Pode-se resumir através de uma tabela os valores encontrados para os elementos para um mesmo tempo de simulação. A Tabela 1 ilustra a suportabilidade dos elementos das topologias. É possível notar que quando no circuito 4 o indutor L_2 de valor $5,28mH$ para os circuitos 1, 2 e 3 foi dividido esperava-se que a corrente média para o arranjo fosse dividida, e foi o que ocorreu, assim como para o capacitor C_2 dos circuitos anteriores foram divididos em C_2 e C_3 para circuito 4, ambos permaneceram com a mesma tensão máxima. A suportabilidade da tensão na chave do primeiro circuito é menor, aumentando-se nos circuitos 2 e 3, e, para o circuito 4 como há a utilização de duas chaves, a suportabilidade ainda é alta se comparada ao circuito clássico, porém é menor nos circuitos 2 e 3. A potência de saída para os quatros circuitos foram semelhantes assim como a tensão de saída. Outrossim, a tabela também apresenta a frequência de operação de cada indutor, em baixa frequência, que como já falado pode ser importante em algumas aplicações que demandam espaço na montagem, além do custo reduzido de um núcleo de dimensões menores.

Tabela 2 – Tabela de suportabilidade dos elementos das quatro topologias.

	CIRCUITO 1	CIRCUITO 2	CIRCUITO 3	CIRCUITO 4
L₁	2,60mH	2,60mH	2,60mH	2,60mH
L₂	5,28mH	5,28mH	5,28mH	2,64mH
L₃	-	-	-	2,64mH
C₁	4,25uF	4,25uF	4,25uF	2,125uF
C₂	2,09uF	1,5mF	1,5mF	2,125uF
C₃	-	-	-	1,55mF
I_{L1} (RMS)	5,08A	5,93A	5,93A	6,10A
I_{L2} (RMS)	2,50A	4,29A	4,29A	3,06A
I_{L3} (RMS)	-	-	-	3,06A
I_s (RMS)	6,20A	7,90A	7,90A	-
I_{CH1} (RMS)	-	-	-	6,77A
I_{CH2} (RMS)	-	-	-	6,77A
I_d (RMS)	4,36A	6,45A	6,45A	-
I_{D1} (RMS)	-	4,19A	4,19A	5,21A
I_{D2} (RMS)	-	4,19A	4,19A	5,21A
V_s(MÁX)	602,56V	731,1V	731,1V	-
V_{CH1}(MÁX)	-	-	-	702,09V
V_{CH2}(MÁX)	-	-	-	702,09V
V_d(MÁX)	602,90V	730,87V	730,87V	-
V_{D1}(MÁX)	-	440V	730V	710V
V_{D2}(MÁX)	-	440V	730V	710V
P₀(AVG)	1000W	1000W	1000W	1000W
V₀(AVG)	400V	400V	400V	400V
f_{L1}	-	60Hz	120Hz	60Hz
f_{L2}	-	120Hz	120Hz	60Hz
f_{L3}	-	-	-	60Hz
V_{C1}(MÁX)	199,03V	334,11V	334,11V	315,11V
V_{C2}(MÁX)	404V	404V	404V	315,11V
V_{C3}(MÁX)	-	-	-	404V

Fonte: Autoria Própria.

5 CONCLUSÃO

Pode-se concluir que os valores esperados para tensão de saída e potência de saída foram mantidos, mas para que isso fosse possível a razão cíclica e o capacitor de saída foram alterados.

A principal diferença entre os circuitos 2 e circuitos 3 é o indutor L_1 que está em diferentes posições nestes circuitos provocando diferentes características de funcionamento. Este indutor para maiores frequências apresenta um núcleo menor, o que pode ser útil em aplicações que exigem um menor espaço para a confecção deste elemento e exigem um menor preço.

Já o circuito 4 é uma topologia nova a qual apresenta a adição de dois elementos passivos e utiliza-se duas chaves em seu funcionamento. Esta característica pode ser relevante já que dois semicondutores utilizados nos circuitos 2 e 3 deixaram de ser utilizados, o que pode reduzir as perdas. No entanto há o incremento de uma chave além dos diodos de corpo das chaves. Além disso todos os indutores do circuito trabalha em 60Hz, como já mencionado, tem um preço maior. Outrossim, este circuito apresenta maior complexidade de controle pela maior utilização de elementos armazenadores de energia.

Do ponto de vista econômico, o circuito 3 seria a melhor escolha, já que, os indutores 1 e 2 trabalharão em uma frequência de 120 Hz, diferentemente do circuito 2, onde o indutor 1 trabalha em 60Hz exigindo um custo maior, assim como os indutores do circuito 4 e há a utilização de apenas uma chave, que consequentemente reduz os custos se comparado a topologia 4.

6 TRABALHOS FUTUROS

Para planejamento de trabalhos futuros, pode-se citar que para as análises feitas neste trabalho o circuito 3 seria a melhor escolha do ponto de vista econômico, mas é sempre necessário, identificar através de outras análises novas comparações, assim sendo, pode-se destacar os seguintes itens a serem estudados:

- * Estudo do rendimento: verificar a partir de simulações qual é o rendimento gerado em cada topologia apresentada neste trabalho.

- * Possibilidade de isolamento: estudar a viabilidade de obter um circuito isolado a partir dos arranjos apresentados.

- * Cálculo do núcleo dos indutores: averiguar a diferença entre os núcleos dos indutores.

REFERÊNCIAS

- 1 ALVAREZ, M. et al. Caracterización de módulos fotovoltaicos basado en un convertidor sepic. *Acta de la XLII Reunión de Trabajo de la Asociación Argentina de Energías Renovables y Medio Ambiente*, Universidad Nacional de Río Cuarto, v. 7, 2019. 15
- 2 NETO, C.; OLIVEIRA, A. de et al. Análise e desenvolvimento de um retificador trifásico de 12 pulsos com autotransformador e conversores sepic isolados. Universidade Federal de Uberlândia, p. 18–25, 2018. 15
- 3 SPIAZZI, G.; TENTI, P.; MALTAVELLI, P. High-quality rectifiers with high-frequency insulation-an overview. In: IEEE. *1995 Proceedings of the IEEE International Symposium on Industrial Electronics*. [S.l.], 1995. v. 1, p. 64–71. 15
- 4 ERICKSON, R. W.; MAKSIMOVIC, D. *Fundamentals of power electronics*. [S.l.]: Springer Science & Business Media, 2007. 16
- 5 MARKUS, O. *Circuitos elétricos: corrente contínua e corrente alternada, teoria e exercícios*. [S.l.]: Editora Érica, 2011. 17
- 6 AHMED, A. *Eletrônica de potência*. [S.l.]: Pearson Education do Brasil, 2008. 21
- 7 HART, D. W. *Eletrônica de potência: análise e projetos de circuitos*. [S.l.]: McGraw Hill Brasil, 2016. v. 29. 21
- 8 BARBI, I. *Eletrônica de potência: Projeto de fontes chaveadas*. [S.l.]: Edição do autor, 2007. 21
- 9 BARBI, I.; MARTINS, D. C. Conversores cc-cc básicos não isolados. *Edição dos autores*. Florianópolis, 2000. 21
- 10 RASHID, M. H. *Eletrônica de Potência Dispositivos, circuitos e aplicações*. [S.l.]: Pearson Education do Brasil, 2014. 40