

UNIVERSIDADE FEDERAL DE UBERLÂNDIA
FACULDADE DE ENGENHARIA ELÉTRICA
PÓS-GRADUAÇÃO EM ENGENHARIA ELÉTRICA



INVERSOR FLYBACK A QUATRO TRANSISTORES
CONTROLADO POR UM DISPOSITIVO FPGA PARA OBTER
MPPT EM SISTEMAS FOTOVOLTAICOS

FERNANDO NUNES MARQUES

NOVEMBRO

2008

FERNANDO NUNES MARQUES

INVERSOR FLYBACK A QUATRO TRANSISTORES CONTROLADO POR
UM DISPOSITIVO FPGA PARA OBTER MPPT EM SISTEMAS
FOTOVOLTAICOS

Dissertação apresentada ao Programa de Pós-Graduação
em Engenharia Elétrica da Universidade Federal de
Uberlândia, como requisito parcial à obtenção do título de
Mestre em Ciências.

Área de pesquisa: Eletrônica de Potência

Orientador: Prof. Dr. Valdeir José Farias

Uberlândia

2008

Dados Internacionais de Catalogação na Publicação (CIP)

M357i Marques, Fernando Nunes, 1980-

Inversor flyback a quatro transistores controlado por um dispositivo FPGA para obter MPPT em sistemas fotovoltaicos / Fernando Nunes Marques. - 2008.

123 f. : il.

Orientador: Valdeir José Farias.

Co-orientador: João Batista Vieira Júnior.

Dissertação (mestrado) – Universidade Federal de Uberlândia, Programa de Pós-Graduação em Engenharia Elétrica.

Inclui bibliografia.

1. Inversores elétricos - Teses. 2. Eletrônica de potência - Teses. I. Farias, Valdeir José. II. Vieira Júnior, João Batista. III. Universidade Federal de Uberlândia. Programa de Pós-Graduação em Engenharia Elétrica. IV. Título.

CDU: 621.314.572

FERNANDO NUNES MARQUES

INVERSOR FLYBACK A QUATRO TRANSISTORES CONTROLADO POR
UM DISPOSITIVO FPGA PARA OBTER MPPT EM SISTEMAS
FOTOVOLTAICOS

Dissertação apresentada ao Programa de Pós-Graduação
em Engenharia Elétrica da Universidade Federal de
Uberlândia, como requisito parcial à obtenção do título de
Mestre em Ciências.

Uberlândia, 04 de novembro de 2008

Aprovada pela Banca Examinadora:

Prof. Dr. Valdeir José Farias (Orientador) - UFU

Prof. Dr. João Batista Vieira Júnior (Co-orientador) - UFU

Prof. Dr. Luiz Carlos de Freitas - UFU

Prof. Dr. Ernane Antônio Alves Coelho - UFU

Prof. Dr. Jose Antonio Lambert - UFMT

*A minha mãe, Helen, e minha irmã Adriana.
Pela fé, dedicação e amor.*

AGRADECIMENTOS

Ao Prof. Valdeir José Farias e ao Prof. João Batista Vieira Jr. pela oportunidade de trabalhar sob sua orientação, pela dedicação, amizade e ensinamentos que contribuíram no desenvolvimento deste trabalho.

Aos amigos e colegas do Laboratório de Eletrônica de Potência, Fernando Lessa Tofoli, Kleber Lopes Fontoura, Aziz Elias Demian Junior, Felipe de Nassau e Braga e Jonas Reginaldo de Brito com os quais passei momentos extremamente agradáveis.

A toda minha família, pelo apoio total e pela confiança depositada ao longo de todos estes anos.

Ao CNPq - Conselho Nacional de Desenvolvimento Científico e Tecnológico, pela ajuda financeira recebida no decurso do meu trabalho de pós-graduação e a Universidade Federal de Uberlândia, pela sólida formação acadêmica que me foi proporcionada.

RESUMO

Geração de energia elétrica a partir de painéis fotovoltaicos vem sendo cada vez mais utilizada, não somente em sistemas fotovoltaicos de grande porte, como também em pequenos sistemas conectados a rede CA. Interligada paralelamente aos grandes geradores da concessionária de energia de forma descentralizada em sistemas de pequeno porte e baixas potências, instalados em residências, estabelecimentos comerciais, indústria, com o objetivo de minimizar perdas por transmissão por estarem instalados nos próprios locais. Este trabalho apresenta um controle num dispositivo FPGA de um inversor *flyback* a quatro transistores para máxima potência em sistemas fotovoltaicos. Apesar da baixa potência este contribui para a busca de alternativas simples e de baixo custo para geração de energia elétrica de forma descentralizada, não utilizando bancos de bateria conectados paralelamente a rede de energia próxima aos consumidores.

Palavras chaves: sistemas fotovoltaicos, inversor *flyback*, FPGA, controle digital.

ABSTRACT

Electrical energy generation with photovoltaic cells is being more utilized. Not only on large scale systems, but also in small ones connected to the grid. Parallel operating with the great generators from power companies, in a non-centralized way of operation, supplying low power, installed in houses, commerce establishments, industry, with the goal to minimize the loss in transmission, for being installed at the same consumption place. This work presents a FPGA device controller of a four transistor flyback inverter for maximum power point in photovoltaic systems. Despite this system has low power it contributes to search simple and low cost alternatives for generating of electrical power in a decentralized manner, which does not use battery banks connected parallel to network of energy near to consumers.

Keywords: photovoltaic (pv) power systems, flyback inverter, FPGA, digital signal processors.

LISTA DE ABREVIATURAS E SÍMBOLOS

A_e – área efetiva de um núcleo magnético [cm^2]
 A_j – área da janela em núcleo [cm^2]
 A_l – fator de indutância [H/esp^2]
ANEEL – Agência Nacional de Energia Elétrica
 A_p – produto das áreas (A_j e A_e) [cm^4]
AWG – American Wire Gauge
 $B_{\text{máx}}$ – densidade magnética máxima de saturação do material [T]
 C_1 – capacitor ou capacitância [F]
CA – corrente alternada
CDE – Conta de Desenvolvimento Energético
Clk – clock [MHz]
CPLD – Complex Programmable Logic Devices
D – razão cíclica
 D_1 – diodo
DC – corrente contínua
 $D_{\text{máx}}$ – razão cíclica máxima
E – energia armazenada em um indutor [J]
 $e_{(n)}$ – sinal de erro
E/S – entrada / Saída
EAB – Embedded Array Block
EEPROM – Electrically Erasable Programmable Read Only Memory
ESB – Embedded System Block
eV – elétron-volt
f.e.m. – força eletromotriz
 f_{ca} – frequência do barramento CA [Hz]
FIFO – First In, First Out
FPGA – Field Programmable Gate Arrays
 f_s – frequência de chaveamento [kHz]
HDL – Hardware Description Language
 i_D – corrente no diodo [A]
 i_{L1} – corrente no indutor [A]
 i_{mp} – corrente no ponto de potência máxima [A]
IOE – Input Output Expander
IOL – Input Output Load
 I_{pv} – corrente do painel fotovoltaico [A]
 i_s – corrente da fonte de alimentação [A]
 i_{s1} – corrente da chave 1 [A]
 i_{sc} – corrente de curto circuito [A]
 J_{L1} – densidade de corrente [A/cm^2]
 k_j – densidade de corrente nos fios [A/cm^2]
 k_u – fator de utilização
 L_1 – indutor ou indutância [H]
LAB – Logic Array Block
LCA – Logic Cell Array
 l_e – comprimento efetivo de um núcleo magnético [cm]
LE – Logic Element
 l_g – comprimento de entreferro [mm]
LIFO – Last In, First Out
LUT – Look Up Tables
MPPT – Maximum Power Point Tracking
 N_p – número de espiras do primário
 N_s – número de espiras do secundário
NuEP – Núcleo de Eletrônica de Potência
pASIC – Programmable Application-Specific Integrated Chip

P_{in} – potência de entrada [W]
 PLD – Programmable Logic Device
 P_{mp} – potência máxima [W]
 $Proinfa$ – Programa de Incentivo às Fontes Alternativas de Energia Elétrica
 PV – photovoltaic technology
 PWM – Pulse Width Modulation
 R_I – resistor ou resistência [Ω]
 RAM – Random Access Memory
 R_o – resistência de carga [Ω]
 ROM – Read Only Memory
 RSE – resistência série de um capacitor [Ω]
 S – chave
 S_{cobre} – área da secção transversal do cobre [cm^2]
 $SOPC$ – System On a Programmable Chip
 t_{on} – tempo em que a chave fica ligada [μs]
 T_s – período de chaveamento [μs]
 V_{CC} – tensão de alimentação de 5 volts
 V_i – tensão de entrada [V]
 $V_{imáx}$ – tensão de entrada máxima [V]
 $V_{imín}$ – tensão de entrada mínima [V]
 V_{mp} – tensão de circuito aberto [V]
 V_o – tensão sobre a carga [V]
 V_{oc} – tensão no ponto de potência máxima [V]
 V_{pv} – tensão do painel fotovoltaico [V]
 V_{ref} – tensão de referência [V]
 V_s – tensão sobre a chave [V]
 Δt – variação de temperatura [H/m]
 n – relação de espiras
 η – rendimento ou eficiência
 μ_e – entreferro
 μ_o – permeabilidade do vácuo

LISTA DE FIGURAS

Figura 2.1 – Circuito equivalente do painel fotovoltaico conectado a uma carga: (a) modelo ideal e (b) modelo real.....	9
Figura 2.2 – Curva característica genérica de tensão por corrente de um painel fotovoltaico.....	9
Figura 2.3 – Curvas características teóricas da tensão por corrente desenvolvidas a partir da equação (2.1).	11
Figura 3.1 – Níveis de integração de dispositivos fabricados pela Altera.	13
Figura 3.2 – Arquitetura interna de um dispositivo FLEX 10K.	16
Figura 3.3 – O Bloco de arranjos embarcados do dispositivo FLEX 10K.....	18
Figura 3.4 – O bloco de arranjos lógicos do dispositivo FLEX 10K.....	19
Figura 3.5 – O elemento lógico em um dispositivo da Família FLEX 10K.	20
Figura 3.6 – Utilização da Cadeia <i>carry</i> em um circuito somador.	21
Figura 3.7 – Utilização da Cadeia <i>cascade</i> em uma função com muitas variáveis de entrada.	22
Figura 3.8 – A interconexão <i>Fast-Track</i>	23
Figura 3.9 – Detalhe da conexão entre Elementos Lógicos.....	24
Figura 3.10 – A conexão entre linhas e um elemento de E/S.	25
Figura 3.11 – A conexão entre colunas e um elemento de E/S.....	25
Figura 4.1 – Circuito do conversor <i>buck-boost</i>	28
Figura 4.2 – Circuito equivalente do modo de operação 1.	29
Figura 4.3 – Circuito equivalente do modo de operação 2.	29
Figura 4.4 – Formas de onda conversor <i>buck-boost</i> modo descontinuo.	30
Figura 4.5 – Circuito do conversor <i>flyback</i>	30
Figura 4.6 – Circuito equivalente do modo de operação 1.	31
Figura 4.7 – Circuito equivalente do modo de operação 2.	31
Figura 4.8 – Formas de onda para o conversor <i>flyback</i> em modo descontinuo.	32
Figura 4.9 – Conversor <i>flyback</i> com múltiplas saídas.	32
Figura 4.10 – Circuito do conversor <i>flyback</i> a dois transistores.	33
Figura 4.11 – Topologia do inversor <i>flyback</i> em estudo.....	34
Figura 4.12 – Circuito equivalente do modo de operação 1 do inversor <i>flyback</i>	34
Figura 4.13 – Circuito equivalente do modo de operação 2a do inversor <i>flyback</i>	35
Figura 4.14 – Circuito equivalente do modo de operação 2b do inversor <i>flyback</i>	35
Figura 4.15 – Circuito equivalente do modo de operação 3a do inversor <i>flyback</i>	36
Figura 4.16 – Circuito equivalente do modo de operação 3b do inversor <i>flyback</i>	36
Figura 4.17 – Seqüência de chaveamento do inversor <i>flyback</i>	37
Figura 4.18 – Forma dos sinais de corrente nas chaves S_1 , S_2 e S_3	38
Figura 4.19 – Circuitos equivalentes para os modos de operação 1 e 2.	39
Figura 4.20 – Representação idealizada do sinal de corrente nas chaves S_1 e S_2	40
Figura 4.21 – Representação do vetor tempo.	41

Figura 4.22 – Representação do sinal de tempo discreto da função corrente I_{L2} .	42
Figura 5.1 – Disposição dos principais blocos do inversor <i>flyback</i> em estudo.	45
Figura 5.2 – Controle por histerese.	46
Figura 5.3 – Diagrama de controle por histerese.	47
Figura 5.4 – Controle por Largura de Pulso Senoidal.	48
Figura 5.5 – Controle pelo Pico de Corrente.	49
Figura 5.6 – Diagrama de controle pelo pico da corrente.	49
Figura 5.7 – Controle pela corrente média.	51
Figura 5.8 – Circuito do inversor <i>flyback</i> a dois transistores e o dispositivo FPGA aplicado em seu controle.	52
Figura 5.9 – Diagrama de blocos da lógica programada no dispositivo FPGA.	53
Figura 5.10 – Característica de saída tensão versus corrente de um painel fotovoltaico típico para dois valores de radiação solar, com temperatura constante.	54
Figura 5.11 – Disposição dos blocos responsáveis pela aquisição dos sinais de tensão e corrente dos painéis e do inversor.	58
Figura 5.12 – Lógica programada para estabelecer a base de tempo de aquisição.	59
Figura 5.13 – Forma de onda do contador com saída na base hexadecimal.	59
Figura 5.14 – Lógica programada para o proporcional integral digital PI.	60
Figura 5.15 – Lógica do cálculo do erro atual.	61
Figura 5.16 – Lógica utilizada para estabelecer limites máximos e mínimos.	61
Figura 5.17 – Lógica do gerador PWM digital.	62
Figura 5.18 – Lógica do gerador de corrente de referência.	63
Figura 5.19 – Resultado da compilação no dispositivo.	64
Figura 6.1 – Modelo do sistema fotovoltaico simulado em PSPICE.	81
Figura 6.2 – Circuito de potência e controle do inversor simulado em PSPICE.	82
Figura 6.3 – Tensão e corrente de saída do inversor para o ponto de máxima potência.	83
Figura 6.4 – Tensão e corrente de saída do inversor a 70% do ponto de máxima potência.	83
Figura 6.5 – Tensão e corrente de saída do inversor sob uma resposta transitória.	84
Figura 6.6 – Tensão e corrente de entrada do inversor sob uma resposta transitória.	84
Figura 6.7 – Tensão e corrente de saída do inversor conectado a rede CA e corrente no resistor série.	85
Figura 6.8 – Tensão e corrente de saída do inversor conectado a rede CA a 70% do ponto de máxima potência e corrente no resistor série.	86
Figura 6.9 – Tensão e corrente de saída do inversor conectado a rede CA sob uma resposta transitória.	86
Figura 6.10 – Tensão e corrente de entrada do inversor conectado a rede CA sob uma resposta transitória.	87
Figura 6.11 – Circuito de condicionamento do dispositivo FPGA desenvolvido no PSPICE.	88
Figura 6.12 – Circuitos de aquisição de corrente de saída do inversor e, corrente e tensão dos painéis fotovoltaicos.	89
Figura 6.13 – Circuito do retificador de precisão para amostragem do sinal de tensão CA.	90
Figura 6.14 – Circuito de comando dos transistores.	90
Figura 6.15 – Circuito do inversor <i>flyback</i> .	91
Figura 6.16 – Circuito do protótipo montado em laboratório.	91

Figura 7.1 – Tensão e corrente de saída do inversor para o ponto de máxima potência.....	94
Figura 7.2 – Tensão e corrente de saída do inversor a 70% do ponto de máxima potência.	94
Figura 7.3 – Tensão e corrente de saída do inversor sob uma resposta transitória.	95
Figura 7.4 – Tensão e corrente de entrada do inversor sob uma resposta transitória.	95
Figura 7.5 – Tensão e corrente de saída do inversor conectado a rede CA.	96
Figura 7.6 – Tensão da rede CA e corrente no resistor série.	96
Figura 7.7 – Tensão e corrente de saída do inversor conectado a rede CA a 70% do ponto de máxima potência.	97
Figura 7.8 – Tensão da rede CA e corrente no resistor série a 70% do ponto de máxima potência.	97
Figura 7.9 – Tensão e corrente de saída do inversor conectado a rede CA sob uma resposta transitória.	98
Figura 7.10 – Tensão e corrente de entrada do inversor conectado a rede CA sob uma resposta transitória.	98
Figura 7.11 – Espectro harmônico da corrente de saída em porcentagem da componente fundamental.	100
Figura 7.12 – Espectro harmônico da tensão de saída em porcentagem da componente fundamental.	100
Figura 7.13 – Sinal de corrente retificado do indutor de filtro de saída L_5 e tensão de gatilho enviado aos transistores S_1 e S_2	101

LISTA DE TABELAS

Tabela 2.1 – Dados do painel utilizado no trabalho.	11
Tabela 3.1 – Comparativo entre as famílias de FPGAs mais recentes. (fonte: Altera).....	14
Tabela 6.1 – Parâmetros do circuito <i>flyback</i> em estudo.	65
Tabela 6.2 – Tabela de núcleos tipo EE.	67
Tabela 6.3 – Valores de k_j e x para alguns tipos de núcleo.....	68
Tabela 6.4 – Bitola de condutores.	71
Tabela 6.5 – Parâmetros do circuito <i>flyback</i> calculados.	80
Tabela 7.1 – Espectro harmônico da tensão e corrente de saída em porcentagem da componente fundamental.....	99

SUMÁRIO

Agradecimentos	iv
Resumo	v
Abstract	vi
Lista de Abreviaturas e Símbolos	vii
Lista de Figuras	ix
Lista de Tabelas	xii
CAPÍTULO 1 Introdução Geral	1
1.1 - Aspectos Gerais.....	1
1.2 - Problemática.....	2
1.3 - Motivação do Estudo.....	2
1.4 - Objetivos do Trabalho.....	3
1.5 - Estrutura da Dissertação.....	4
CAPÍTULO 2 Sistema Fotovoltaico de Co-Geração de Energia Elétrica.....	5
2.1 - Considerações Iniciais.....	5
2.2 - Sistema Proposto	5
2.3 - Co-Geração de Energia	7
2.4 - O Pannel Fotovoltaico.....	8
2.5 - Considerações Finais.....	11
CAPÍTULO 3 Dispositivo FPGA	13
3.1 - Considerações Iniciais.....	13
3.2 - Definição	15
3.3 - A Família FLEX 10K (ALTERA - FLEX 10K, January 2003).....	15
3.3.1 - O Bloco de Arranjos Embarcados (EAB)	17
3.3.2 - O Bloco de Arranjos Lógicos (LAB)	18
3.3.3 - O Elemento Lógico (LE).....	19
3.3.3.1 - A Cadeia de Sinais <i>Carry</i>	21
3.3.3.2 - A Cadeia de Sinais <i>Cascade</i>	22
3.3.4 - A Interconexão <i>Fast-Track</i>	22
3.3.5 - O Elemento de E/S (IOE).....	24
3.3.5.1 - Conexões Entre Linhas e Elementos de E/S	24

3.3.5.2 - Conexão Entre Colunas e Elementos de E/S.....	25
3.3.6 - Configuração dos Pinos de Saída.....	26
3.3.6.1 - Controle de <i>Slew Rate</i>	26
3.3.6.2 - Saída a Dreno Aberto	26
3.3.6.3 - Interface Multivoltagem.....	27
3.4 - Considerações Finais.....	27
CAPÍTULO 4 Análise Qualitativa e Quantitativa	28
4.1 - Considerações Iniciais.....	28
4.2 - Princípio de Operação do Conversor <i>Buck-Boost</i>	28
4.2.1 - Modos de Operação do Conversor <i>Buck-Boost</i>	29
4.2.2 - Formas de Onda Teóricas.....	29
4.2.3 - Operação do Conversor <i>Flyback</i> (<i>Buck-Boost</i> Isolado)	30
4.2.4 - Modos de Operação do Conversor <i>Flyback</i>	30
4.2.5 - Operação do Conversor <i>Flyback</i> a Dois Transistores	32
4.3 - Análise Qualitativa do Inversor <i>Flyback</i> a Quatro Transistores	33
4.3.1 - Modos de Operação do Inversor <i>Flyback</i> a Quatro Transistores	34
4.3.2 - Formas de Onda Teóricas.....	36
4.4 - Análise Quantitativa do Inversor <i>Flyback</i> a Quatro Transistores	38
4.5 - Considerações Finais.....	44
CAPÍTULO 5 O Controle do Inversor <i>Flyback</i> Implementado na Plataforma FPGA ...	45
5.1 - Considerações iniciais.....	45
5.2 - Técnicas de Controle.....	45
5.2.1 - Modulação por Histerese.....	46
5.2.2 - Modulação por Largura de Pulso Senoidal	47
5.2.3 - Controle pelo Pico de Corrente	48
5.2.4 - Estratégia de Controle de Corrente Aplicado ao Inversor <i>Flyback</i>	49
5.3 - Implementação do Controle em um Dispositivo FPGA	51
5.3.1 - Diagrama de Blocos do Circuito de Controle	52
5.3.2 - Objetivos do Controle	52
5.3.3 - Estrutura do Circuito de Controle	53
5.3.3.1 - Bloco de Aquisição de Sinais.....	54
5.3.3.2 - Operação em MPPT	54
5.3.3.3 - Bloco PI Digital (SCARPA, 2005)	55
5.3.3.4 - Bloco PWM Digital.....	56
5.4 - Descrição da Estratégia Utilizada no “ <i>Software Quartus</i> ”	56
5.5 - Considerações Finais.....	64

CAPÍTULO 6 Exemplo de Projeto e Resultados de Simulação	65
6.1 - Considerações Iniciais.....	65
6.2 - Especificações	65
6.3 - Dimensionamento dos Componentes do Inversor <i>Flyback</i>	65
6.3.1 - Cálculo da Potência de Entrada.....	66
6.3.2 - Cálculo da Mínima Tensão de Entrada	66
6.3.3 - Cálculo do Indutor L_2	66
6.3.3.1 - Cálculo da corrente de pico no indutor L_2	66
6.3.3.2 - Cálculo da Energia Armazenada no Indutor L_2	67
6.3.3.3 - Cálculo do Coeficiente de Densidade de Corrente nos Fios	68
6.3.3.4 - Constante z	68
6.3.3.5 - Cálculo de A_p para L_2	68
6.3.3.6 - Cálculo da Densidade de Corrente no Fio do indutor L_2	69
6.3.3.7 - Cálculo do Entreferro para o Núcleo do Indutor L_2	69
6.3.3.8 - Cálculo da Corrente Média no Indutor L_2	69
6.3.3.9 - Cálculo da Corrente Eficaz no Indutor L_2	70
6.3.3.10 - Cálculo da Área do Cobre para o Condutor do Indutor L_2	70
6.3.3.11 - Cálculo do Número de Espiras de L_2	71
6.3.4 - Cálculo do Ângulo de Condução	71
6.3.5 - Cálculo da Relação de Transformação.....	72
6.3.6 - Cálculo da Corrente de Pico no Indutor L_3 e L_4	72
6.3.6.1 - Cálculo da Indutância L_3 e L_4	72
6.3.6.2 - Cálculo da Corrente Eficaz no Indutor L_3 e L_4	72
6.3.6.3 - Cálculo da Área do Cobre para os Condutores dos Indutores L_3 e L_4	73
6.3.6.4 - Cálculo do Número de Espiras para o Indutor L_3 e L_4	73
6.3.6.5 - Cálculo da Corrente Eficaz Fornecida a Rede CA.....	74
6.3.6.6 - Cálculo da capacitância de saída C_4	74
6.3.6.7 - Dimensionamento do Transistor de Potência S_1 e S_2	74
6.3.6.8 - Dimensionamento do Transistor de Potência S_3 e S_4	75
6.3.6.9 - Diodo de Desmagnetização D_2 e D_4	76
6.3.7 - Perdas nos Diodos D_5 e D_6	76
6.3.8 - Perdas no Transformador	76
6.3.9 - Dimensionamento do Filtro de Entrada	77
6.3.10 - Dimensionamento do Filtro de Saída	78
6.4 - Simulação do Circuito Inversor <i>Flyback</i>	79
6.4.1 - Especificações	80

6.4.2 - Resultados de Simulação.....	80
6.5 - Implementação do Protótipo	87
6.6 - Considerações Finais.....	92
CAPÍTULO 7 Resultados Experimentais	93
7.1 - Considerações Iniciais.....	93
7.2 - Resultados Experimentais	93
7.3 - Considerações Finais.....	101
CAPÍTULO 8 Conclusões Gerais.....	102
Referências Bibliográficas	104

CAPÍTULO 1

INTRODUÇÃO GERAL

1.1 - ASPECTOS GERAIS

A conversão solar fotovoltaica é uma das formas de energia alternativa mais citada para substituir os métodos convencionais de geração de eletricidade (VAZ, 2006). Atualmente utilizam-se as energias fotovoltaicas nas mais diversas áreas com o objetivo de geração de energia elétrica aliada as seguintes vantagens: simplicidade de instalação, facilidade de expansão, elevado grau de confiabilidade do sistema, redução das perdas por transmissão de energia devido à proximidade entre geração e consumo e pouca necessidade de manutenção. Além disso, os sistemas fotovoltaicos são fontes silenciosas e não poluentes de geração de energia elétrica (ROSEMBACK, 2004).

A exploração destas fontes renováveis de energia, extraídas a partir da transformação direta de fontes naturais, tem sido uma importante opção para a situação do mundo atual. É previsto que, em cerca de quinze anos, em torno de um quarto do consumo de energia total da Europa será atendido por energia solar. No Brasil, este tipo de geração é ainda pouco comum devido principalmente ao seu elevado custo inicial de instalação (VAZ, 2006).

O custo da produção de energia elétrica através de painéis fotovoltaicos ainda é elevado em comparação a outros métodos de geração de energia elétrica o que inviabiliza muitas vezes a sua aplicação. Contudo, há uma grande expectativa da difusão do uso de sistemas fotovoltaicos nos próximos anos, principalmente pelo esgotamento das fontes primárias de energia e o grande impacto ambiental causado pelas usinas tradicionais de geração de energia como a hidroelétrica e as termoelétricas (ROSEMBACK, 2004).

O desenvolvimento de novas tecnologias aplicadas aos painéis fotovoltaicos está possibilitando a redução acentuada dos custos de fabricação e de material. Por exemplo, os painéis de silício cristalino cujas lâminas de silício têm espessura de aproximadamente 300 μ m estão sendo substituídos por painéis de filmes finos com espessura da ordem de 1 μ m representando uma economia substancial de silício. Por outro lado pesquisas são realizadas em diversos laboratórios no mundo inteiro e permitem a obtenção de painéis mais eficientes. Comercialmente é possível encontrar painéis com rendimentos em torno de 17,4% (*SunPower*

SPR-90 & 95). Em experimentos de laboratório já existem células com rendimento de 25%. A título de comparação, a eficiência do processo de fotossíntese é da ordem de 0,2% (DEMONTI, 1998).

É previsto na Europa um forte crescimento, no que diz respeito aos sistemas fotovoltaicos com ligação à rede pública elétrica. No caso concreto da Alemanha, os sistemas fotovoltaicos com ligação à rede, foram instalados com maior intensidade após a entrada em vigor de subsídios governamentais no âmbito do “Programa dos 1.000 telhados” (1991-1995). Com a posterior evolução para o “Programa dos 100.000 telhados” (desde 1999) e o “Decreto das Fontes de Energia Renovável” (EEG1/4/2000), o Governo Federal Alemão lançou no mercado um conjunto de programas dinamizadores, os quais tiveram reconhecimento a nível mundial (GREEMPRO, 2004).

1.2 - PROBLEMÁTICA

A iminente diminuição da produção de combustíveis tradicionais, que atualmente é um dos principais provedores energéticos do mundo, preocupa também o setor elétrico. Desse modo, surge a necessidade de incrementar a produção de energia elétrica no planeta, de tal forma que se evite a utilização de combustíveis naturais, ou, por outro lado, determinar formas de redução do seu consumo, haja vista que hoje, a utilização do potencial hidrelétrico, que seria a alternativa mais viável no caso do Brasil, está se tornando dispendiosa e ecologicamente incorreta (em muitos locais há, em decorrência da implantação de usinas hidrelétricas, o alagamento de grandes áreas economicamente ativas) (DEMONTI, 1998).

A conversão solar fotovoltaica é uma das formas de energia alternativa mais citada para substituir os métodos convencionais para geração de eletricidade. Entretanto, existe a necessidade de aperfeiçoar tal sistema em geral para ser mais competitivo no mercado de energia, tornando-o tecnicamente e economicamente viável (VAZ, 2006).

1.3 - MOTIVAÇÃO DO ESTUDO

A cada dia estão surgindo novas técnicas de produção de energia elétrica utilizando sistemas fotovoltaicos. E a que se destaca ultimamente é o sistema de geração distribuído feito com o auxílio de painéis fotovoltaicos conectados paralelamente a rede elétrica, próximos as cargas e sem a utilização de baterias. Essa produção de energia através de painéis

fotovoltaicos depende, principalmente, do nível de insolação incidente sobre eles. Como o recurso energético solar apresenta grande variabilidade devido à alternância de dias e noites, das estações do ano e períodos de passagem de nuvens, a produção de energia apresentará também uma grande variação de acordo com a insolação, ou seja, nos períodos de grande insolação haverá grande produção de energia, nos períodos de baixa insolação haverá pouca produção de energia e nos períodos sem insolação não haverá produção de energia. Dessa forma, a quantidade de energia gerada pelos painéis, em grande parte das aplicações, não coincidirá com a quantidade de energia requerida pelas cargas elétricas da instalação.

Tendo em vista a necessidade do desenvolvimento de técnicas de conversão economicamente viáveis dessa energia e da característica associada ao nível de insolação este trabalho apresenta o desenvolvimento de um conversor inversor do tipo *flyback* a quatro transistores controlado por um dispositivo reprogramável FPGA, visando rendimento, baixo custo na topologia do inversor em estudo e um MPPT (*Maximum Power Point Tracking*) para os painéis fotovoltaicos utilizados neste trabalho.

1.4 - OBJETIVOS DO TRABALHO

O estudo em questão, que envolve a aplicação de uma das formas alternativas de geração de energia elétrica através de sistemas fotovoltaicos, tem como principais objetivos:

- Apresentar as características funcionais e de operação de um painel fotovoltaico;
- Descrever a tecnologia construtiva e principais características de um dispositivo FPGA;
- Descrever o circuito do inversor *flyback* em estudo;
- Apresentar uma estratégia de controle para o gerenciamento do fluxo de energia dentro do sistema em MPPT com o auxílio do dispositivo FPGA;
- Descrever a metodologia aplicada a este estudo;
- Verificar a dinâmica do circuito em estudo através do simulador PSPICE;
- Apresentar o procedimento de projeto para um protótipo do circuito em estudo;
- Verificar a viabilidade de metodologia proposta no estudo através de resultados experimentais.

1.5 - ESTRUTURA DA DISSERTAÇÃO

O estudo sobre sistemas fotovoltaicos, controle por dispositivo FPGA e inversor *flyback* a dois transistores está dividido em capítulos conforme mostrado a seguir:

O Capítulo 2 faz referência aos sistemas fotovoltaicos, abordando o funcionamento e as características das células fotovoltaicas, requisitos para interligar a rede CA e definição deste tipo de geração de energia.

O Capítulo 3 descreve a tecnologia construtiva dos dispositivos FPGA e suas principais características.

O Capítulo 4 enfoca as características, o princípio de funcionamento e a análise qualitativa e quantitativa do inversor *flyback* em estudo, incluindo o equacionamento e as formas de onda teóricas de operação do mesmo.

O Capítulo 5 descreve as principais técnicas de modulação e o diagrama de controle programado no dispositivo FPGA.

O Capítulo 6 descreve as etapas para implementação do protótipo como: dimensionamento dos componentes, montagem do equipamento e verificação do seu funcionamento.

O Capítulo 7 relata os resultados alcançados no desenvolvimento do trabalho.

O Capítulo 8 as conclusões e sugestões para trabalhos futuros com objetivo de aperfeiçoamento do equipamento desenvolvido.

CAPÍTULO 2

SISTEMA FOTOVOLTAICO DE CO-GERAÇÃO DE ENERGIA ELÉTRICA

2.1 - CONSIDERAÇÕES INICIAIS

A geração de energia elétrica a partir de painéis fotovoltaicos vem sendo cada vez mais utilizada, não somente em sistemas fotovoltaicos de grande porte com potências superiores a 500 kW, como em sistemas de média potência também conectados a rede CA (entre 10 e 500 kW) instalada no setor comercial, e pequena potência (abaixo de 10 kW) para residências (MESSENGER & VENTRE, 2004). Os sistemas de geração de energia elétrica baseados em painéis fotovoltaicos não possuem uma topologia padronizada, eles são projetados de acordo com os recursos disponíveis e as características de cada aplicação (ROSEMBACK, 2004). Baseados nisto, várias estruturas de conversão para conexão desses pequenos sistemas fotovoltaicos a rede CA foram propostos (ROSEMBACK, 2004), (DEMONTI, 1998), (VAZ, 2006), (KASA, IIDA, & CHEN, 2005) e (TAN, WANG, & JI, 2007). Em função dessa versatilidade, a geração de energia elétrica a partir de painéis fotovoltaicos pode ser interligada paralelamente aos grandes geradores da concessionária de energia de forma descentralizada, em forma de sistemas de pequeno porte e baixas potências, instalados em residências, estabelecimentos comerciais, indústria, com o objetivo de minimizar perdas por transmissão por estarem instalados nos próprios locais, de consumo e principalmente pelo fato de que os custos de manutenção são pequenos, devido a não utilização de baterias, reduzindo de quatro a seis vezes os intervalos de manutenção (DEMONTI, 1998).

2.2 - SISTEMA PROPOSTO

Para que se possam interligar os painéis fotovoltaicos à rede elétrica deve-se obedecer a certos requisitos, sob o ponto de vista da Engenharia, para que esta energia entregue à rede tenha boa qualidade e que o sistema ofereça confiabilidade e segurança.

É necessário esclarecer que no Brasil já existe legislação que estabelece os requisitos necessários à obtenção de registro e autorização para a implantação de centrais geradoras alternativas de energia elétrica, elaborada pela Agência Nacional de Energia Elétrica -

ANEEL. A Lei nº 9.427, de 26 dezembro de 1996, que institui a Agência, cita em seu art. 2º que a ANEEL tem por finalidade regular e fiscalizar a produção, transmissão, distribuição e comercialização de energia elétrica, em conformidade com as políticas e diretrizes do governo federal. A política energética nacional, com a qual a ANEEL deve atuar em conformidade, está descrita na Lei nº 9.478, de agosto de 1997. E por fim a Lei nº 10.438, de 26 de abril de 2002: entre outras disposições, cria o Programa de Incentivo às Fontes Alternativas de Energia Elétrica (Proinfa), a Conta de Desenvolvimento Energético (CDE), dispõe sobre a universalização dos serviços de energia elétrica e altera dispositivos legais que interferem no aproveitamento de fontes alternativas e co-geração de energia (Seminário Internacional sobre Fontes Alternativas de Energia e Eficiência Energética, 18-20 de jun/2002, Brasília-DF. Atuação da Aneel na Área de Fontes Alternativas de Energia e Eficiência Energética).

Para a correta operação do sistema é necessário que a tensão proveniente dos painéis seja aumentada, já que estes fornecem baixa tensão de saída (16V para os painéis disponíveis no laboratório do NuEP). A tensão da rede de alimentação tem valores de pico de 311V.

Para conferir segurança ao sistema deve-se prover isolamento galvânica entre os painéis e a rede elétrica, evitando assim riscos de choques elétricos (no momento da limpeza dos painéis, por exemplo) e evitar fugas de corrente gerando perdas de energia (DEMONTE, 1998).

A tensão gerada nos painéis é contínua, logo, o sistema deve-se fazer a inversão para corrente alternada de forma a possibilitar a conexão de duas fontes de energia de natureza diferente (painel fotovoltaico e rede elétrica).

A corrente fornecida, ou injetada na rede deve ter um baixo conteúdo harmônico, de forma a não introduzir harmônicas que causem interferências nas cargas conectadas e prejudique a qualidade da energia elétrica.

Assim que a energia elétrica comercial faltar por um motivo qualquer, seja ele acidental ou proposital, o sistema de co-geração deve parar de funcionar imediatamente, retomando o funcionamento assim que a tensão da rede voltar ao normal. Desta forma o sistema estará evitando a ocorrência de um efeito conhecido como *islanding* que é a continuidade de fornecimento de energia mesmo sem a presença de tensão da rede comercial. Este efeito pode, entre outros problemas, por em risco a vida das pessoas que fazem a manutenção de linhas de distribuição na rede comercial que é desenergizada propositalmente, mas continua energizada pelo sistema de co-geração.

O trabalho propõe o estudo e o procedimento de projeto para a implementação de um protótipo de um inversor *flyback* capaz de atender as exigências relacionadas nos parágrafos anteriores. O sistema proposto é composto por inversor do tipo *flyback*, controle por dispositivo FPGA e esquema de ligação a rede CA de forma direta sem utilização de baterias. Este sistema tem que ser o mais otimizado possível, possibilitando a instalação de painéis fotovoltaicos de forma simples e rápida sem maiores custos de instalação.

2.3 - CO-GERAÇÃO DE ENERGIA

Co-geração é definida como o processo de transformação de uma forma de energia em mais de uma forma de energia útil, de acordo com (ODDONE, 2001). Os sistemas de co-geração mais utilizados são a turbina a gás, turbina a vapor, motor alternativo e célula de combustível (GRUPO TURBOMAR, 2008). Dentro da categoria célula de combustível, tem-se por definição um sistema que produz energia elétrica a partir de reações eletroquímicas. Portanto, o sistema que gera energia elétrica a partir de painéis fotovoltaicos ("photo" de "produzido pela luz," e o sufixo "voltaico" de "eletricidade produzida por uma reação química") (NOGUEIRA Jr., 2007), pode ser considerado como um sistema de co-geração.

A maioria das aplicações solares para a geração de energia elétrica projetadas até o início dos anos 90 restringia-se a locais distantes da rede elétrica pública.

Este sistema isolado encontra-se em operação até hoje em estações repetidoras remotas de rádio, televisão e telefone, sistemas de bombeamento de água e fontes de energia elétrica para residências.

A co-geração de energia elétrica a partir de painéis fotovoltaicos consiste na conexão destes à rede de distribuição de energia elétrica comercial. Estes sistemas não necessitam de baterias ao contrário da grande maioria dos sistemas isolados que, para fornecerem energia à noite e em dias nublados, armazenam energia durante o dia nas baterias. Sem as baterias o tempo entre as manutenções é bem maior. Enquanto o sistema de co-geração está atuando a energia solicitada da rede comercial é menor. Se em determinado instante a energia produzida pelo sistema for maior do que o consumo este excesso é injetado diretamente na rede elétrica pública podendo a concessionária reembolsar o consumidor ou acumular esta energia na forma de "créditos de energia" para utilizações futuras.

O usuário ou consumidor de energia elétrica não notará diferença se a energia elétrica está vinda da concessionária ou do sistema de co-geração. Contudo a conta de energia elétrica no final do mês será reduzida e a diferença terá sido suprida pelo sistema de co-geração.

2.4 - O PAINEL FOTOVOLTAICO

O painel fotovoltaico é o responsável por transformar a energia luminosa solar em corrente elétrica. Ele é formado por células individuais conectadas entre si. Cada célula fotovoltaica isoladamente tem capacidade limitada de produção de energia elétrica e fornece um baixo nível de tensão. Portanto para atender a demanda de energia de grande parte dos equipamentos elétricos há necessidade de se associar várias células, através de ligações série e paralelo, formando-se assim os painéis fotovoltaicos. Os painéis fotovoltaicos podem, também, ser conectados entre si, formando-se os arranjos fotovoltaicos. Isso possibilita projeto de sistemas de grande capacidade de geração de energia elétrica (ROSEMBACK, 2004).

O modelo elétrico que representa um painel fotovoltaico ideal é mostrado na Figura 2.1 (a), onde a corrente I_{PV} fornecida pelo painel a carga R_O , é equivalente à associação de uma fonte de corrente contínua I_{PH} em paralelo com um diodo. Onde o módulo de I_{PH} é proporcional ao nível de insolação que incide sobre a célula e o comportamento da corrente pela junção pn é representado pela corrente do diodo I_D .

O desempenho de um painel real difere do ideal por apresentar alguns fatores de perdas. Estas perdas são representadas pelas resistências em série e em paralelo inseridas no modelo ideal. A resistência em série se deve a resistividade do corpo material, a resistência da lâmina da camada difundida e a resistência dos contatos metálicos. A resistência em paralelo se deve aos defeitos da junção que ocasionam correntes de perdas ao longo da junção. A Figura 2.1 (b) apresenta o circuito equivalente de um painel real onde R_S representa a resistência em série e R_{SH} a resistência em paralelo.

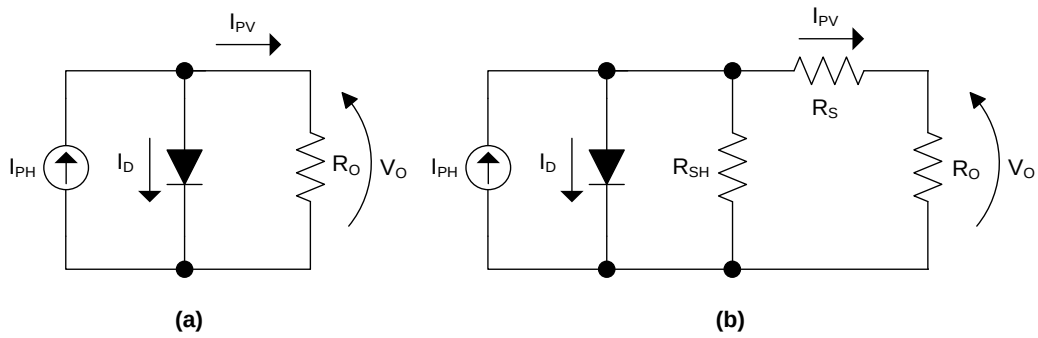


Figura 2.1 – Circuito equivalente do painel fotovoltaico conectado a uma carga: (a) modelo ideal e (b) modelo real.

A Figura 2.2 mostra a curva característica genérica da corrente I_{PV} em relação a variação da tensão V_O em um painel fotovoltaico. Onde, I_{SC} é a corrente de curto-circuito e representa a máxima corrente que o dispositivo pode entregar sob determinadas condições de radiação e temperatura com tensão nula; V_{OC} é a tensão de circuito aberto e representa a máxima tensão que o dispositivo pode entregar sob determinadas condições de radiação e temperatura com corrente nula; P_{MP} é o ponto de máxima potência e corresponde ao ponto da curva no qual o produto da tensão pela corrente é máximo; I_{MP} é a corrente relativa ao ponto de máxima potência e que é utilizado para definir o valor da corrente nominal do dispositivo e V_{MP} é a tensão relativa ao ponto da máxima potência e que é utilizado para definir o valor da tensão nominal do dispositivo.

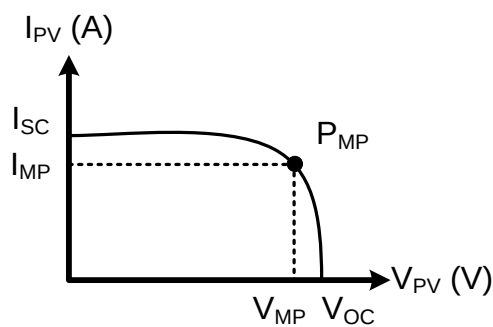


Figura 2.2 – Curva característica genérica de tensão por corrente de um painel fotovoltaico.

Partindo do circuito equivalente apresentado na Figura 2.1, a corrente I_{PV} fornecida pelo painel a uma carga em função da sua tensão de saída V_{PV} pode ser expressa pela equação (2.1) (ROSEMBACK, 2004).

$$I_{PV} = I_{SC} \left[1 - K_1 \left(e^{K_2 V_{PV}^{m-1}} \right) \right] \quad (2.1)$$

Onde $K_1 = 0,01175$, $K_2 = \frac{K_4}{V_{OC}^m}$, $m = \frac{\ln\left(\frac{K_3}{K_4}\right)}{\ln\left(\frac{V_{MP}}{V_{OC}}\right)}$, $K_3 = \ln\left[\frac{I_{SC} (1 + K_1 - I_{MP})}{K_1 I_{SC}}\right]$ e

$$K_4 = \ln\left(\frac{1 - K_1}{K_1}\right).$$

Contudo, (2.1) é válida somente para as Condições de Teste Padrão, *STC* (do inglês *Standard Test Conditions*), onde o nível de insolação é $G_{STC} = 1000 \text{ W/m}^2$ e a temperatura é $T_{STC} = 25^\circ\text{C}$.

Outro método utilizado para determinação da potência e corrente do painel solar é descrito nas equações (2.2) e (2.3) (SURESH & SOLANKI, 2006).

$$I = I_{PH} - I_O \left[\exp\left(\frac{q V_P + I_P R_S}{AkT}\right) - 1 \right] \quad (2.2)$$

$$P = I_{PH} V_P - I_O V_P \left[\exp\left(\frac{q V_P + I_P R_S}{AkT}\right) - 1 \right] \quad (2.3)$$

Para uma condição de máxima potência ($dP/dV=0$) fazendo uma aproximação de $I_O \ll I_{SH}$, (2.2) e (2.3) resultam em:

$$\frac{I_{\max P}}{V_{\max P}} = I_{PH} - I_{\max P} \frac{q}{AkT} \left(1 - \frac{I_{\max P}}{V_{\max P}} R_S \right) \quad (2.4)$$

Onde $\max P$ se refere ao ponto de máxima potência indicado na Figura 2.2, I_{PH} a foto corrente, kT/q a voltagem térmica devido ao movimento das cargas, e A um fator associado a características do diodo. Da equação (2.4) pode ser calculada a resistência série R_S :

$$R_S = \frac{V_{\max P}}{I_{\max P}} - \frac{AkT}{q (I_{PH} - I_{\max P})} \quad (2.5)$$

onde, I_{PH} é a corrente da célula devido aos fótons e vale aproximadamente a corrente de curto circuito I_{SC} , $q=1,6 \times 10^{-19}$ Coulomb (carga do elétron), $k=1,38 \times 10^{-23}$ J/K (constante de *Steffan Boltzman*) e T a temperatura da célula em graus Kelvin (K).

Neste método o fator diodo A está entre 2,5 a 3,0 para a célula de silício e para $I_O \ll I_{SH}$. O resultado de R_S não é um valor exato, porém serve como estimativa em função da curva característica do painel fotovoltaico.

Os parâmetros utilizados nas equações para adquirir as curvas características estão mostrados na Tabela 2.1, estes parâmetros pertencem à folha de dados do painel Kyocera ks20.

Tabela 2.1 – Dados do painel utilizado no trabalho.

Parâmetros	Símbolo	Valor
Potência Máxima	P_{MP}	20W
Corrente no ponto de potência máxima	I_{MP}	1,2A
Tensão no ponto de potência máxima	V_{MP}	16,9V
Corrente de curto circuito	I_{SC}	1,24A
Tensão de circuito aberto	V_{OC}	21,5V

A Figura 2.3 mostra as curvas características teóricas desenvolvidas a partir das equações (2.1) para tensão e corrente em função dos dados do painel apresentados na Tabela 2.1.

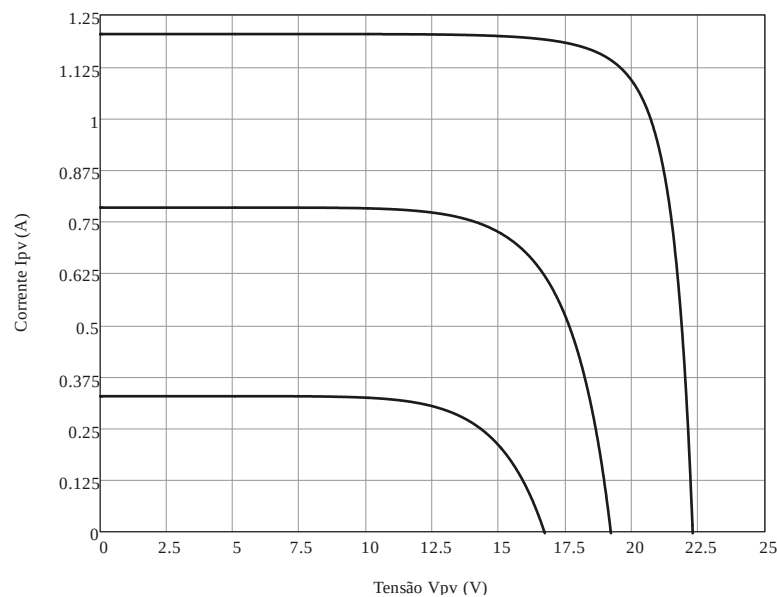


Figura 2.3 – Curvas características teóricas da tensão por corrente desenvolvidas a partir da equação (2.1).

2.5 - CONSIDERAÇÕES FINAIS

Neste capítulo foram apresentados detalhes do trabalho proposto quanto à forma em que é ligada a rede de distribuição e as vantagens que o mesmo apresenta em relação a sistemas que utilizam bancos de baterias e, para quais finalidades ele é mais vantajoso a sua

aplicação. Em seguida é descrito as normas estabelecidas pela ANEEL sobre a política energética nacional, programas de incentivo em relação às fontes alternativas de energia elétrica e os cuidados necessários para interligação deste sistema a rede elétrica. Também é descrito o conceito de co-geração de energia para sistemas fotovoltaicos como sendo uma inclusão do processo de transformação feito pelas reações eletroquímicas dos painéis parte da definição básica de co-geração de energia. E as principais características construtivas do painel fotovoltaico: o circuito equivalente, a curva característica de tensão e corrente e o equacionamento utilizado para determinar os parâmetros de corrente, tensão e potência dos mesmos.

CAPÍTULO 3

DISPOSITIVO FPGA

3.1 - CONSIDERAÇÕES INICIAIS

Com o objetivo de atender às necessidades crescentes de componentes de melhor desempenho e maior largura de banda novas famílias de PLDs foram lançadas pela Altera, impostas por aplicações relacionadas à transmissão de dados, desempenho em operações de I/O e suporte para SOPC (*System On a Programmable Chip*). Um notável aumento de densidade e expansão da capacidade de implementação de blocos de memória embutidos tem sido também observados.

Com densidades variando entre 30.000 e 1,5 milhões de portas lógicas e melhoria de desempenho com o emprego de interconexões de cobre, estes dispositivos tornam-se compatíveis com arquiteturas PCI de 64 bits e 66MHz. O nível de integração dos chips de dispositivos fabricados pela Altera são apresentados na Figura 3.1.

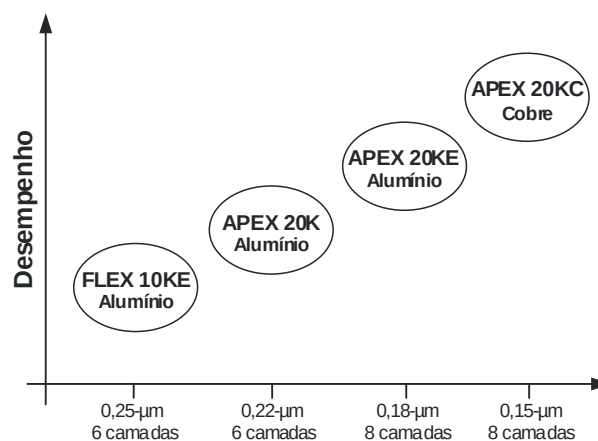


Figura 3.1 – Níveis de integração de dispositivos fabricados pela Altera.

A família de dispositivos APEX™ da Altera® possibilita uma completa integração de sistemas em um único chip. Através da arquitetura MultiCore™, esta família de dispositivos acentua o desempenho dos PLDs que a antecederam, possibilitando flexibilidade de projeto e eficiência para aplicações SOPC (*System On a Programmable Chip*) de alto desempenho (ALTERA - APEX 20K, January 2001).

A família de PLDs APEX II supera o seu antecessor APEX 20K em praticamente todos os pontos. Em março de 2002, foi lançada a nova família denominada Stratix™. A Tabela 3.1 apresenta uma comparação entre algumas características destas famílias de FPGAs.

Tabela 3.1 – Comparativo entre as famílias de FPGAs mais recentes. (fonte: Altera).

Família	APEX 20K	APEX II	STRATIX
Dispositivo	EP20K1500E	EP2A70	EP1S120
Elementos Lógicos (LEs)	51.840	67.200	114.140
ESBs	216	280	1.650
Memória RAM (bits)	442.368	1.146.880	10.118.016
Pinos de I/O disponíveis p/ o usuário	808	1.060	1.310

Além da melhoria em diversas características, cada uma das novas famílias apresenta algumas novidades.

Os dispositivos APEX II são equipados com circuitos especiais de multiplicação e divisão de frequência de *clock*, minimizando o número de fontes externas de *clock*, necessárias em algumas aplicações (ALTERA - APEX II, May 2002). Além deste avanço, esta família de PLDs apresenta circuitos dedicados que oferecem aos projetistas a flexibilidade de sincronização de até 36 canais de dados independentes de alta velocidade.

A família Stratix utiliza uma nova estrutura de memória composta por três tipos de blocos ESBs de tamanhos diferentes. Estes blocos de memória embutidos foram especialmente desenvolvidos para diferentes classes de aplicação (ALTERA - STRATIX, April 2002). Os dispositivos Stratix incluem ainda 28 blocos de processamento digital de sinais (DSP) que promovem melhor desempenho para aplicações aritméticas.

Este capítulo apresenta o dispositivo FPGA e mostra em detalhes a arquitetura interna da família FLEX10K, da fabricante Altera™, a família do dispositivo selecionado para controlar o inversor *flyback* a quatro transistores. A descrição do dispositivo é baseada na folha de dados fornecida pelo fabricante.

3.2 - DEFINIÇÃO

Os dispositivos FPGAs podem ser definidos como circuitos integrados que contêm um arranjo de células lógicas cercado por blocos programáveis de E/S. As FPGAs contêm dezenas de milhares de células lógicas e um número ainda maior de *flip-flops*.

Atualmente, as FPGAs são utilizadas em aplicações que variam de processamento de dados e armazenamento a processamento digital de sinais, passando por telecomunicações e instrumentação. Elas também recebem o nome de *Logic Cell Array* (LCAs) e *Programmable Application-Specific Integrated Chip* (pASIC).

As FPGAs estão hoje disponíveis no mercado em um número cada vez maior de portas, registradores, células lógicas e *look-up tables*. A seleção de um dispositivo FPGA é baseada nos fatores memória e desempenho. Entre os tipos de memória estão *Flash*, RAM; *dual-port* RAM; ROM; EEPROM, FIFO e LIFO. As considerações sobre desempenho incluem frequência de operação, número de PLLs integrados e número de pinos de E/S disponíveis.

3.3 - A FAMÍLIA FLEX 10K (ALTERA - FLEX 10K, JANUARY 2003)

A arquitetura da família FLEX 10K é formada por dois tipos de arranjos: um arranjo embarcado para implementação de memória e de funções lógicas especiais, e um arranjo lógico para implementação de lógica de propósito geral.

O arranjo embarcado consiste de uma série de blocos lógicos agrupados, cuja sigla em inglês é EAB. Na implementação de funções de memória, cada EAB provê 2.048 bits, que podem ser usados para criar RAM, ROM, *dual-port* RAM, ou funções FIFO (*First In First Out*). Na implementação de funções lógicas complexas, como multiplicadores ou multiplexadores, máquinas de estado e funções de PDS, cada EAB contribui com 100 a 600 portas lógicas. As EABs podem ser usadas independentemente ou múltiplas EABs podem ser combinadas para implementação de funções que demandem mais portas lógicas.

A parte lógica do dispositivo consiste de blocos de arranjos lógicos (LAB, em inglês). Cada LAB por sua vez contém oito elementos lógicos e uma interconexão local, por onde são transmitidos os sinais necessários à comunicação entre LABs. Um Elemento Lógico é composto por uma *look up table* de quatro entradas, um *flip-flop* programável e caminhos de sinal dedicados para as funções *carry* e *cascade*, que serão posteriormente explicadas. Os oito

elementos lógicos de um LAB podem ser usados para se criar um bloco lógico de tamanho médio, como um contador de 8 bits, um decodificador de endereço ou uma máquina de estado. É possível também combiná-los com Elementos Lógicos de outras LABs para se criar blocos lógicos maiores. Cada LAB representa em torno de 96 portas lógicas. As interconexões de sinais dentro do dispositivo FLEX 10K com os pinos de E/S são conseguidos através da interconexão *Fast-Track™*, uma série de canais entre linhas e colunas que percorrem toda a extensão do dispositivo.

Cada pino de E/S é controlado por um elemento de E/S (IOE, em inglês) localizado no final de cada linha e coluna da interconexão *Fast-Track*. Cada IOE contém um buffer bidirecional e um *flip-flop* que podem ser utilizados como um registrador tanto de entrada quanto de saída para alimentar sinais de entrada, de saída ou bidirecionais. Os elementos de E/S possuem características interessantes, como controle de *slew-rate*, *buffers tri-state* e saída a dreno aberto.

A Figura 3.2 mostra a arquitetura interna de um dispositivo da família FLEX 10K.

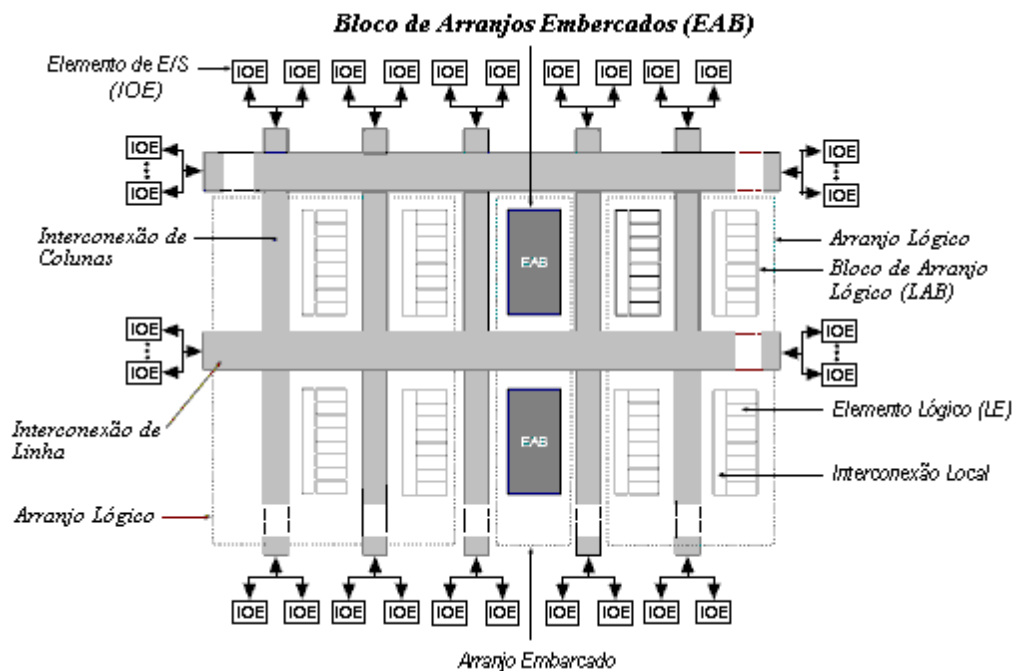


Figura 3.2 – Arquitetura interna de um dispositivo FLEX 10K.

3.3.1 - O BLOCO DE ARRANJOS EMBARCADOS (EAB)

Cada bloco de arranjos embarcado (EAB) é um bloco flexível de memória RAM (*Random Access Memory*) com registradores nas portas de entrada e saída, e é utilizado para implementar circuitos tais como *look-up tables* (LUTs), máquina de estados e multiplicadores, devido a seu tamanho e à sua flexibilidade. Essas funções podem ser também combinadas com aplicações tais como filtros digitais e microcontroladores.

Durante a configuração do dispositivo, as EABs são agrupadas, criando-se uma grande LUT. Através das LUTs, o resultado de uma função é obtido através de valores pré programados, não sendo necessário nenhum esforço computacional. A grande capacidade dos EABs permite ao projetista implementar funções complexas consumindo um espaço físico muito menor do que seria consumido nos blocos de arranjos lógicos. Um único EAB, por exemplo, seria necessário para se implementar um circuito multiplicador de 4 bits, com oito entradas e oito saídas.

Ao contrário dos blocos lógicos da FPGA, que possuem uma arquitetura distribuída e que portanto apresentam atrasos devido à comunicação entre os elementos lógicos, os EABs apresentam a vantagem de poderem ser conectados para implementação de grandes blocos dedicados. Este fato elimina parte dos problemas com relação a tempo de atraso e roteamento. Os EABs podem ser usados para funcionar como uma memória RAM síncrona. Neste caso, cada Bloco pode ser configurado para qualquer um dos seguintes tamanhos: 256×8 , 512×4 , 1.024×2 ou 2.048×1 . Os Blocos podem ser também combinados para formar memórias maiores. Por exemplo, dois blocos 256×8 podem ser combinados para formar um bloco de 256×16 . Se necessário, todos os EABs do dispositivo podem ser agrupados.

A Figura 3.3 mostra a arquitetura interna de um EAB. As entradas e saídas dos EABs podem ser acionadas por *clocks* diferentes. Como os elementos lógicos têm acesso à interconexão local do EAB, eles podem controlar o sinal WE e o sinal de *clock* de um EAB. Cada EAB é alimentado por uma linha da interconexão e pode acionar até dois canais da linha de interconexão, possibilitando ainda que o canal não utilizado seja acionado por um Elemento Lógico.

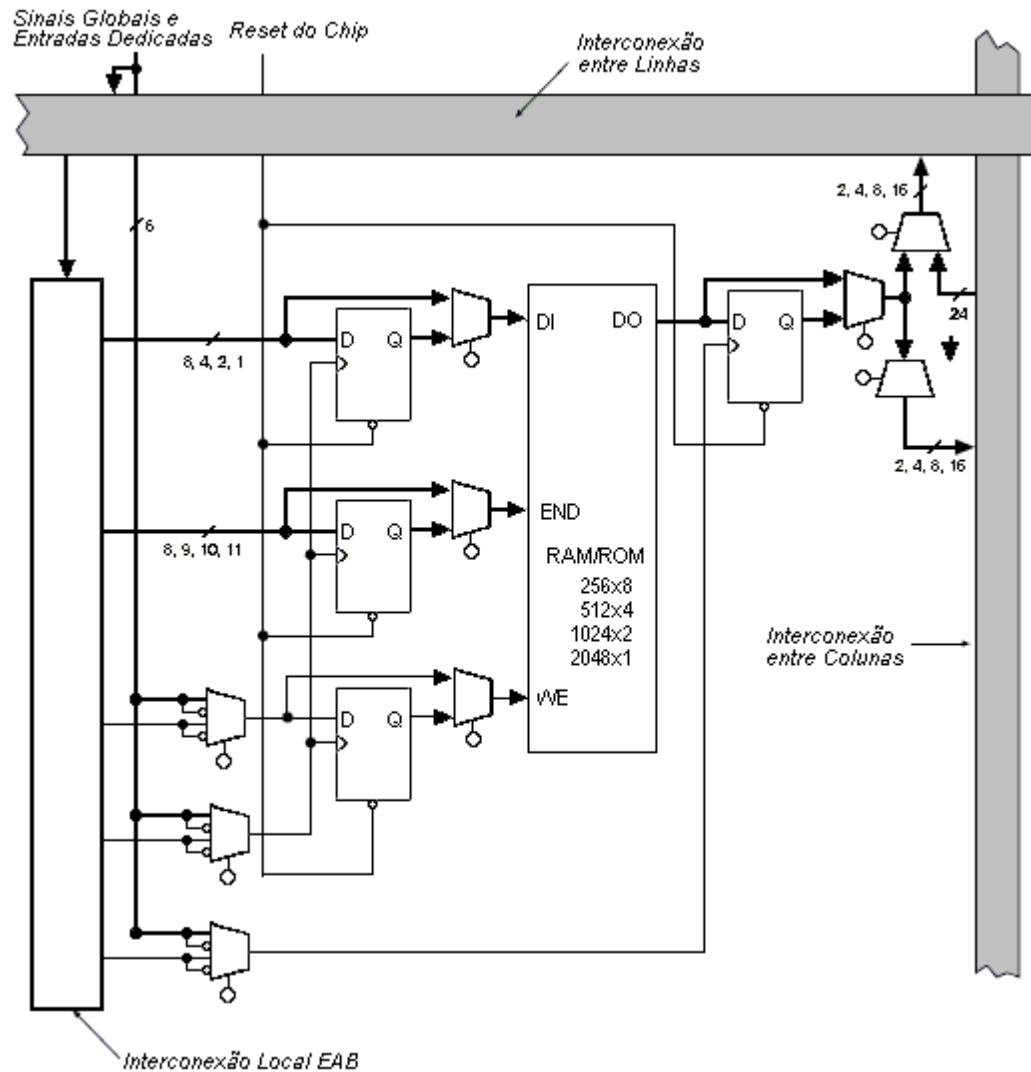


Figura 3.3 – O Bloco de arranjos embarcados do dispositivo FLEX 10K.

3.3.2 - O BLOCO DE ARRANJOS LÓGICOS (LAB)

Cada bloco de arranjos lógicos (LAB) é composto por oito elementos lógicos, pelas cadeias de sinais *carry* e *cascade*, pelos sinais de controle e pela interconexão local. A Figura 3.4 mostra a arquitetura interna de um bloco de arranjos lógicos.

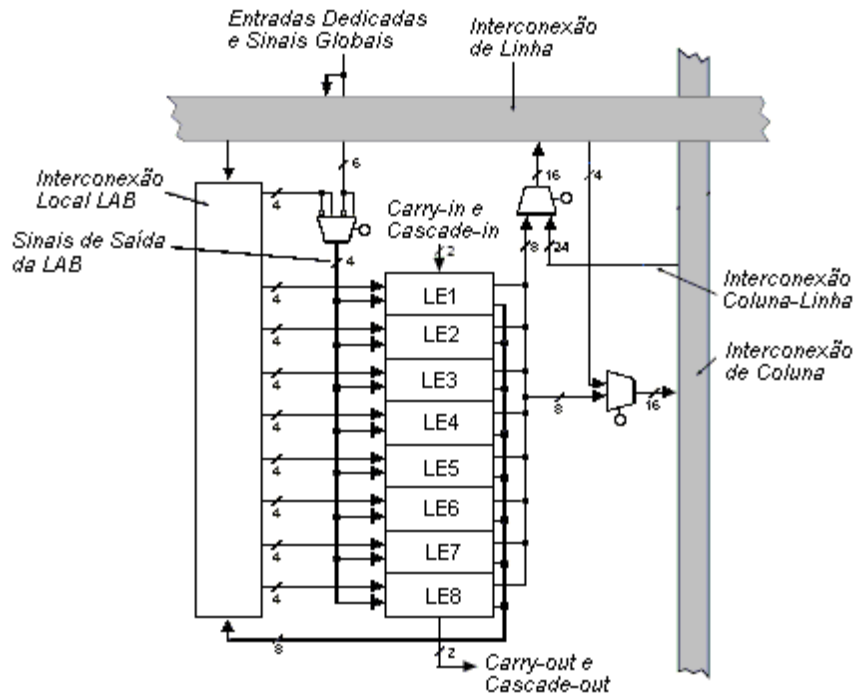


Figura 3.4 – O bloco de arranjos lógicos do dispositivo FLEX 10K.

Cada LAB possui quatro sinais de controle programáveis. Dois destes sinais podem ser usados como *clock* e os outros dois como sinais de *clear* e *preset*. Os sinais de *clock* podem ser acionados por pinos dedicados, por sinais globais, pinos de E/S ou por sinais internos através da interconexão local. Os sinais de *clear* e *preset* podem ser acionados por um sinal global, um pino de E/S ou por algum sinal interno através da interconexão local. Se necessário, os sinais de controles podem ser gerados através de alguma lógica em qualquer LAB e chegar pela interconexão local. Além disso, sinais de controle globais podem ser gerados a partir da saída de um Elemento Lógico (LE).

3.3.3 - O ELEMENTO LÓGICO (LE)

O elemento lógico (LE) é a menor unidade lógica na arquitetura FLEX 10K. Ele possui um tamanho compacto visando a sua eficiente utilização lógica. Cada LE contém uma *look up table* de quatro entradas, o que o torna capaz de computar rapidamente qualquer função de quatro variáveis. Cada LE ainda contém um *flip-flop* programável e sinais de *carry* e *cascade*. Cada LE aciona as interconexões local e *FastTrack*.

O registrador programável presente no LE pode ser configurado como D, T, JK, ou SR. Os sinais de controle *clock*, *clear*, e *preset* podem ser acionados por sinais globais, pinos

de E/S ou qualquer lógica interna. Há ainda a opção de se acionar a saída do LE diretamente através da saída da LUT, ignorando-se o *flip-flop*.

O LE possui uma saída para a interconexão local e uma para a interconexão *FastTrack*, ambas independentes. Por exemplo, a LUT pode ser direcionada para uma saída enquanto o registrador programável é direcionado para outra saída. O fato do registrador e a LUT serem utilizados para funções não relacionadas pode inclusive melhorar o desempenho do LE. A arquitetura FLEX 10K possui duas cadeias de sinais usados na conexão entre LEs adjacentes: *carry* e *cascade*. Como será mostrado a seguir, a cadeia de sinais *carry* é importante na implementação de contadores e somadores envolvendo uma grande quantidade de bits, enquanto a cadeia de sinais *cascade* é importante na implementação de funções com uma grande quantidade de variáveis. As cadeias *carry* e *cascade* conectam todos os elementos lógicos em um LAB e todos os LABs em uma mesma linha. Mesmo constituindo um recurso muito útil na família FLEX 10K, o uso intensivo das cadeias *carry* e *cascade* pode reduzir as possibilidades de roteamento.

A Figura 3.5 apresenta o diagrama de um elemento lógico da Família FLEX 10K.

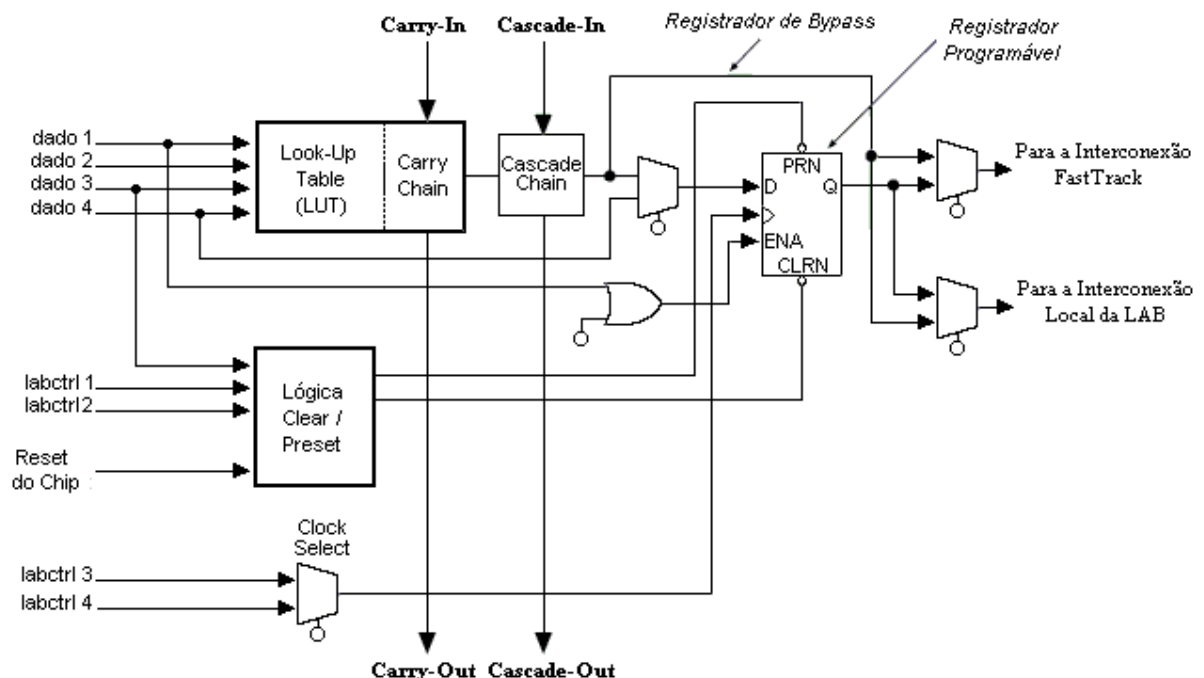


Figura 3.5 – O elemento lógico em um dispositivo da Família FLEX 10K.

3.3.3.1 - A CADEIA DE SINAIS *CARRY*

A cadeia de sinais *carry* faz a ligação entre as operações entre bits mais e menos significativos. Esta característica permite a implementação eficiente de contadores, somadores e comparadores de qualquer tamanho. A cadeia de sinais *carry* pode ser criada automaticamente pelo compilador ou manualmente pelo projetista durante a implementação do projeto. Cadeias *carry* maiores que oito LEs são automaticamente implementadas conectando-se dois ou mais LABs.

A Figura 3.6 mostra como um somador de n -bits pode ser implementado em $n + 1$ LEs com a cadeia *carry*. Uma porção da LUT gera a soma de dois bits através dos sinais de entrada e do sinal *carry*. A soma é então direcionada para o *flip-flop* e também para a saída do LE. A lógica da cadeia *carry* gera o sinal *carry* de saída que é direcionado à soma de bits mais significativos. O último sinal de *carry* é direcionado a um LE, onde pode ser usado como um sinal de propósito geral.

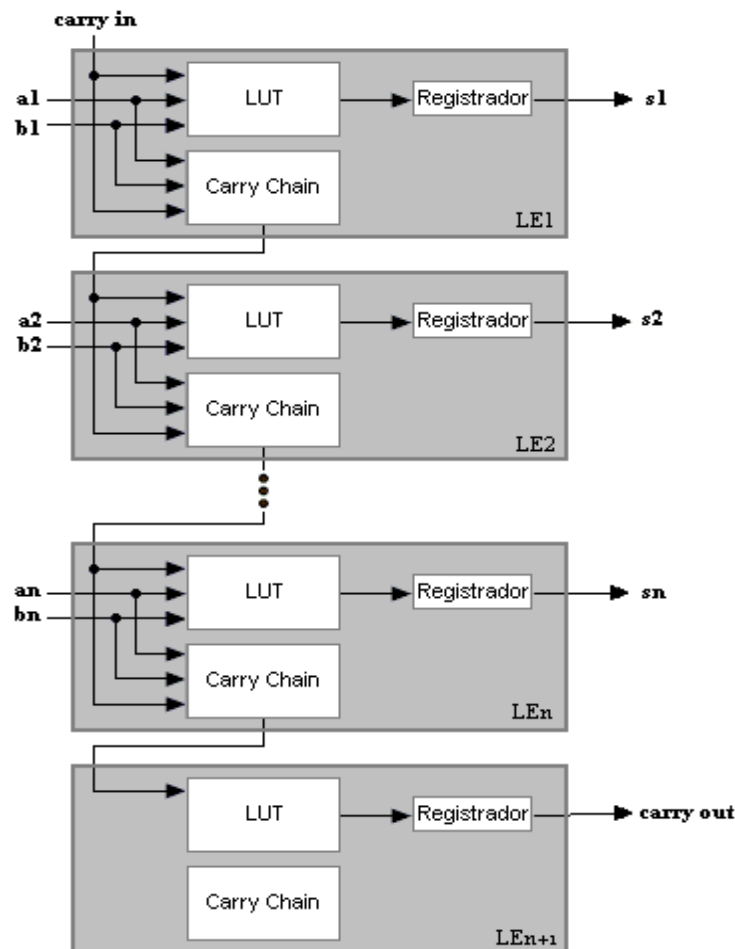


Figura 3.6 – Utilização da Cadeia *carry* em um circuito somador.

3.3.3.2 - A CADEIA DE SINAIS CASCADE

Através da cadeia de sinais *cascade* é possível implementar funções como uma grande quantidade de variáveis. As LUTs de elementos lógicos adjacentes podem ser usadas para computar paralelamente porções da função; enquanto a cadeia *cascade* conecta serialmente os valores intermediários, baseando-se na lógica AND ou lógica OR para conectar as saídas de LEs adjacentes. Cada LE é então responsável por quatro entradas da função. A lógica da cadeia *cascade* pode ser criada automaticamente pelo compilador ou manualmente durante a implementação do projeto.

A Figura 3.7 mostra como a função *cascade* pode conectar LEs adjacentes para formar funções com muitos sinais de entrada. Os exemplos mostram funções de $4n$ variáveis implementadas em n LEs.

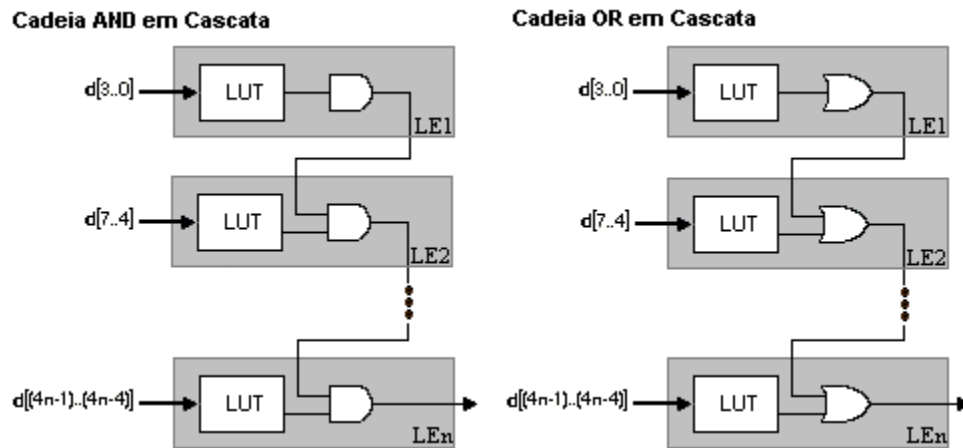


Figura 3.7 – Utilização da Cadeia *cascade* em uma função com muitas variáveis de entrada.

3.3.4 - A INTERCONEXÃO FAST-TRACK

Dentro do dispositivo FLEX 10K as conexões entre elementos lógicos e os pinos de E/S são feitas pela interconexão *Fast-Track*, uma série de canais de roteamento horizontais e verticais, que atravessam todo o dispositivo. Essa estrutura de roteamento global visa eliminar os atrasos presentes em estruturas segmentadas, tornando a performance de roteamento independente do tamanho do projeto.

Os canais horizontais e verticais da interconexão *Fast-Track* percorrem todo o dispositivo. Cada linha dos blocos de arranjos lógicos é servida por uma linha dedicada da interconexão. As linhas da interconexão se conectam aos pinos de E/S e outros LABs do

dispositivo; as colunas são responsáveis por transportar os sinais entre as linhas e também se conectam aos pinos de E/S.

Um canal de linhas pode ser alimentado por um elemento lógico ou por um dos três canais de colunas. Um multiplexador de quatro canais seleciona o sinal que se conectará ao canal de linhas. Este multiplexador, presente em cada elemento lógico, permite que o canal de colunas se conecte ao canal de linhas mesmo se os oito elementos lógicos de um bloco de arranjos embarcados estejam conectados ao canal de linhas.

Da mesma forma, cada coluna do LAB é servida por uma coluna da Interconexão. Uma coluna da interconexão pode se conectar a um pino de E/S ou a uma linha da interconexão para rotear sinais a outros LABs do dispositivo. Um sinal que caminhe pela interconexão de coluna, que pode ser proveniente da saída de um elemento lógico ou de um pino de E/S, deve passar por uma linha da interconexão antes de entrar em um LAB ou EAB.

A Figura 3.8 mostra a conexão entre LABs e EABs adjacentes através das conexões de linha, coluna e locais, bem como as cadeias de sinal *carry* e *cascade*. Cada LAB é nomeada de acordo com a sua localização: a letra representa a linha e o número representa a coluna.

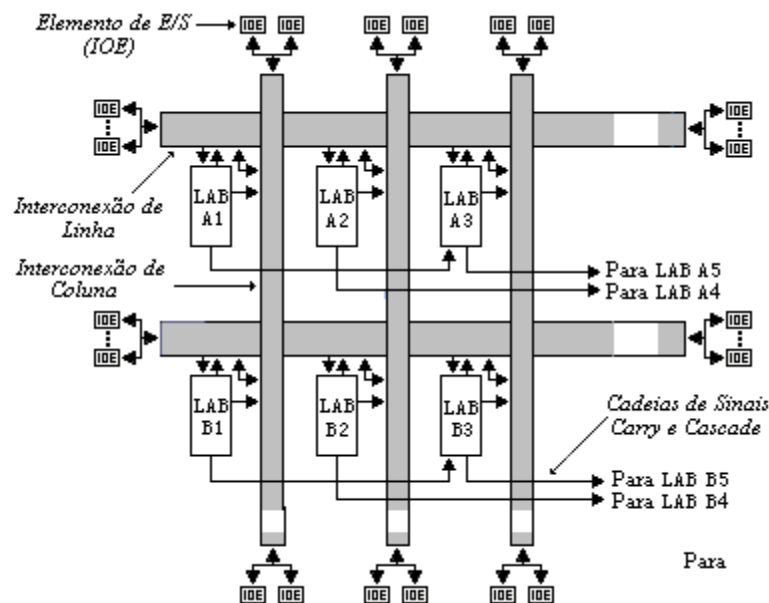


Figura 3.8 – A interconexão *Fast-Track*.

O acesso aos canais de linhas e colunas pode ser controlado por elementos lógicos localizados em LABs adjacentes, localizado na mesma linha. Por exemplo, o elemento lógico de um LAB pode se conectar a uma linha ou coluna que normalmente seria conectada ao

Elemento Lógico de um LAB adjacente, e vice-versa. A Figura 3.9 mostra as ligações que tornam possível esta conexão.

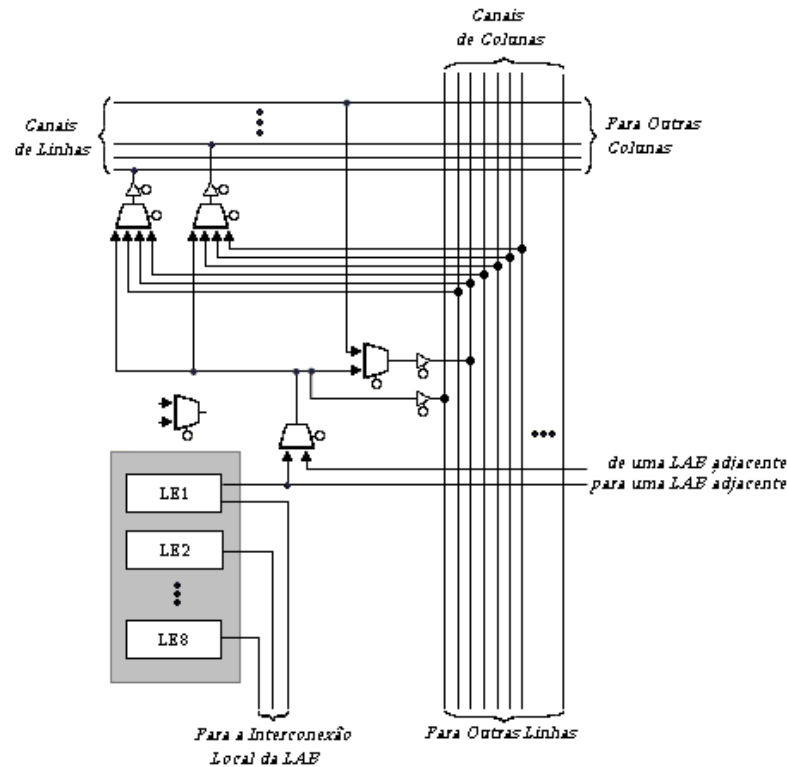


Figura 3.9 – Detalhe da conexão entre Elementos Lógicos.

3.3.5 - O ELEMENTO DE E/S (IOE)

O elemento de E/S (IOE) contém um buffer bidirecional de E/S e um registrador que pode ser utilizado tanto como um registrador de entrada para dados externos quanto como um registrador de saída para sinais internos. Portanto, os Elementos de E/S são utilizados como pinos de entrada, saídas ou bidirecionais. Para o uso bidirecional, o registrador de um elemento lógico adjacente ao pino bidirecional habilita a entrada e saída de dados. O compilador inverte os sinais provenientes das interconexões de linhas e colunas quando apropriado.

3.3.5.1 - CONEXÕES ENTRE LINHAS E ELEMENTOS DE E/S

Quando um elemento de E/S (IOE) é usado como sinal de entrada, ele pode acionar dois canais de linhas. O sinal é acessível a todos os elementos lógicos daquela linha. Quando

usado como saída, o IOE é acionado por um multiplexador que seleciona o sinal proveniente dos canais de linhas. Até oito elementos de E/S se conectam em cada lado de cada canal de linhas. A Figura 3.10 mostra a conexão entre linhas e um elemento de E/S.

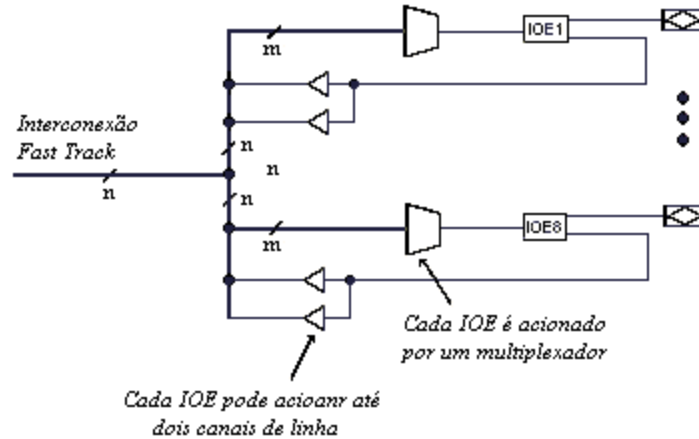


Figura 3.10 – A conexão entre linhas e um elemento de E/S.

3.3.5.2 - CONEXÃO ENTRE COLUNAS E ELEMENTOS DE E/S

Quando um elemento de E/S é usado como entrada, ele se conecta a dois canais de colunas separados. Quando usado como saída, o IOE é acionado por um multiplexador que seleciona o sinal proveniente dos canais de colunas. Dois elementos de E/S se conectam a cada lado dos canais de colunas. Cada IOE pode ser acionado por canais de colunas através de um multiplexador. A quantidade de canais de colunas que cada IOE pode acessar é diferente para cada IOE. A Figura 3.11 mostra a conexão entre colunas e um elemento de E/S.

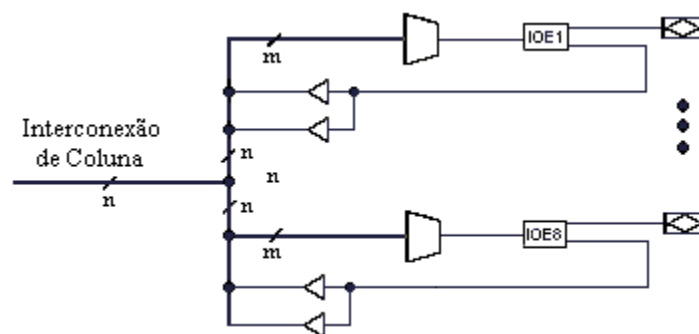


Figura 3.11 – A conexão entre colunas e um elemento de E/S.

3.3.6 - CONFIGURAÇÃO DOS PINOS DE SAÍDA

Assim como outras famílias de dispositivos FPGA da Altera, os dispositivos da família FLEX 10K permitem a configuração da interconexão com os componentes periféricos. As opções são: controle de *slew rate*, saída dreno aberto e interface multivoltagem. As duas primeiras opções podem ser definidas pino a pino. Já a interface multivoltagem é controlada conectando-se o pino VCCIO com uma tensão diferente da do pino VCCINT. Seu efeito pode ser simulado no programa Quartus II, fornecido pelo fabricante do dispositivo FPGA, da família FLEX 10K, da ALTERA™.

3.3.6.1 - CONTROLE DE *SLEW RATE*

O buffer de saída de cada Elemento de E/S possui um *slew rate* de saída ajustável que pode ser configurado de acordo com o interesse do projeto: um menor ruído ou maior performance. Um *slew rate* menor reduz o ruído do sistema e acrescenta um atraso de no máximo 2,9ns. Já um *slew rate* mais rápido deve ser usado quando a velocidade dos sinais de saída é importante e o circuito está adequadamente protegido contra ruído. A definição de *slew rate* é feita pino a pino durante o projeto ou pode ser também definido um padrão de *slew rate* para todos os pinos. A definição de *slew rate* afeta somente a descida do sinal.

3.3.6.2 - SAÍDA A DRENO ABERTO

Os dispositivos da família FLEX 10K possuem a opção de saída a dreno aberto (eletricamente equivalente a coletor aberto) em cada pino de E/S. Os pinos com saída a dreno aberto, desde que conectados a alimentação por um resistor *pull-up*, podem acionar entradas CMOS. Este tipo de saída nunca aciona um nível alto, somente baixo ou *tri-state*. O tempo de subida do sinal depende do valor do resistor de *pull-up* e da impedância de carga. O nível da corrente IOL (12mA para o EPF10K10LC84-4) deve ser também considerado na escolha do resistor de *pull-up*.

3.3.6.3 - INTERFACE MULTIVOLTAGEM

A arquitetura dos componentes da família FLEX 10K suporta uma interface multivoltagem, o que permite ao dispositivo se conectar a periféricos de tensões diferentes. Os dispositivos possuem pinos de alimentação para a lógica interna e buffers de entrada (VCCINT) e pinos de alimentação para os acionadores de saída (VCCIO).

3.4 - CONSIDERAÇÕES FINAIS

Neste capítulo foram apresentados o dispositivo FPGA e a família FLEX 10K da Altera, devido ao fato de o dispositivo escolhido para controlar o inversor *flyback* pertencer a esta família.

A FLEX 10K foi detalhada a partir de seus principais componentes: o Bloco de Arranjo Embarcado (EAB), o Bloco de Arranjo Lógico (LAB), o Elemento Lógico (LE), o Elemento de E/S (IOE) e a Interconexão *Fast-Track*. Além disso, as alternativas possíveis para configuração dos pinos de saída através de software foram detalhadas.

CAPÍTULO 4

ANÁLISE QUALITATIVA E QUANTITATIVA

4.1 - CONSIDERAÇÕES INICIAIS

A análise qualitativa representa a exposição dos princípios de funcionamento do conversor, assim como suas respectivas etapas de funcionamento, formas de onda e detalhes de comutação. Adicionalmente será apresentada a quantificação dos esforços aos quais os componentes são submetidos.

Neste capítulo, serão traçados os gráficos representativos do funcionamento do conversor *buck-boost* e *flyback* (*buck-boost* isolado) e do inversor em estudo, a fim de simplificar seu projeto e desenvolvidos os cálculos das correntes médias e eficazes nos principais semicondutores.

4.2 - PRINCÍPIO DE OPERAÇÃO DO CONVERSOR *BUCK-BOOST*

A conversão do tipo *buck-boost* usa o princípio de acumular energia num indutor durante o intervalo ligado do período de chaveamento e liberar essa energia para a carga durante o tempo desligado do mesmo período de chaveamento. Os conversores *boost*, *buck-boost* e o *flyback* utilizam esse princípio.

A Figura 4.1 apresenta o circuito do conversor *buck-boost*.

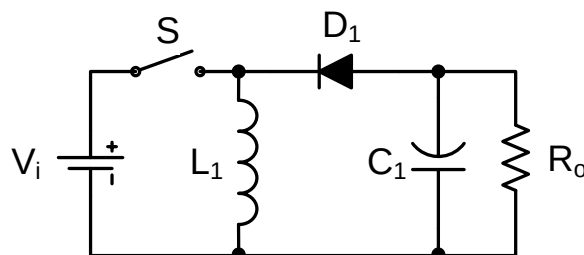


Figura 4.1 – Circuito do conversor *buck-boost*.

4.2.1 - MODOS DE OPERAÇÃO DO CONVERSOR BUCK-BOOST

Modo 1: começa quando a chave principal é colocada em condução e termina quando a mesma sai de condução. Durante esta etapa o indutor L_1 acumula energia da fonte através da corrente i_s . O diodo D_1 está polarizado reversamente e a carga é alimentada pelo capacitor C_1 . A Figura 4.2 ilustra este modo de operação.

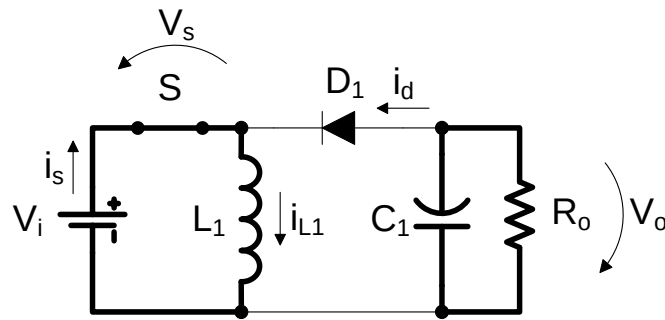


Figura 4.2 – Circuito equivalente do modo de operação 1.

Modo 2: começa quando a chave principal sai de condução e termina quando a corrente i_s se anula. Durante essa etapa ocorre a transferência da energia acumulada no indutor para a carga e para o capacitor C_1 via condução do diodo D_1 . Após a corrente chegar a zero, o capacitor C_1 alimenta a carga até o início da próxima etapa. A Figura 4.3 ilustra este modo de operação.

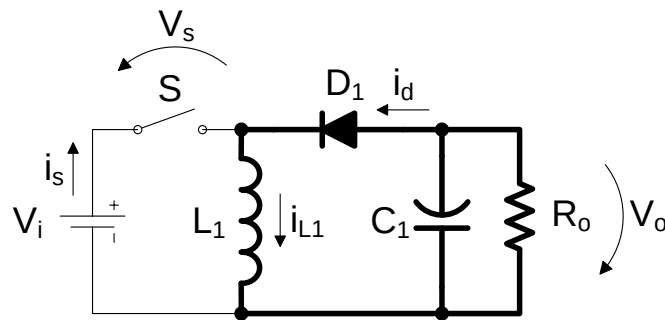


Figura 4.3– Circuito equivalente do modo de operação 2.

4.2.2 - FORMAS DE ONDA TEÓRICAS

O conversor pode apresentar três estados de condução distintos: condução contínua, em que a corrente i_{L1} do indutor nunca chega a zero; condução descontínua, em que a corrente do indutor zera e permanece em zero por um determinado tempo; e condução crítica, em que a

corrente do indutor chega em zero mas logo em seguida começa a subir. A Figura 4.4, ilustra as formas de onda teóricas para funcionamento em condução descontínua.

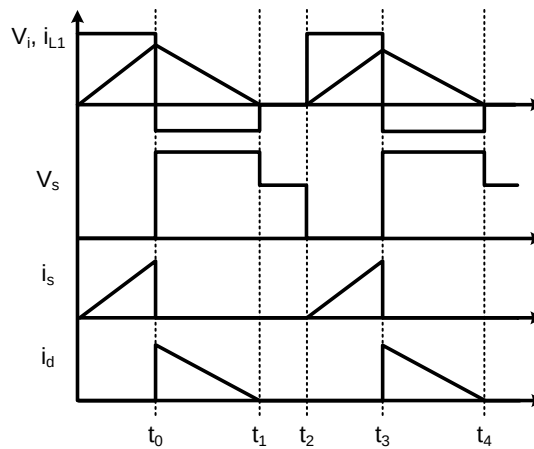


Figura 4.4 – Formas de onda conversor *buck-boost* modo descontínuo.

4.2.3 - OPERAÇÃO DO CONVERSOR *FLYBACK* (*BUCK-BOOST* ISOLADO)

O conversor *flyback* é o conversor *buck-boost* com isolamento que utiliza um transformador no lugar do indutor para acumular a energia. Ele promove o isolamento entre a fonte e a carga, faz uma adaptação entre a tensão de saída e de entrada, possibilita utilizar múltiplas saídas com simples adição de enrolamentos secundários, sem necessidade de modificações na sua topologia.

A Figura 4.5 apresenta o circuito do conversor *flyback*.

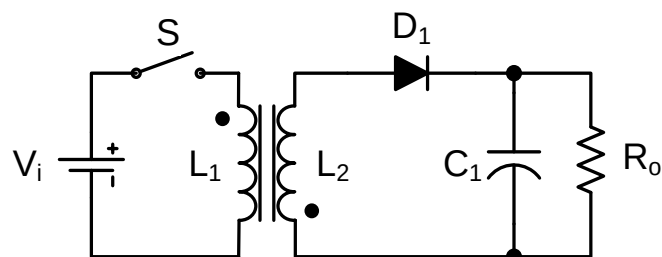


Figura 4.5 – Circuito do conversor *flyback*.

4.2.4 - MODOS DE OPERAÇÃO DO CONVERSOR *FLYBACK*

Modo 1: tem início quando a chave principal é colocada em condução e termina quando a mesma sai de condução. Durante essa etapa, a fonte fornece energia para o

transformador que a armazena na indutância de magnetização, o diodo D_1 permanece bloqueado e o capacitor C_1 mantém a corrente na carga. A Figura 4.6 ilustra o circuito equivalente desta etapa de funcionamento.

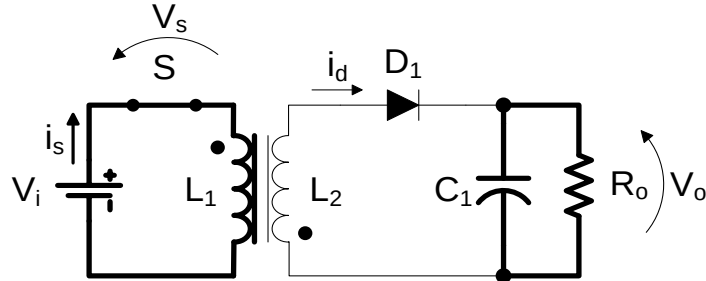


Figura 4.6 – Circuito equivalente do modo de operação 1.

Modo 2: inicia quando a chave principal sai de condução e finaliza quando a corrente no secundário se anula. Durante essa etapa de funcionamento, a energia acumulada na indutância de magnetização do transformador é descarregada na carga e no capacitor C_1 . Após a corrente zerar, apenas o capacitor alimenta a carga. A Figura 4.7 ilustra o circuito equivalente desta etapa de funcionamento.

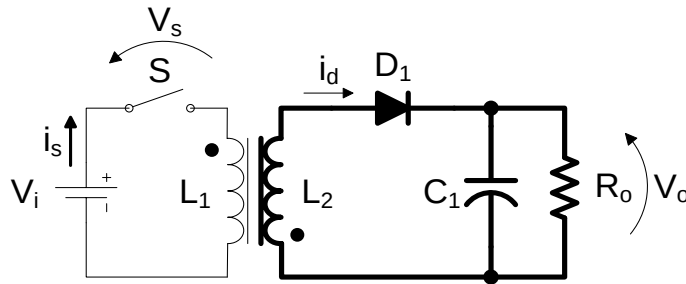


Figura 4.7 – Circuito equivalente do modo de operação 2.

Essa análise é válida para conversores operando no modo descontínuo. Na Figura 4.8 são ilustradas as formas de onda para esse conversor.

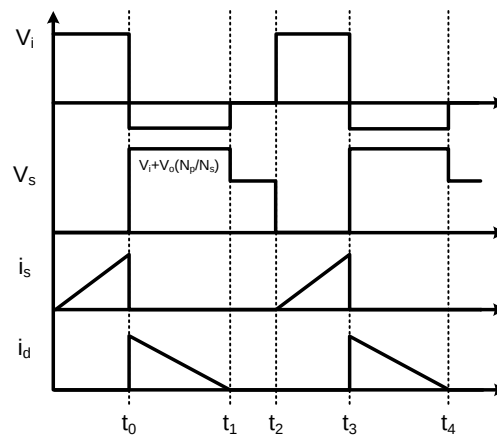


Figura 4.8 – Formas de onda para o conversor *flyback* em modo descontínuo.

O diagrama esquemático de um conversor com transformador de múltiplas saídas é mostrado na Figura 4.9. Fontes chaveadas que utilizam a topologia *flyback* operando em modo de condução descontínua com múltiplas saídas apresentam como características principais: baixo custo, boa regulação cruzada, resposta rápida e fácil estabilização, dentre outras.

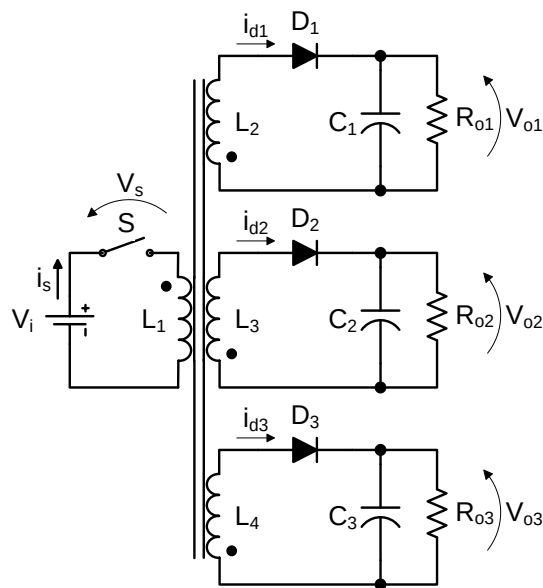


Figura 4.9 – Conversor *flyback* com múltiplas saídas.

4.2.5 - OPERAÇÃO DO CONVERSOR *FLYBACK* A DOIS TRANSISTORES

Outra característica deste conversor é da utilização de dois transistores em sua topologia. Esta configuração é semelhante ao *forward* a dois transistores (PEREIRA, 1997)

que possui dois diodos operando como limitadores não dissipativos de corrente para os transistores (BARBI, 2001), devolvendo à fonte a energia acumulada nas indutâncias de dispersão. O custo é reduzido pelo fato da tensão sobre o transistor ser menor e também há uma redução dos problemas de rádio interferência. A Figura 4.10 ilustra o circuito equivalente do conversor *flyback* a dois transistores.

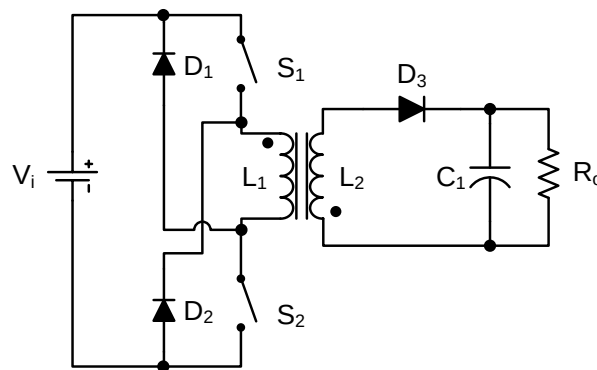


Figura 4.10 – Circuito do conversor *flyback* a dois transistores.

4.3 - ANÁLISE QUALITATIVA DO INVERSOR *FLYBACK* A QUATRO TRANSISTORES

A Figura 4.11 apresenta o circuito esquemático do inversor *flyback* a quatro transistores. Este inversor opera sob comutação dissipativa. O *snubber* dissipativo foi introduzido para proteger os transistores de potência durante a fase de programação do dispositivo FPGA e testes subsequentes ao protótipo, garantido que os excessos nas perdas de comutação não danifiquem os transistores. O intuito de se utilizar um inversor deste tipo está ligado as suas características e principalmente ao custo final de produção. O dispositivo FPGA tem uma aplicação acadêmica tais como: possibilitar o desenvolvimento de uma estrutura de controle mais adequada a este tipo de inversor ao qual talvez não esteja disponível no mercado, portanto flexibilidade; possibilitar um processo de repetibilidade do mesmo processo por várias vezes de forma exata e; possibilitar o desenvolvimento de projetos de forma muito eficiente e rápida, a projetando por meio de uma linguagem de descrição de hardware (HDL - *Hardware Description Language*).

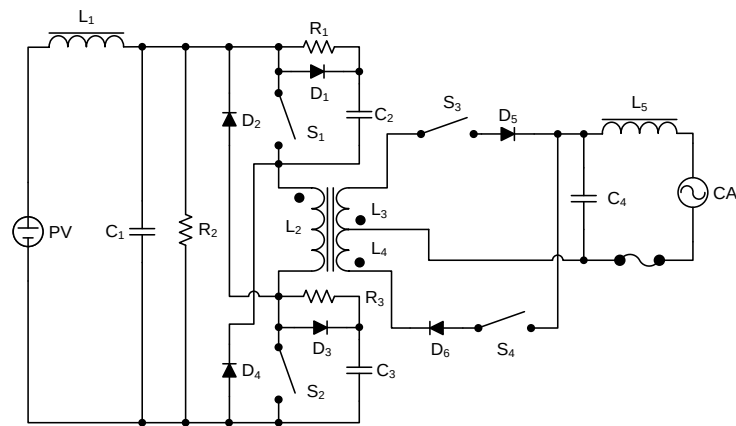


Figura 4.11 – Topologia do inversor *flyback* em estudo.

4.3.1 - MODOS DE OPERAÇÃO DO INVERSOR *FLYBACK* A QUATRO TRANSISTORES

Modo 1: representa a transição entre o semi ciclo positivo e negativo da rede CA em que os transistores S_3 e S_4 estão abertos e há chaveamento de S_1 e S_2 neste instante. Durante esta etapa o capacitor C_4 é quem alimenta a rede CA. A Figura 4.12 ilustra o circuito equivalente desta etapa de funcionamento.

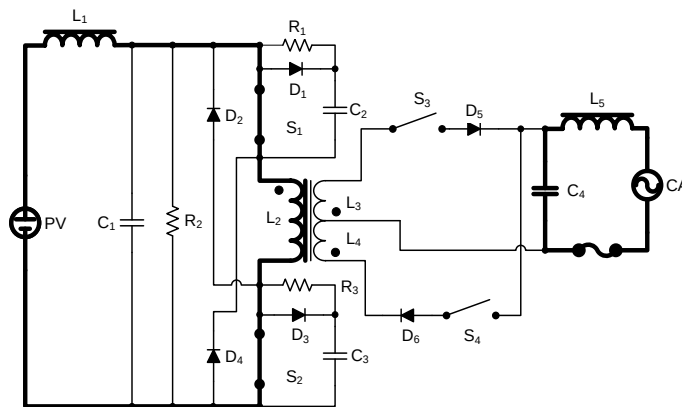


Figura 4.12 – Circuito equivalente do modo de operação 1 do inversor *flyback*.

Modo 2a: tem início quando as chaves S_1 e S_2 são colocadas em condução e termina quando as mesmas saem de condução. A chave S_3 também está em condução e coincide com o semiciclo positivo da rede CA. Durante esta etapa a energia produzida pelas células fotovoltaicas é acumulada na indutância de magnetização do transformador e o capacitor C_4 é quem alimenta a rede CA. A Figura 4.13 ilustra o circuito equivalente desta etapa de funcionamento.

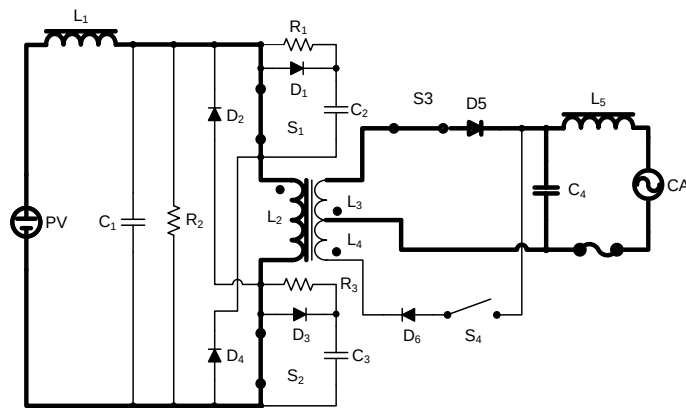


Figura 4.13 – Circuito equivalente do modo de operação 2a do inversor *flyback*.

Modo 2b: tem início quando as chaves S_1 e S_2 saem de condução e os diodos D_2 e D_4 estão diretamente polarizados. A chave S_3 permanece em condução. Durante esta etapa a energia acumulada na indutância de magnetização do transformador é transferida ao capacitor C_4 e a rede CA. A Figura 4.14 ilustra o circuito equivalente desta etapa de funcionamento.

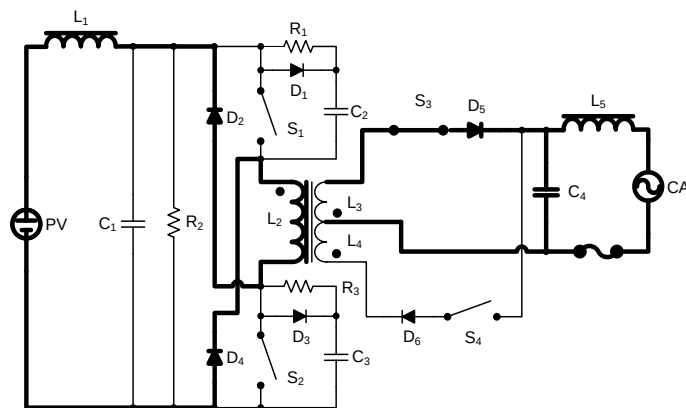


Figura 4.14 – Circuito equivalente do modo de operação 2b do inversor *flyback*.

Modo 3a: tem início quando as chaves S_1 e S_2 são colocadas em condução e termina quando as mesmas saem de condução. A chave S_4 está em condução e coincide com o semiciclo negativo da rede CA. Durante esta etapa a energia produzida pelas células fotovoltaicas é acumulada na indutância de magnetização do transformador e o capacitor C_4 é quem alimenta a rede CA. A Figura 4.15 ilustra o circuito equivalente desta etapa de funcionamento.

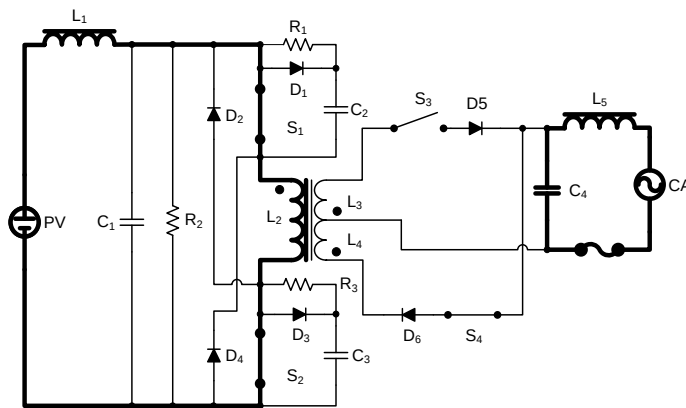


Figura 4.15 – Circuito equivalente do modo de operação 3a do inversor *flyback*.

Modo 3b: tem início quando as chaves S_1 e S_2 saem de condução e os diodos D_2 e D_4 estão diretamente polarizados. A chave S_4 permanece em condução. Durante esta etapa a energia acumulada na indutância de magnetização do transformador é transferida ao capacitor C_4 e a rede CA. A Figura 4.16 ilustra o circuito equivalente desta etapa de funcionamento.

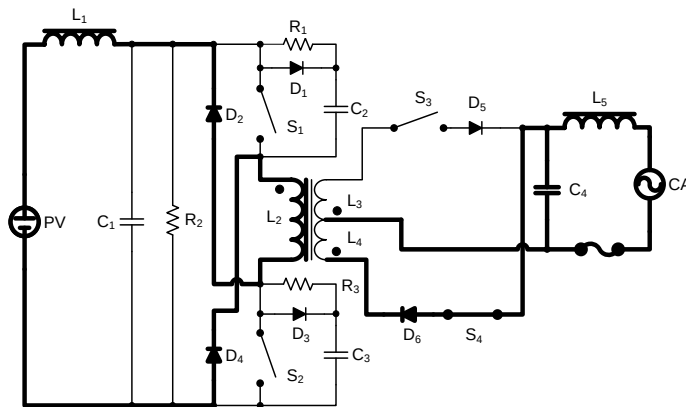


Figura 4.16 – Circuito equivalente do modo de operação 3b do inversor *flyback*.

4.3.2 - FORMAS DE ONDA TEÓRICAS

Com base na descrição de cada modo de operação do inversor *flyback*, é ilustrada na Figura 4.17, a sequência de chaveamento das chaves S_1 , S_2 , S_3 e S_4 .

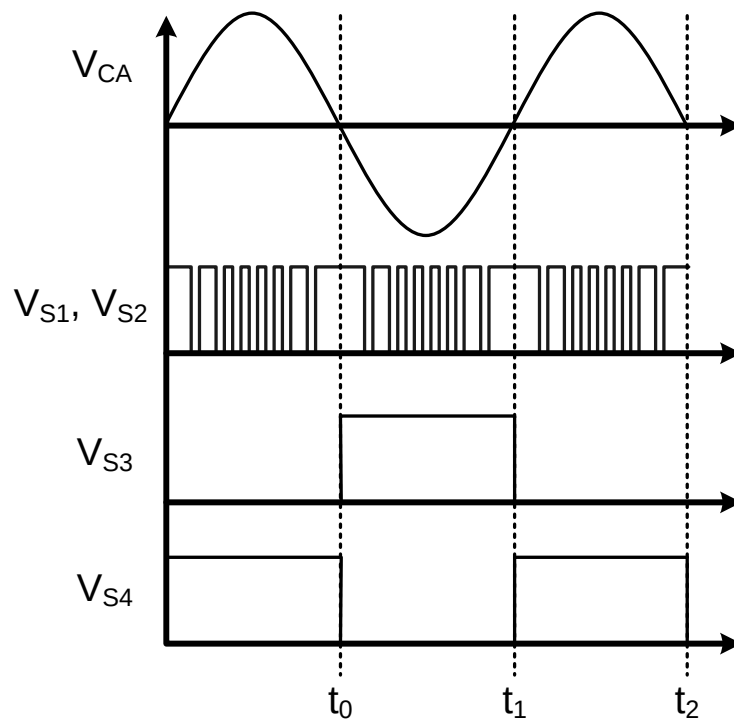


Figura 4.17 – Seqüência de chaveamento do inversor *flyback*.

Para o semiciclo positivo da rede CA, S_3 está fechado durante todo este período definindo o modo de operação 2. Para o semi-ciclo negativo da rede CA, no modo 2, S_3 está fechada. Para ambos os casos S_1 e S_2 estão recebendo sinal modulado do dispositivo FPGA

Na Figura 4.18, é ilustrado o comportamento do sinal de corrente que circula pelas chaves S_1 e S_2 durante os modos de operação 3 $[0, t_0]$ e 2 $[t_0, t_1]$. À medida que é necessária mais energia no secundário do transformador maior são as larguras de pulsos enviados as chaves e conseqüentemente maiores são os picos de correntes. Esse fenômeno é explicado pela equação (4.1) que define a Lei de Faraday-Neumann, onde para se obter uma maior perturbação vista no secundário, deve-se aplicar uma *f.e.m.* induzida média maior em um intervalo de tempo cada vez menor.

$$e_m = -\frac{\Delta\Phi}{\Delta t} \quad (4.1)$$

O sinal de corrente ilustrado na Figura 4.18 é aproximado a um triângulo retângulo, uma forma idealizada da corrente para facilitar os cálculos de parametrização do inversor. Essa aproximação é possível porque a tensão de entrada é mantida constante pela própria característica dos painéis fotovoltaicos e devido ao controle atuar no fluxo de potência e manter em um valor fixo.

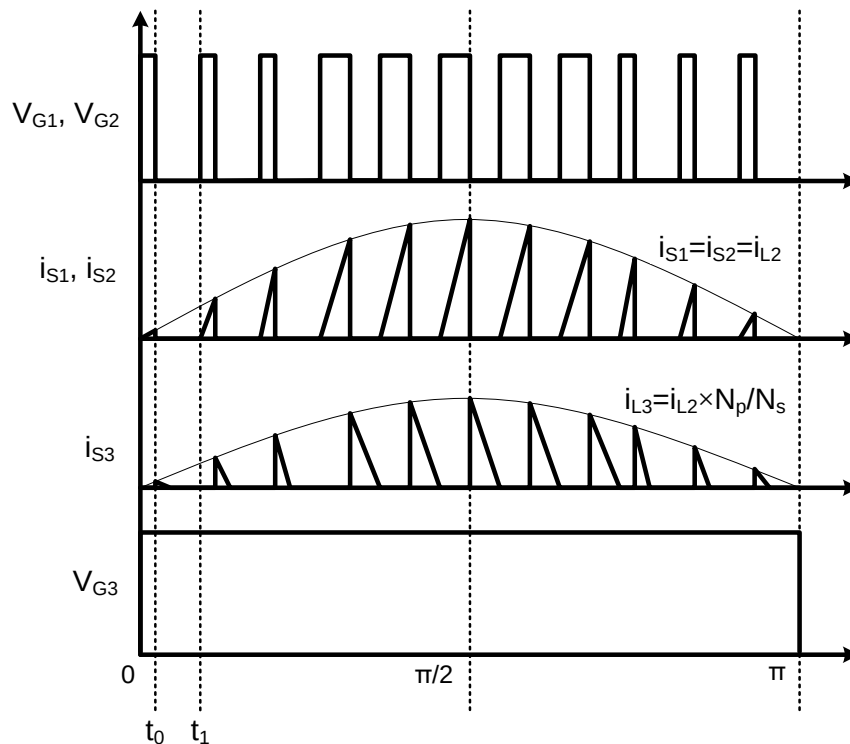


Figura 4.18 – Forma dos sinais de corrente nas chaves S_1 , S_2 e S_3 .

4.4 - ANÁLISE QUANTITATIVA DO INVERSOR *FLYBACK* A QUATRO TRANSISTORES

A análise quantitativa do inversor é feita de forma simplificada em razão do número de estágios ou dos modos de operação que o mesmo apresenta. Basicamente são três modos de operação, sendo possível uma análise dos esforços aos quais os componentes são submetidos partindo do modelo de pequenos sinais, onde os modos de operação um e dois são mais significativos e levados em consideração no equacionamento de parametrização do inversor *flyback*.

A Figura 4.19 apresenta as etapas utilizadas para simplificação dos cálculos e correspondem aos modos de operação um e dois simplificados.

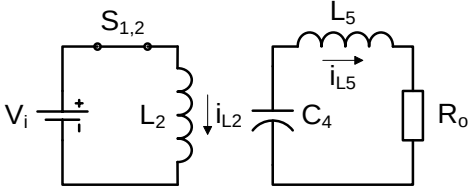
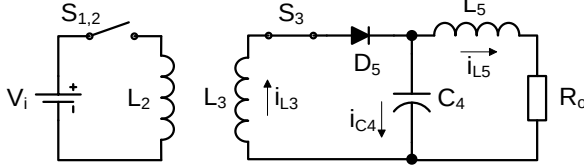
	Equações de tensões sobre o indutor L_2 e capacitor C_4 com chaves em condução. $V_i = L_2 \frac{di_{L2}}{dt} = L_2 \frac{I_2 - I_1}{t_0} \quad (4.2)$ $V_{C4} = V_{L5} + V_{R_o} = \frac{1}{C_4} \int i_{C4} dt \quad (4.3)$
	Equação da tensão sobre L_3 com chaves desligadas. $V_{L3} = V_{C4} = V_{L5} + V_{R_o} \quad (4.4)$

Figura 4.19 – Circuitos equivalentes para os modos de operação 1 e 2.

A dedução do cálculo da corrente média e eficaz que passam por S_1 , S_2 e pelo indutor L_2 representam parâmetros necessários para o dimensionamento de todos os componentes que constituem o inversor *flyback*, portanto, a principal equação a ser desenvolvida primeiramente é a que define o comportamento dessa corrente. Partindo da equação (4.2), onde tensão de entrada e indutância são considerados parâmetros constantes, temos que a corrente i_{L2} é função de t que representa tempo na equação (4.5).

$$i_{L2} = \frac{V_i}{L_2} t \quad (4.5)$$

A equação (4.5) se assemelha a equação linear de termos a e b , onde a representa o coeficiente angular e b o coeficiente linear que no caso é zero. A equação (4.6) é a equação linear em questão.

$$f(x) = ax + b \quad (4.6)$$

onde $a = \tan(\theta) = \frac{V_i}{L_2}$ e $b = 0$

Reescrevendo a equação (4.5) temos a (4.7). Essa equação representa uma função contínua no tempo, mas o comportamento da corrente que circula pelos transistores S_1 e S_2 não é contínua, durante meio ciclo do sinal CA da rede, como representado na Figura 4.18. E além de não ser contínua durante todo período sua amplitude varia em função de uma envoltória senoidal.

$$i_{L2}(t) = \frac{V_i}{L_2} t \quad (4.7)$$

Da equação (4.7), pode se afirmar que a corrente i_{L2} será máxima quando t for igual a t_{on} que representa a razão cíclica máxima para aquele instante de tempo.

$$I_{L2} = \frac{V_i}{L_2} t_{on} \quad (4.8)$$

Porém t_{on} é diferente para cada pulso de corrente durante o período CA. Neste caso, a corrente I_{L2} é máxima para instantes discretos no tempo e a variável t pode ser vista como função de D e T_s . Mas T_s é o período de chaveamento e tem um valor fixo e D varia durante todo período, sendo que t acaba apresentando uma variação em função de D , como representado pela equação (4.9).

$$t(D) = DT_s \quad (4.9)$$

onde $t(D)$ simboliza a largura de pulso para cada pulso durante o período CA, T_s o período de chaveamento e D a razão cíclica ou ciclo de trabalho.

A Figura 4.20, ilustra as relações feitas anteriormente. Nesta representação idealizada da corrente, cada pulso de corrente é considerado um triângulo retângulo de ângulo θ igual para cada um. Na prática isso não é possível garantir, mas para efeito de cálculo isso ocorre para as considerações feitas até o instante.

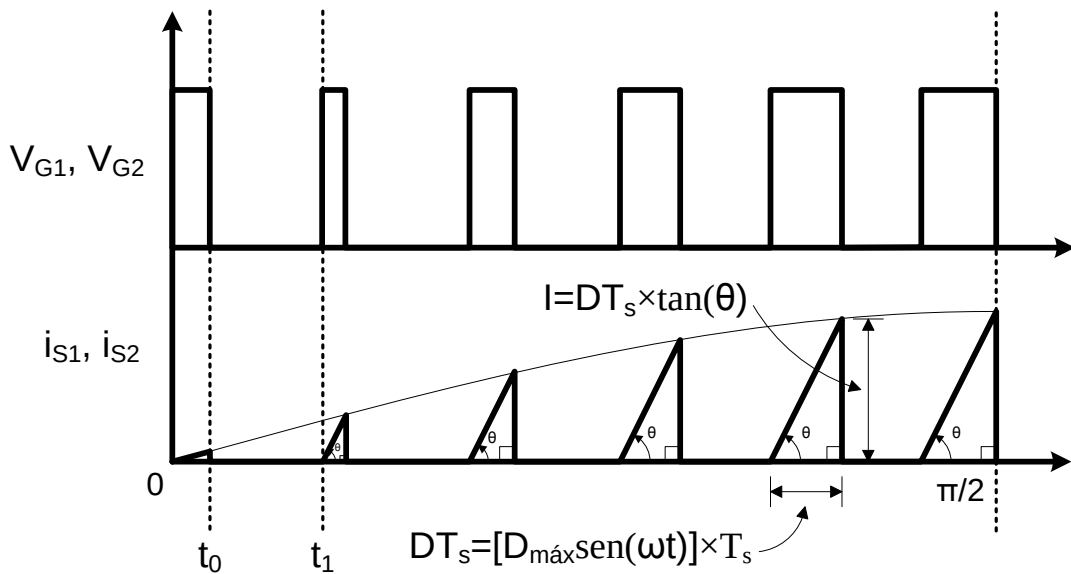


Figura 4.20 – Representação idealizada do sinal de corrente nas chaves S_1 e S_2 .

A razão cíclica D é variável no tempo discreto e é descrita conforme a equação (4.10). O $D_{máx}$ não está associado a um valor máximo para de t_{on} específico, mas um valor que é utilizado como faixa limite de operação dos transistores. No caso do inversor *flyback* ele

apresenta um valor de 0,45, ou seja, o tempo em que os transistores permanecem em condução durante um período de chaveamento é de no máximo $0,45T_s$.

$$D(t_n) = D_{máx} \sin(\omega \times t_n) \quad (4.10)$$

onde $D_{máx} = 0,45$, é o valor máximo da razão cíclica quando $\sin(\omega \times t_n) = 1$, $\omega = 2\pi f_r$, a frequência angular, $f_r = 60\text{Hz}$ a frequência da rede CA e t_n um Δt correspondente a cada triângulo, ou mesmo um tempo discreto, representado pela equação (4.11).

$$t_n = r + (n-1)r = nr \quad (4.11)$$

O tempo t_n é uma progressão aritmética de razão e termo a_1 iguais a r . Essa razão é calculada através da equação (4.12).

$$r = \frac{T_r}{N} \quad (4.12)$$

onde $N = \frac{T_r}{T_s}$, é o número de pulsos de corrente que são realizados durante o período de frequência da rede CA (T_r).

A Figura 4.21, ilustra o comportamento da variável t_n para cada pulso de corrente. Este t_n simboliza de certa forma o t_{on} de cada pulso durante o período T_r .

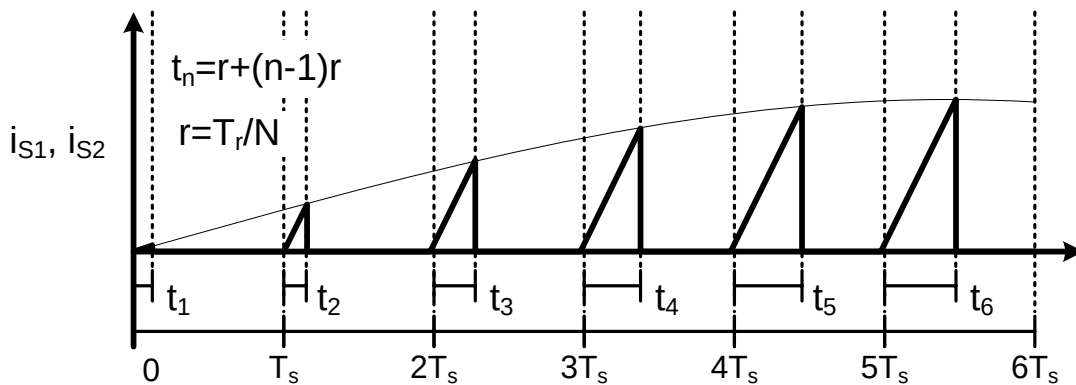


Figura 4.21 – Representação do vetor tempo.

E lembrando que tanto T_r como T_s são inversos as suas correspondentes frequências, vistos nas equações (4.13) e (4.14).

$$T_r = \frac{1}{f_r} \quad (4.13)$$

$$T_s = \frac{1}{f_s} \quad (4.14)$$

Feito estas considerações, a equação que descreve o comportamento da corrente I_{L2} que circula tanto pelos transistores S_1 e S_2 quanto pelo indutor L_2 nos modos de operação 1, 2a e 3a já que nos modos 2b e 3b os transistores estão abertos e corrente que circula pelo indutor é desprezível e tem a finalidade de desmagnetização do transformador de alta frequência de L_2 (o inversor opera em modo descontínuo), é a equação (4.15), a mesma representa o valor máximo que cada pulso de corrente atinge durante o período T_r .

$$I_{L2}(t_n) = \frac{V_i}{L_2} \times D(t_n) T_s = \frac{V_i}{L_2 f_s} \times [D_{máx} \sin(\omega \times t_n)] \quad (4.15)$$

A equação (4.15) é sinal de tempo discreto e é ilustrado conforme a Figura 4.22.

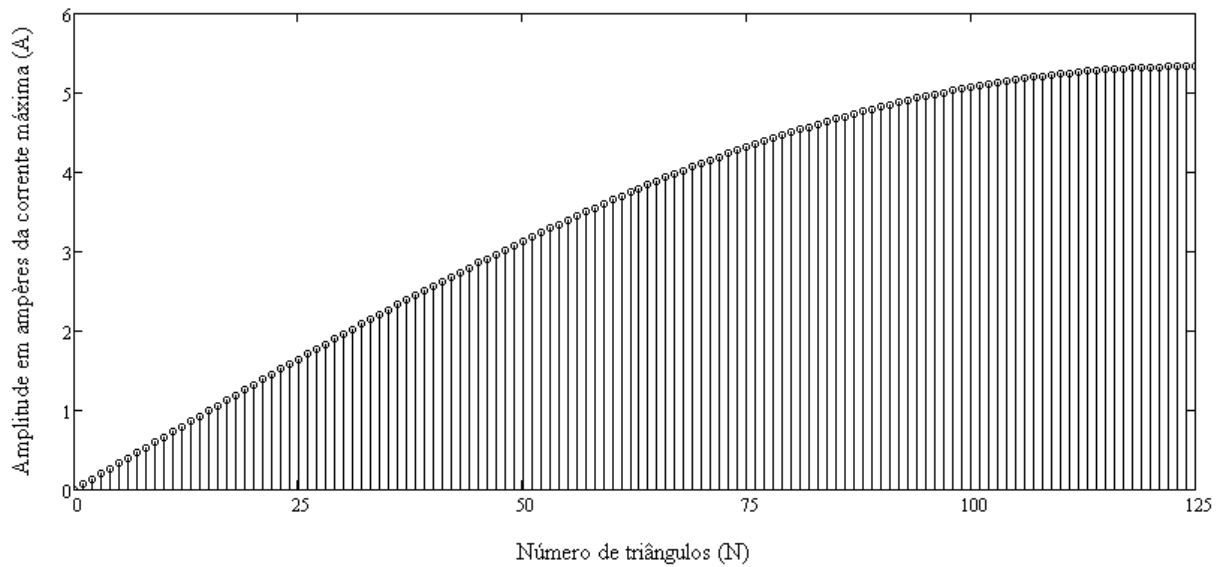


Figura 4.22 – Representação do sinal de tempo discreto da função corrente I_{L2} .

O próximo passo é desenvolver a equação para o cálculo do valor médio e eficaz dessa corrente. O valor médio corresponde a soma discreta de todas as áreas de triângulos durante o índice N . A equação (4.16) apresenta essa soma discreta de áreas de triângulos.

$$I_{L2_{médio}} = \frac{1}{N} \times \sum_{n=1}^N \left\{ \frac{1}{T_s} \times \frac{V_i}{2 \times L_2} \times [D(t_n) \times T_s]^2 \right\} \quad (4.16)$$

Mas o cálculo desse valor pode ser feito através de uma soma discreta de somas contínuas ou integrais dessa função, como apresentado na equação (4.17).

$$I_{L2_{médio}} = \frac{1}{N} \times \sum_{n=1}^N \left\{ \frac{1}{T_s} \times \int_0^{D(t_n) \times T_s} \frac{V_i}{L_2} \times t dt \right\} \quad (4.17)$$

O resultado é o mesmo para ambas as equações. E foram desenvolvidas utilizando o software Mathcad (MATHSOFT INC, 2005).

Agora, para o cálculo da corrente eficaz, temos que da teoria de matemática, o valor quadrático médio, RMS (do inglês *root mean square*) ou valor eficaz é uma medida estatística da magnitude de uma quantidade variável. Pode-se calcular para uma série de valores discretos ou para uma função variável contínua. O nome deriva do fato de que é a raiz quadrada da média aritmética dos quadrados dos valores (WIKIPÉDIA, A ENCICLOPÉDIA LIVRE, 2008).

Sendo assim, para uma coleção de N valores, a corrente eficaz poder ser calculada através da equação (4.18).

$$I_{L2_{eficaz}} = \sqrt{\frac{1}{N \times T_s} \times \sum_{n=1}^N \frac{V_i^2 \times [D(t_n) \times T_s]^3}{3 \times L_2^2}} \quad (4.18)$$

onde a função dentro da somatória discreta representa o desenvolvimento da função ao quadrado.

Outra forma de se calcular o valor eficaz dessa corrente é por meio da equação (4.19). Como dito, a soma discreta de integrais com limite final em função do tempo discreto t_n . Neste caso, a função dentro da integral apresenta uma variável t , pois a função é contínua durante o intervalo de zero a $D(t_n) \times T_s$.

$$I_{L2_{eficaz}} = \sqrt{\frac{1}{N \times T_s} \times \sum_{n=1}^N \int_0^{D(t_n) \times T_s} \left(\frac{V_i}{L_2} \times t \right)^2 dt} \quad (4.19)$$

Dando continuidade aos cálculos, outro parâmetro importante para o inversor é o valor da indutância L_2 . Partindo deste valor é que será calculada a energia acumulada no indutor entre outros necessários para a escolha do núcleo, número de espiras do primário e secundário e bitolas dos condutores utilizados.

Partindo da equação (4.20), onde potência de entrada está relacionada a indutância, corrente e frequência:

$$P_{in} = P_l = \frac{P_{out}}{\eta} = \frac{1}{2} L_2 I_{L2}^2 f_s \quad (4.20)$$

e considerando a corrente I_{L2} , sendo o valor máximo do período T_r , tem-se a equação (4.21):

$$\frac{P_{out}}{\eta} = \frac{1}{2} L_2 \left(\frac{V_i D_{máx}}{L_2 f_s} \right)^2 f_s = \frac{1}{2} L_2 \left(\frac{V_i^2 D_{máx}^2}{f_s^2 L_2^2} \right) f_s \quad (4.21)$$

desenvolvendo (4.21), chega-se a equação (4.22)

$$L_2 = \frac{\eta V_i D_{m\acute{a}x}^2}{2 f_s P_{out}} \quad (4.22)$$

Nos livros consultados (MELLO, 1990) e (BARBI, 2001), a potência de saída é sempre escolhida como parâmetro do cálculo da indutância, mas considerar a potência de saída para este inversor não é conveniente por causa do rendimento ter que ser estipulado. Assim, a equação para o cálculo da indutância de L_2 utilizada neste trabalho é a representada em (4.23).

$$L_2 = \frac{V_i D_{m\acute{a}x}^2}{2 f_s P_{in}} \quad (4.23)$$

O cálculo da corrente eficaz e da indutância do primário do transformador são os parâmetros mais importantes. Os demais cálculos para dimensionamento de diodos, capacitores, filtros de entrada e saída serão mais bem detalhados no Capítulo 6 – Exemplo de Projeto e Resultados de Simulação.

4.5 - CONSIDERAÇÕES FINAIS

Neste capítulo foi apresentado o princípio de operação de conversores *buck-boost*, *buck-boost* isolado conhecido como conversor *flyback* e também os que utilizam duas chaves em sua topologia sendo chamados de conversores *flyback* a dois transistores. E tendo esses conceitos de operação, foi feita a descrição dos modos de operação do inversor em estudo, o inversor *flyback* a quatro transistores. Também foram apresentadas as principais formas de onda de corrente, tensão sobre os transistores S_1 e S_2 , pulso de comando e ordem de acionamentos dos mesmos.

A forma de se calcular a corrente de S_1 , S_2 média e eficaz também foram apresentadas neste capítulo, partindo de uma forma aproximada do comportamento da corrente no primário do transformador é possível deduzir os seus valores. E posteriormente é desenvolvida a equação de dimensionamento da indutância de L_2 , correspondente ao primário do transformador.

CAPÍTULO 5

O CONTROLE DO INVERSOR *FLYBACK* IMPLEMENTADO NA PLATAFORMA FPGA

5.1 - CONSIDERAÇÕES INICIAIS

Na busca por circuitos cada vez mais otimizados para conversão da energia solar DC para ser conectada a rede CA, fez-se a opção de desenvolver o controle a partir de único parâmetro de controle. A corrente de saída do inversor é o parâmetro utilizado como referência já que a tensão da rede CA apresenta características de fonte ideal por estar em um sistema interligado.

Este capítulo apresenta o projeto do controle do inversor *flyback* a quatro transistores para a conversão da energia solar e a sua implementação em um dispositivo FPGA da família FLEX 10K, da Altera™. A disposição dos principais blocos do inversor em estudo está apresentada na Figura 5.1.

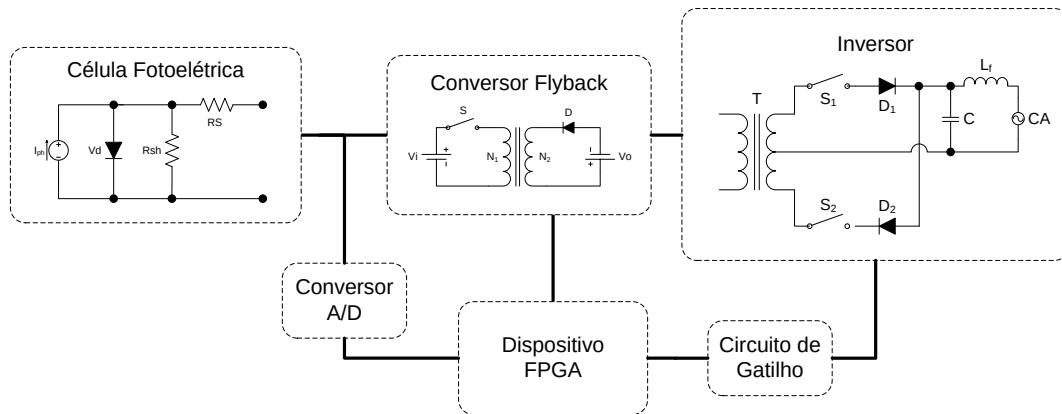


Figura 5.1 – Disposição dos principais blocos do inversor *flyback* em estudo.

5.2 - TÉCNICAS DE CONTROLE

O controle dos parâmetros de saída em um conversor em modo chaveado pode ser feito através da Modulação por Largura de Pulso (PWM – *Pulse Width Modulation*). Nesta modulação, procura-se manter um dos parâmetros de saída em um valor desejado ajustando-se a razão cíclica, ou seja, a porcentagem de tempo que o elemento comutador do circuito conduz durante um período de comutação.

Nesta seção, serão mostradas algumas estratégias de controle, tais como modulação por histerese, modulação por largura de pulso senoidal e controle pelo pico de corrente. Estas estratégias visam à obtenção do fator de potência unitário (GALELI, 2005), uma vez que deseja obter uma forma de onda senoidal da corrente gerada pelo inversor *flyback* a quatro transistores.

5.2.1 - MODULAÇÃO POR HISTERESE

Esta estratégia consiste em monitorar a corrente de saída do conversor *flyback* em estudo dentro de uma determinada faixa, denominada faixa de histerese.

A faixa de histerese é obtida com duas amostras da tensão de alimentação CA do conversor com amplitudes distintas como mostra a Figura 5.2. A amostra de tensão de maior amplitude é denominada “limite superior”, e a amostra de menor amplitude, denominada “limite inferior”.

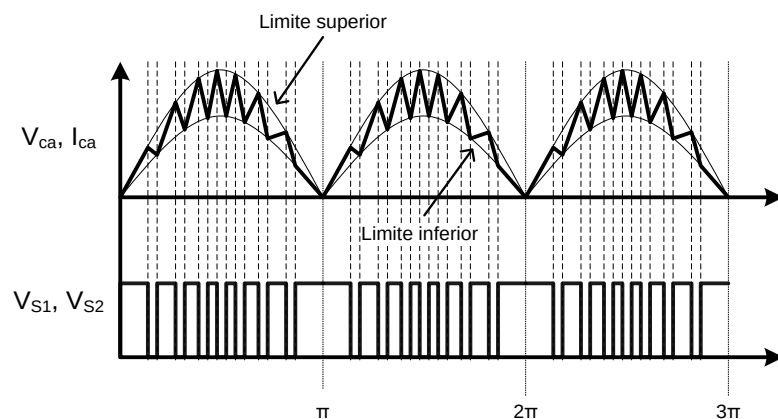


Figura 5.2 – Controle por histerese.

A corrente do conversor é monitorada dentro da faixa de histerese. A amostra da corrente pode ser obtida através de um sensor de corrente apropriado.

O controle compara a corrente com mostra a Figura 5.2. Quando a corrente atinge o valor do limite superior, o controle desliga a chave e a corrente decresce até atingir o limite inferior. Neste instante, o controle comanda a chave para entrar em condução.

O método de modulação por histerese apresenta alto valor de fator de potência. Porém, a frequência variável causa transtornos no projeto do filtro, pois este deve ser projetado para a menor frequência.

A Figura 5.3 apresenta um circuito lógico que pode ser utilizado na programação do dispositivo FPGA. O seu funcionamento é bastante simples. Quando a corrente de entrada do conversor se tornar maior que a corrente de referência ($I_{ref(sup.)}$), o comparador aplica um pulso na entrada CLK do “*flip-flop*” JK, de forma que a saída principal do mesmo seja levada ao nível alto. Assim, havendo interrupção da corrente do conversor que então começa a decrescer até cruzar a corrente de referência ($I_{ref(inf.)}$).

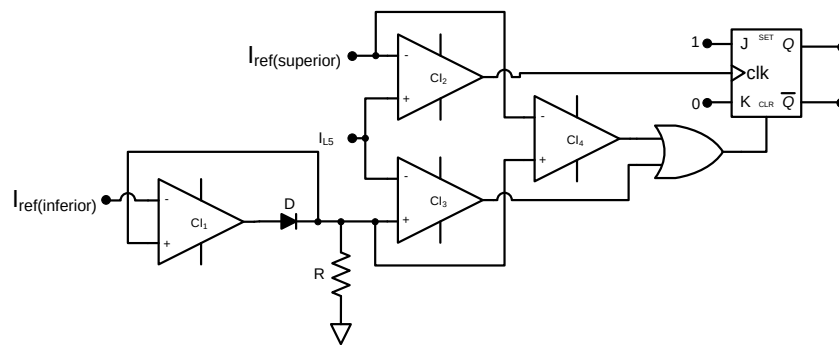


Figura 5.3 – Diagrama de controle por histerese.

5.2.2 - MODULAÇÃO POR LARGURA DE PULSO SENOIDAL

A modulação por largura de pulso PWM senoidal consiste em variar o tempo de condução e bloqueio da chave senoidalmente.

No controle é gerada uma onda que pode ser triangular ou dente de serra. Esta onda apresenta uma frequência de chaveamento, que é bem maior que a da rede alternada.

Uma amostra do sinal de alimentação do conversor é retificada e comparada com a onda triangular ou dente de serra, como mostra a Figura 5.4. A frequência da forma de onda senoidal é o dobro da frequência da rede.

Quando a onda triangular é maior que a amostra de tensão, o controle comanda o fechamento da chave e a corrente do conversor cresce, até que a amplitude da onda triangular seja menor que a amplitude da amostra de tensão. Neste momento, o controle desliga a chave e a corrente decresce.

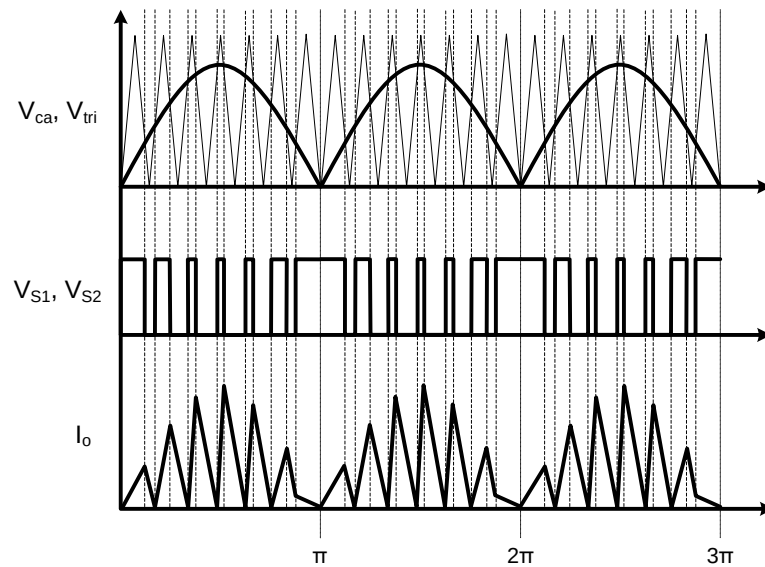


Figura 5.4 – Controle por Largura de Pulso Senoidal.

Este tipo de modulação possui frequência de chaveamento fixa (“PWM”), a implementação do controle é relativamente simples, apresentando fator de potência razoável e taxa de distorção harmônica elevada.

5.2.3 - CONTROLE PELO PICO DE CORRENTE

Este método utiliza algumas características dos métodos descritos anteriormente. A corrente do dispositivo controlado é amostrada através de sensores. Uma amostra da tensão de alimentação é retirada e utilizada como referência máxima de corrente do dispositivo, de acordo com a Figura 5.5.

A abertura da chave ocorre quando a amostra de corrente atinge o valor de referência, como no controle por histerese. A corrente do dispositivo controlado decresce, e o fechamento da chave é definido pela frequência de chaveamento, como no controle por largura de pulso senoidal.

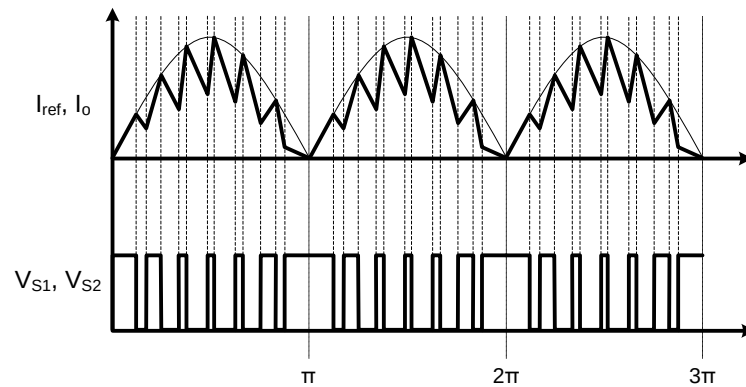


Figura 5.5 – Controle pelo Pico de Corrente.

Este método apresenta frequência de chaveamento fixa e alto fator de potência, porém com elevada distorção harmônica em baixa potência e esquema de controle complexo.

Neste método, conforme mostra a Figura 5.6, quando a corrente de entrada atinge o valor da corrente de referência a saída principal do “*flip-flop*” JK é comutada para o nível baixo, fazendo com que a chave seja aberta. Nesta nova etapa de operação a corrente de entrada estará decrescendo. O retorno para a etapa anterior é feita com base em um circuito temporizador que determina um tempo de atraso constante entre os intervalos de fechamento da chave. Toda vez que o sinal proveniente do circuito oscilador sofrer uma transição positiva, a saída do “*flip-flop*” JK será comutada para o nível alto, fazendo com que a chave seja fechada. Assim, fica garantido o acionamento com frequência constante.

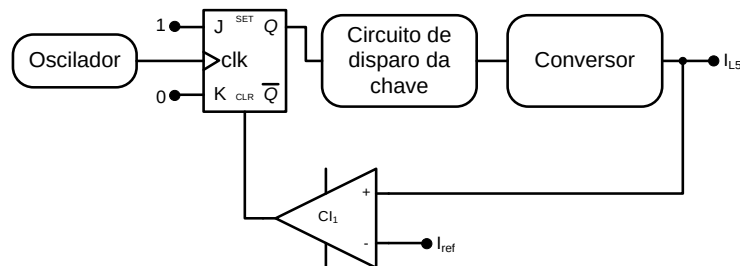


Figura 5.6 – Diagrama de controle pelo pico da corrente.

5.2.4 - ESTRATÉGIA DE CONTROLE DE CORRENTE APLICADO AO INVERSOR *FLYBACK*

Nos conversores que utilizam a modulação “PWM”, o controle da tensão de saída é determinado pelo tempo de condução e bloqueio da chave. A modulação “PWM” tem

freqüência de chaveamento fixa e ajuste do tempo da condução da chave. A razão cíclica da chave (D) é definida como a relação entre o tempo de condução da chave e o período de chaveamento (equação (5.1)).

$$t_{on} = D \cdot T_s \quad (5.1)$$

No inversor *flyback* em estudo o controle pela tensão de saída não é possível pelo fato do mesmo ser ligado a um sistema de distribuição que apresenta características de fonte ideal. Portanto, para o controle do fluxo de potência de saída, a corrente é o parâmetro utilizado. Uma vez feita a escolha pelo controle da corrente de saída, resta selecionar o método empregado no seu comando. Nos parágrafos seguintes são feitas comparações entre os métodos descritos nas seções anteriores com o método de controle pela corrente média.

Na estratégia de modulação por histerese, a corrente é monitorada dentro da faixa delimitada por duas senóides. Na estratégia de controle pela corrente média com freqüência fixa, a corrente monitorada possui uma referência senoidal amostrada da rede.

Na estratégia de modulação por largura de pulso (“PWM”) senoidal, a freqüência de chaveamento é fixa. Porém, a corrente não possui a referência senoidal para seguir e o resultado é o fator de potência apenas razoável, devido à alta distorção harmônica. Na estratégia de controle pela corrente média com freqüência fixa, a corrente possui uma referência senoidal para seguir, como ilustrado na Figura 5.7. O resultado da utilização desta estratégia consiste em um alto fator de potência e baixa taxa de distorção harmônica.

No controle pelo pico de corrente, a chave é bloqueada quando a corrente do conversor atinge a referência e entra em condução com a freqüência de chaveamento, sendo que, o chaveamento é realizado por duas comparações distintas. Na estratégia de controle pela corrente média com freqüência fixa, o controle da corrente monitorada não depende apenas do valor máximo de referência e da freqüência de comutação das chaves, mas do valor médio entre máximo e mínimo que resulta numa distorção harmônica inferior ao do controle por pico de corrente.

Diante destas comparações o método de controle pela corrente média foi o mais adequado a topologia do inversor *flyback* em estudo. E apesar de ser geralmente aplicado para correção do fator de potência tendo uma corrente de entrada como instrumento de controle neste estudo o método é aplicado na saída do inversor *flyback*, portanto, tendo uma corrente de saída como variável de controle.

A Figura 5.7 ilustra o resultado esperado aplicando o método de controle pela corrente média em função de uma corrente de referência gerada pelo dispositivo FPGA a partir do sinal de tensão amostrado da rede CA e a corrente de saída que vem do sensor de efeito *Hall*.

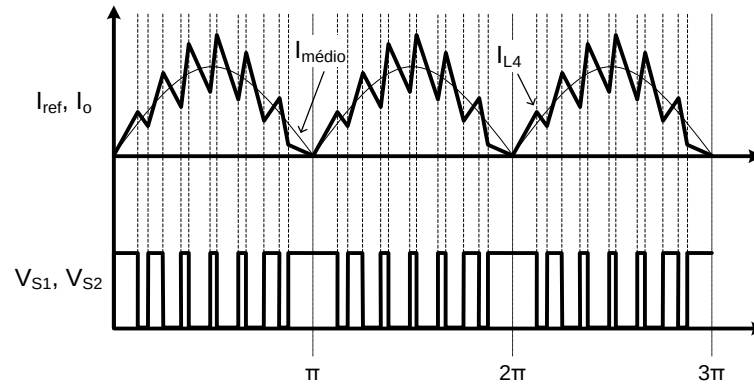


Figura 5.7 – Controle pela corrente média.

Devido à corrente de referência estar constantemente variando por sua característica senoidal, haverá sempre um pequeno erro intrínseco a esta forma de controle, que em determinado trecho será positivo e em outro negativo, já que pela ação do circuito integrador, implementado no dispositivo FPGA, o erro médio tende a oscilar em torno de zero.

Diferente dos demais conversores que utilizam o método de controle por corrente média com o auxílio de um circuito compensador ou um circuito integrado como o UC3854 (desenvolvido pela (UNITRODE, 1990)), o inversor em estudo não precisa dos circuitos mencionados por utilizar retificadores de precisão que apresentam características de um filtro passa baixa e também pelo fato da corrente amostrada pelo sensor possuir características de fonte de corrente e portando não ter grandes oscilações que venham a prejudicar seu controle.

5.3 - IMPLEMENTAÇÃO DO CONTROLE EM UM DISPOSITIVO FPGA

As tarefas necessárias a serem realizadas no inversor *flyback* foram desenvolvidas por meio de um dispositivo FPGA da família FLEX EPF10K10LC84-4. As amostras de tensão e corrente necessárias para o controle foram digitalizadas através de conversores analógicos digitais. E o acionamento dos transistores com o auxílio de circuitos de comando (*drives*).

5.3.1 - DIAGRAMA DE BLOCOS DO CIRCUITO DE CONTROLE

A Figura 5.8 ilustra o esquema do inversor *flyback* a quatro transistores e a disposição dos principais blocos de aquisição, controle e circuito de disparo dos transistores do inversor.

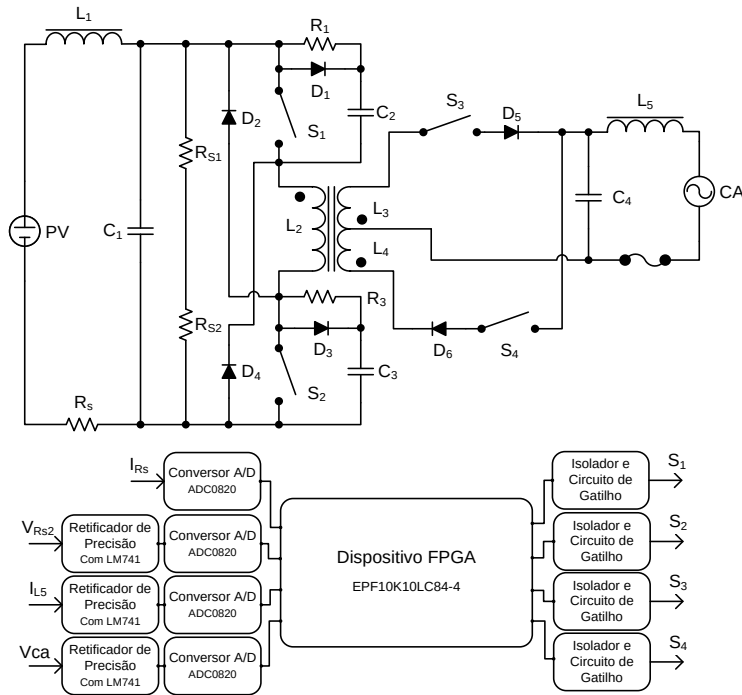


Figura 5.8 – Circuito do inversor *flyback* a dois transistores e o dispositivo FPGA aplicado em seu controle.

5.3.2 - OBJETIVOS DO CONTROLE

A tensão de entrada e a forma da corrente de saída são as grandezas controladas pelo dispositivo FPGA durante as três etapas de operação do inversor. O valor de referência de corrente gerado e modulado pelo dispositivo se altera conforme os valores amostrados da tensão de entrada que está associada ao fluxo máximo de potência e a corrente amostrada pelo sensor na saída para geração de uma resultante senoidal. Sendo assim, os objetivos principais do controle desenvolvido são:

- Gerar uma corrente de saída senoidal e sincronizada com a tensão da rede CA;
- Fazer o controle do fluxo de potência em função da tensão gerada pelos painéis;
- Estabelecer limites de condução para os transistores S_1 e S_2 (Figura 5.8);
- Proteção contra continuidade de fornecimento de energia mesmo sem a presença de tensão da rede comercial (efeito *islanding*).

5.3.3 - ESTRUTURA DO CIRCUITO DE CONTROLE

A arquitetura interna de um dispositivo FPGA permite a estruturação do controle em blocos, cada qual com seus pinos de E/S e sua lógica interna. Para o projetista, esta opção é bastante útil uma vez que permite a implementação e simulação de cada bloco individualmente, facilitando a procura por erros no programa.

A disposição dos principais blocos de controle para o dispositivo FPGA, projetado para o inversor *flyback* a dois transistores está apresentado na Figura 5.9.

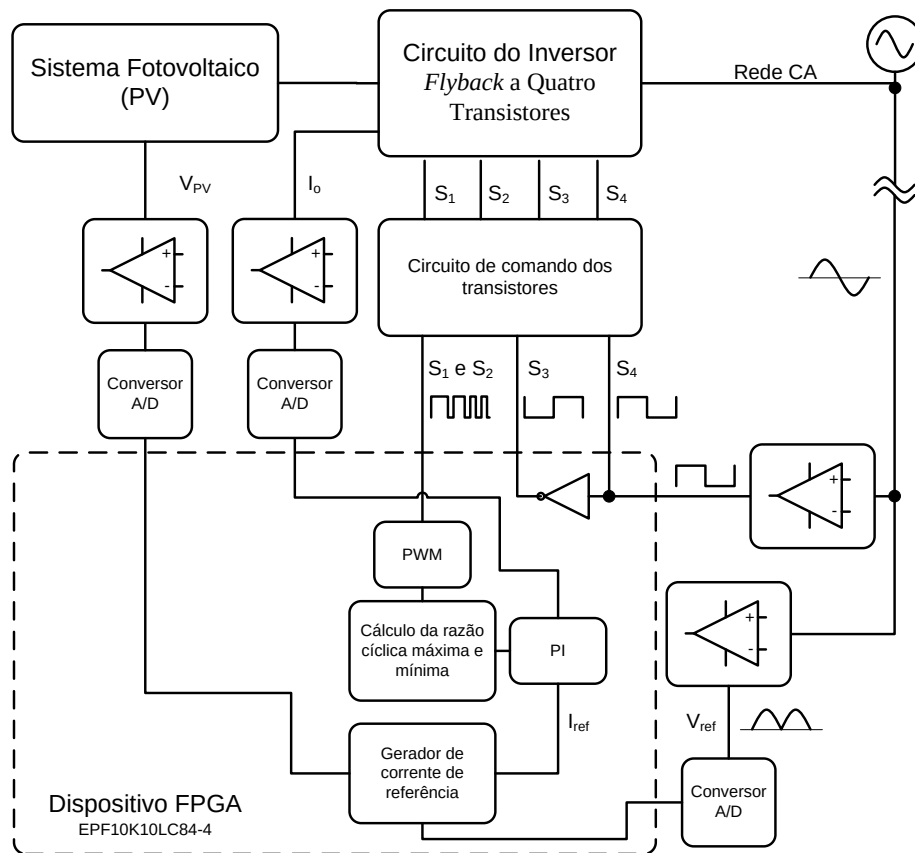


Figura 5.9 – Diagrama de blocos da lógica programada no dispositivo FPGA.

O princípio básico de operação do controle se baseia no cálculo do erro e do incremento ou decremento da largura de pulso enviado aos transistores S_1 e S_2 , em função da corrente de referência para aquele instante. O sinal senoidal de referência para modulação foi amostrado da rede CA e digitalizado a partir de um retificador de precisão composto por amplificadores operacionais.

5.3.3.1 - BLOCO DE AQUISIÇÃO DE SINAIS

As aquisições de dados são feitas pelos blocos MPPT (*Maximum Power Point Tracking*) e controle pela corrente média. Estes blocos são responsáveis pelo registro dos dados amostrados de tensão DC nos terminais do painel fotovoltaico V_{pv} , corrente de saída I_{pv} do painel, corrente de saída I_o do inversor e a tensão de referência V_{ref} que vem do retificador de precisão. São nestes blocos que são definidos o tempo de amostragem e a ordem de grandeza em bits dos mesmos. Na digitalização dos dados foram utilizados conversores analógicos digitais de 8bits e uma frequência de amostragem de 59kHz.

5.3.3.2 - OPERAÇÃO EM MPPT

O bloco MPPT é responsável pela operação em máxima potência. Sua função é gerar uma corrente de referência com amplitude proporcional a potência disponibilizada pelos painéis, fazendo com que o inversor opere com tensão de alimentação de entrada estabilizada em um valor correspondente ao ponto de máxima potência, mantendo esse valor sempre nesta faixa. A Figura 5.10, ilustra dois pontos onde se pode obter máxima potência do sistema fotovoltaico. A variação de tensão em relação à de corrente é menor, portanto, mantendo a tensão V_{pv} dentro de uma faixa é possível obter pontos de potência para vários índices de insolação sobre os painéis.

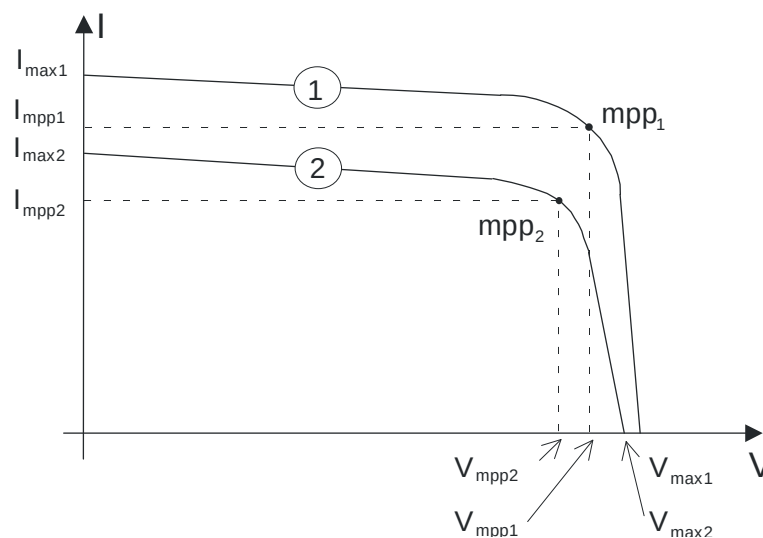


Figura 5.10 – Característica de saída tensão versus corrente de um painel fotovoltaico típico para dois valores de radiação solar, com temperatura constante.

5.3.3.3 - BLOCO PI DIGITAL (SCARPA, 2005)

Para se comportar como um compensador proporcional-integral é preciso encontrar o algoritmo numérico que o dispositivo de controle deverá usar. O bloco compensador recebe o sinal de erro $e_{(n)}$ e devolve o sinal após a compensação $c_{(n)}$. Para se chegar ao valor da equação discreta do compensador, a equação de um controlador PI deverá ser analisada primeiramente.

A equação de um controlador PI contínuo no tempo é dada por:

$$c_t = k_p e_t + k_i \int e_t dt \quad (5.2)$$

Onde $e_{(t)}$ é função do erro no tempo. Mas a integral de uma função representa também a área no gráfico. Se considerarmos a função $e_{(t)}$ constante durante um período de amostragem, tem-se que a integração numérica desta função é:

$$\int_0^{nT} e_t dt = \sum_{k=0}^n e_{kT_A} T_A \quad (5.3)$$

Discretizando-se (5.2), tem-se que:

$$c_n = k_p e_n + k_i \sum_{k=0}^n e_{kT_A} T_A \quad (5.4)$$

Que também pode ser escrita da seguinte forma:

$$c_n = k_p e_n + k_i e_n T_A + k_i \sum_{k=0}^{n-1} e_{kT_A} T_A \quad (5.5)$$

Considerando-se que:

$$c_{n-1} = k_p e_{n-1} + k_i \sum_{k=0}^{n-1} e_{kT_A} T_A \quad (5.6)$$

E substituindo-se (5.6) em (5.5) tem-se que:

$$c_n = c_{n-1} + k_p e_n - k_p e_{n-1} + k_i T_A e_n \quad (5.7)$$

Que representa a equação a ser utilizada pelo compensador digital, onde $c_{(n)}$ e $c_{(n-1)}$ representam respectivamente as saídas atual e anterior do compensador, $e_{(n)}$ e $e_{(n-1)}$ representam o valor de erro atual e anterior.

Como apresentado na Equação (5.7), o valor $c_{(k)}$ representa a grandeza do ajuste necessário a ser feito para que no final a corrente I_o seja ajustada ao valor de referência I_{ref} gerado pelo bloco gerador de referência para operar em MPPT. Este valor irá incrementar ou decrementar a razão cíclica de trabalho dos pulsos aplicados a S_1 e S_2 . E diferente dos conversores não isolados que dependem ou estão em função do liga ou desliga de seus transistores, conversores isolados requerem pulsos intermitentes. A ação de controle

programada no dispositivo FPGA estabelece limites máximos e mínimos para o funcionamento do inversor *flyback* com o objetivo de evitar um ciclo de trabalho maior que o suportado pelo mesmo ou um valor mínimo que venha interferir no sinal gerado pelo inversor.

5.3.3.4 - BLOCO PWM DIGITAL

Este bloco recebe o sinal binário do Compensador PI e o transforma em um pulso de frequência fixa, com razão cíclica proporcional ao valor recebido.

Nesta etapa de controle a grandeza $c_{(k)}$ calculada pelo PI é comparada ao valor gerado por um contador de 8 bits. Em dispositivos lógicos programáveis, todas suas funções são realizadas a partir de um *clock* externo. A forma adotada neste estudo na conversão de uma grandeza em largura de pulso, portanto tempo, foi comparar esta variável $c_{(k)}$ ao contador de 8 bits, o que resulta em transistores S_1 e S_2 fechados para $c_{(k)}$ menor e aberto para $c_{(k)}$ maior que valor binário do contador.

5.4 - DESCRIÇÃO DA ESTRATÉGIA UTILIZADA NO “SOFTWARE QUARTUS”

Como o *software* QUARTUS II permite a implementação de circuitos através de blocos lógicos, em linguagem de programação HDL (*Hardware Description Language*), neste trabalho fez a opção de programar o dispositivo com essa linguagem para facilitar não somente a visualização do processo como também da simplicidade de programar o mesmo com tal linguagem.

Os blocos que constituem a aquisição e a base de tempo de amostragem são apresentados na Figura 5.11. Os registradores Reg_Vpv, Reg_Ipv, Reg_Vac e Reg_Io armazenam as informações válidas durante o ciclo de amostragem. E o bloco TempoAD é quem calcula o tempo de amostragem utilizando o “*clock*” externo. Por este bloco é enviado um sinal ao terminal “READ”, pinos pin_38_RD_AD0, pin_70_RD_AD1, pin_69_RD_AD2, pin_66_RD_AD3, do conversor A/D dando início à leitura dos dados analógicos.

Para obter dados válidos, ou seja, somente os dados analógicos digitalizados pelos conversores analógico-digitais, é preciso que o conversor A/D envie um sinal avisando o momento exato do fim da conversão.

O sinal é enviado pelo conversor A/D, através do terminal de interrupção “INT”, chegando pelos pinos pin_37_INT_AD0, pin_70_INT_AD1, pin_67_INT_AD2 e pin_64_INT_AD3. Em seguida, os sinais passam pelo bloco denominado Spulse que gera um pulso de curto período e então daí para o *enable* de cada bloco registrador, onde os dados são armazenados e enviados para o seguinte conjunto de blocos “Gerador de Referências”.

A parte difícil da programação é da identificação e associação de cada pino do dispositivo a sua correspondente função. E também do processo de inclusão de cada bloco lógico ao projeto. Feito isso, a implementação é relativamente fácil de ser feita.

Um detalhe importante é que durante a aquisição, sendo ela de 8bits, a faixa de tensão de referência para o sinal analógico convertido é ajustado no próprio conversor A/D. Nos circuitos de aquisição, foram colocados diodos emissores de luz (LED) nas entradas de ajuste de referência positiva dos conversores, onde fica visível a indicação de quando houver ultrapassagem do limite ajustado.

O número de combinações possíveis ou a faixa mínima para um sinal de 8bits é calculado através da equação (5.8). Tendo esse número de combinações e o valor de tensão de referencia ajustada no conversor A/D, pode-se determinar de quanto é o valor analógico correspondente a cada degrau ou bit somado. Nestes conversores, apenas sinais analógicos positivos são amostrados.

$$n^{\circ}_{\text{combinações}} = 2^{n^{\circ}\text{bits}} \quad (5.8)$$

sendo para este caso o *n°bits* igual a 8, a faixa é de 0 a 255. Dividindo a tensão de referência ajustada no conversor A/D de 5volts por 256 temos um valor de 19,53125mV, que representa a precisão da aquisição do conversor A/D feita em 8bits e tendo 5volts como referencia de conversão.

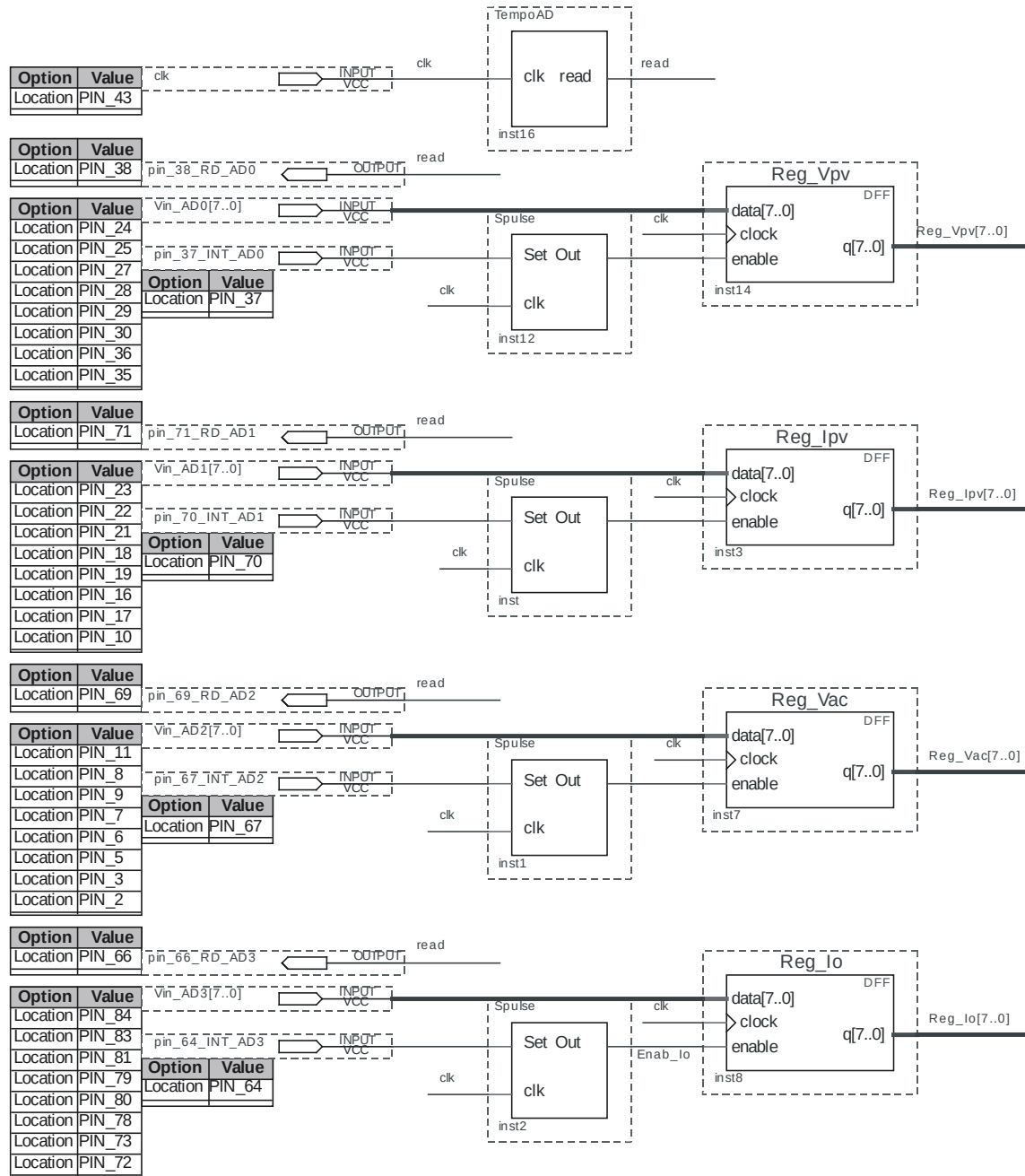


Figura 5.11 – Disposição dos blocos responsáveis pela aquisição dos sinais de tensão e corrente dos painéis e do inversor.

A Figura 5.12 apresenta o conjunto de blocos que constituem o TempoAD. Com um contador crescente são gerados pulsos sequenciais, onde são enviados a entrada de uma porta E (AND). A linha de conexão `cka[9..0]` representa um sinal binário de 10bits, em que `cka[9]` é o dígito mais significativo e o `cka[0]` o menos significativo. No circuito, os componentes CLK_Aquis e a porta E com oito entradas (inst1) definem o período de aquisição, enquanto o Conter01 e a porta E (inst10) de seis entradas definem a duração do pulso de READ que é

enviado ao conversores analógicos digitais. Esse pulso não deve ser inferior a $2,5\mu s$ para o correspondente conversor A/D ADC0820 utilizado neste projeto.

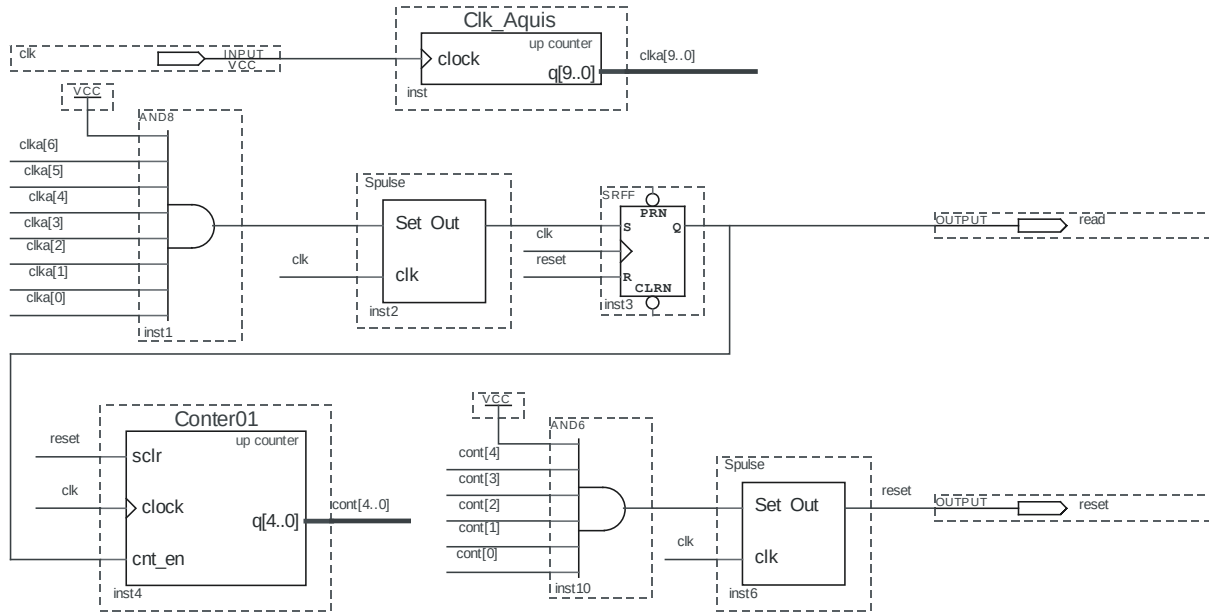


Figura 5.12 – Lógica programada para estabelecer a base de tempo de aquisição.

Para o contador Clk_Aquis é possível montar uma equação que calcule o valor da frequência em função do números de bits que o mesmo é configurado. A equação (5.9) representa essa função.

$$f_n = f_1 \times q^{n-1} \quad (5.9)$$

A n frequência f_n é uma progressão geométrica de razão q e termo f_1 igual a frequência de 3,75MHz que é a frequência de *clock* de 7,5MHz dividido por dois. O valor da razão q é 0,5, e está associado a características do contador crescente que divide a frequência ao meio a cada bit. A Figura 5.13 ilustra a forma de onda do sinal gerado pelo contador crescente em hexadecimal.



Figura 5.13 – Forma de onda do contador com saída na base hexadecimal.

Na Figura 5.14, o conjunto de blocos que tem a função de atuar como um PI digital.

Inicialmente é calculado o erro atual representado pelo bloco *Calculo_Erro_Atual*, ilustrado na Figura 5.15 a sua lógica interna. Em seguida o sinal $Ek[7..0]$ é multiplicado por uma constante que corresponde a $(k_p + k_i T_A)$, representada por *Mult00_16bits*. Da mesma forma o erro anterior que foi registrado por *Erro_Anterior* é multiplicado por uma constante k_p representada por *Mult01_16bits*. Os sinais $P1[15..0]$ e $P2[15..0]$ são reduzidos a 8bits e somados, resultando em $Ck[7..0]$.

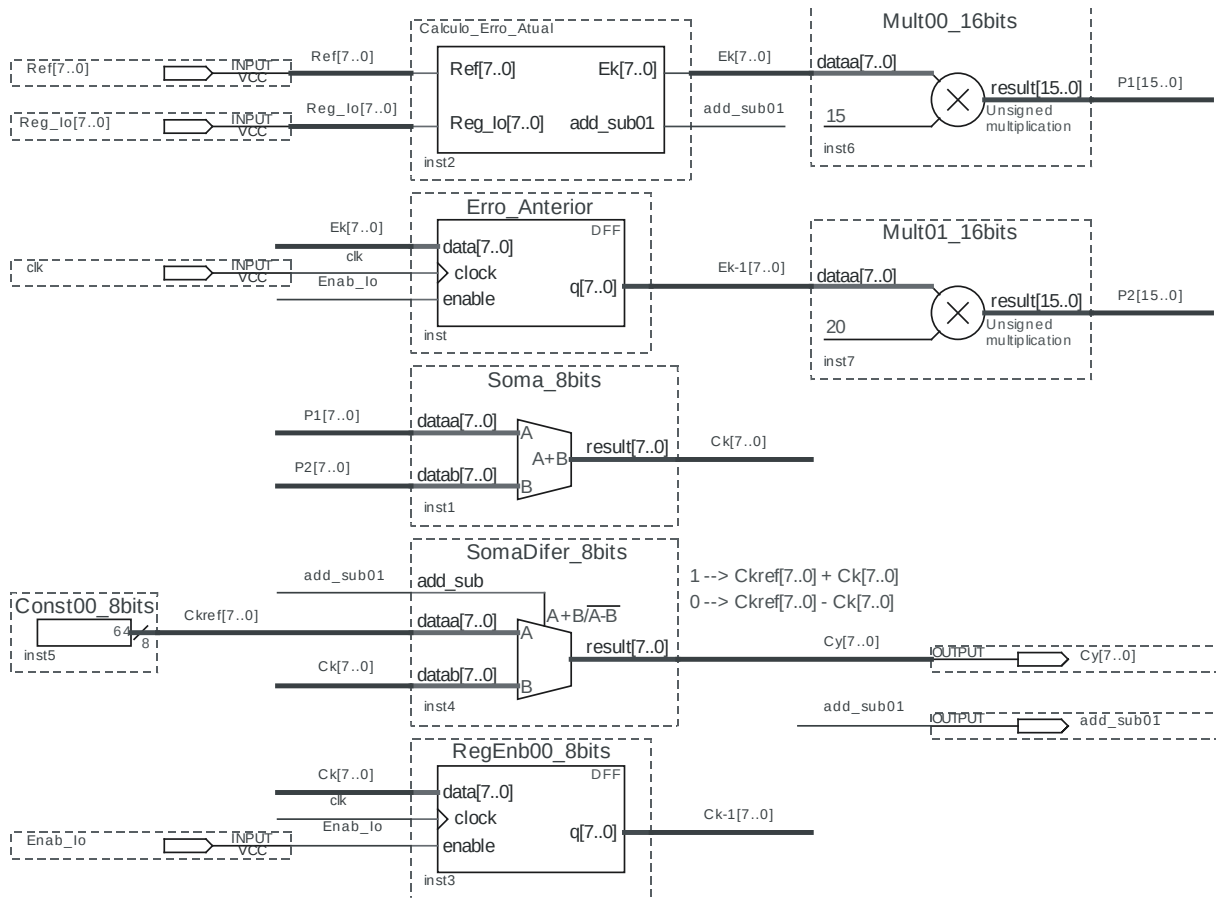


Figura 5.14 – Lógica programada para o proporcional integral digital PI.

Como pode ser observada, a lógica do PI desenvolvida não segue a equação (5.7) desenvolvida no Bloco PI Digital. O cálculo do erro atual, Figura 5.15, pode ser obtido de uma soma ou diferença entre $Ref[7..0]$ e $Reg_Io[7..0]$. A soma entre $P1[15..0]$ e $P2[15..0]$, resulta em $Ck[7..0]$ que pode ser somado ou subtraído por um $Ckref[7..0]$ em função da seleção de *add_sub01* sobre o bloco *SomaDifer_8bits*.

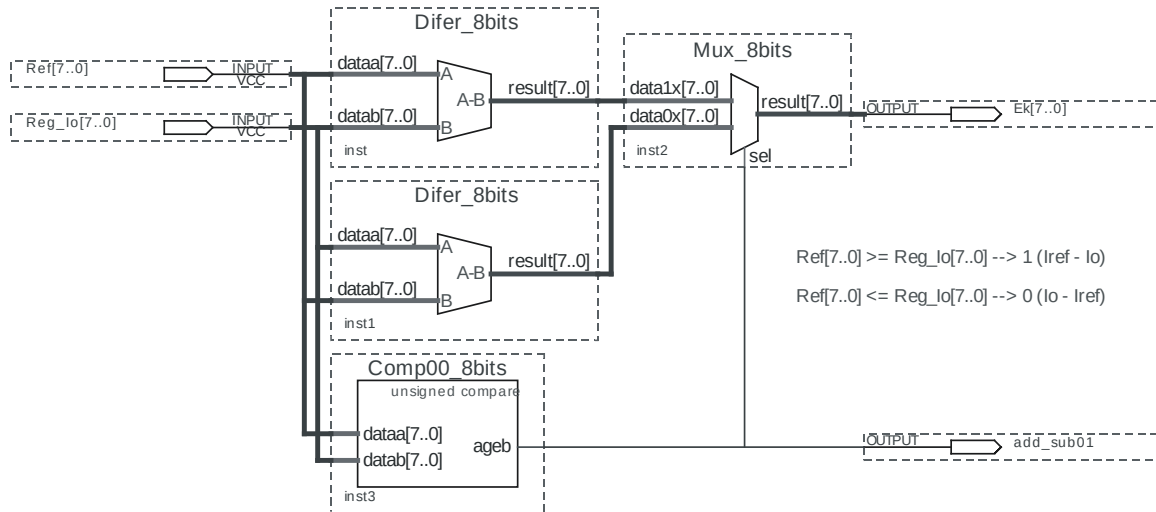


Figura 5.15 – Lógica do cálculo do erro atual.

A Figura 5.16, ilustra a lógica desenvolvida no dispositivo para estabelecer limites ao sinal de ajuste $Cy[7..0]$. É neste conjunto de blocos que são definidos a razão cíclica máxima e mínima que o controle desempenha sobre os transistores S_1 e S_2 do inversor *flyback*.

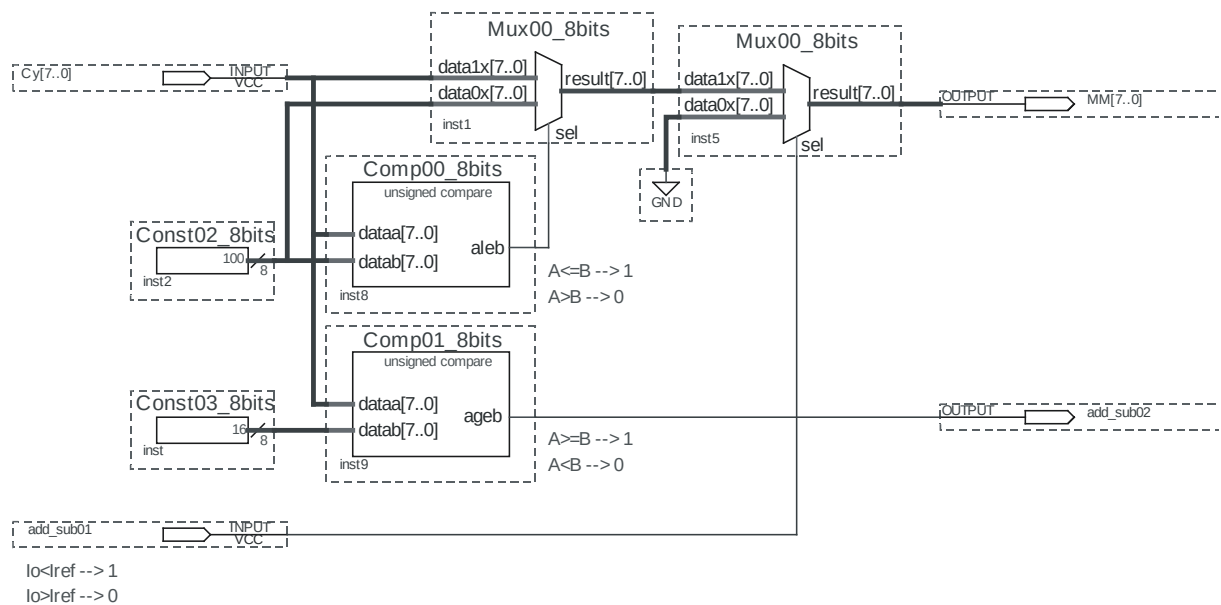


Figura 5.16 – Lógica utilizada para estabelecer limites máximos e mínimos.

A constante $Const02_8bits$ determina a razão cíclica máxima e a constante $Const03_8bits$ a razão cíclica mínima. O valor 100 corresponde a 0,45 por cento do período de chaveamento de condução máxima e o valor 16 a 0,072 por cento de condução mínima. Sua função é comparar o valor do ajuste aos limites por meio dos blocos comparadores $Comp00_8bits$ e $Comp01_8bits$, onde o primeiro comparador estabelece o máximo e o

segundo gera um sinal `add_sub02` que atua no conjunto de blocos do PWM digital. O sinal `add_sub01` também pode atuar como ajuste caso os cálculos anteriores resultem em um `Cy[7..0]` excedente levando `MM[7..0]` a zero.

No conjunto de blocos da Figura 5.17, é apresentado a lógica desenvolvida para a geração dos pulsos modulados. A largura dos pulsos de chaveamento é obtida no processo de comparação entre valor de ajuste `Cy[7..0]` e um contador. O registrador `Reg00_8bits` fica encarregado de armazenar o valor de ajuste até o instante em que o contador `Conter00_8bits` atinja um valor que seja superior ao do ajuste e conseqüentemente levando a saída do comparador `Comp_8bits` à zero.

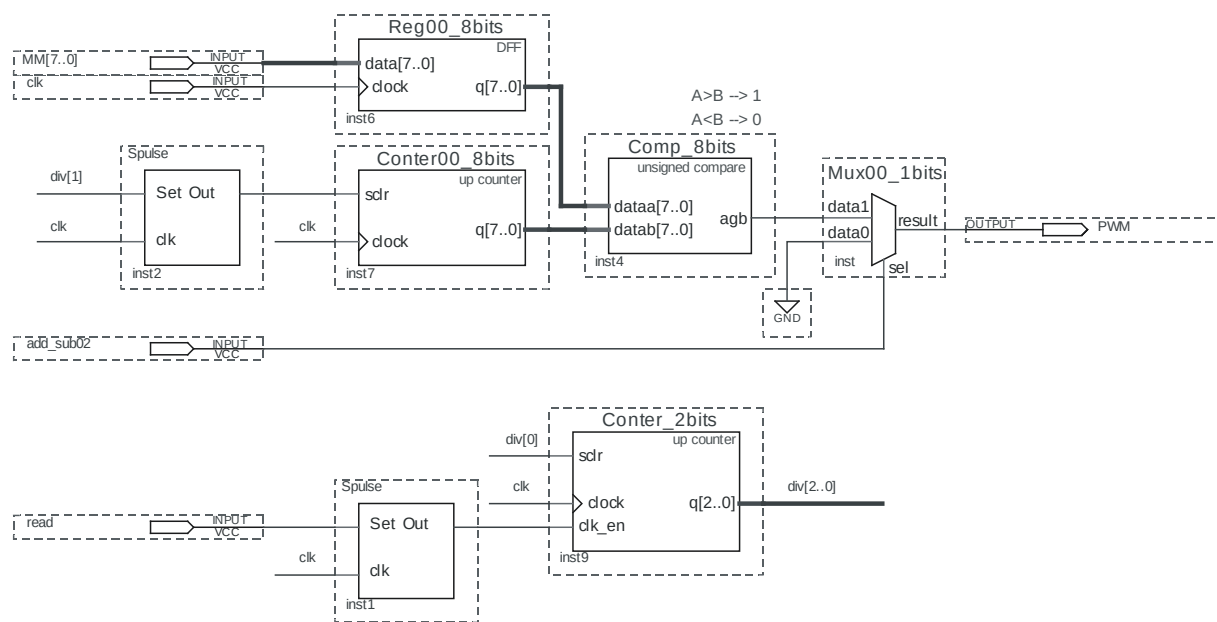


Figura 5.17 – Lógica do gerador PWM digital.

O controle do fluxo de potência gerado pelos painéis é controlado pelo conjunto de blocos da Figura 5.18. A função desse conjunto é de garantir o modo de operação 1 e gerar uma referência de corrente correspondente ao nível de insolação sobre os painéis mantendo o nível de tensão de entrada em um valor fixo, na faixa correspondente a máxima potência.

Inicialmente é feito um ceifamento do sinal de referência amostrado da rede CA. E em seguida este mesmo sinal é subtraído pelo mesmo valor que foi ceifado, com o intuito de criar um tempo morto entre semiciclos e garantir o modo 1 de operação. Com do comparador `Comp03_8bits` e a constante `Const03_8bits` é feito o corte do sinal através do multiplexador `Mux_8bits`, onde permite a sua passagem somente quando `Reg_Vac[7..0]` for maior que a constante e fixando um limite mínimo no valor desta mesma constante. Depois o sinal é

subtraído de Const03_8bits pelo bloco Difer00_8bits resultando num sinal com tempo morto entre semiciclos.

O sinal Refs[7..0] passa por um processo de multiplicação e posteriormente por uma divisão. A multiplicação é por um valor fixo e a divisão depende do nível de tensão de entrada no inversor podendo assumir um valor máximo de 100 e mínimo de 10. O Comp04_8bits faz a comparação do sinal atual de tensão com um valor pré fixado e dependendo da condição o valor div1[7..0] pode aumentar ou diminuir a amplitude do sinal de referência Refs[7..0] que será utilizado para modulação do sinal senoidal de corrente de saída do inversor.

Esse processo adotado para gerar o sinal de referência exigiu muitos elementos lógicos pelo motivo de que após a multiplicação o sinal subia a 16bits. E caso esse sinal extrapolasse a faixa, a compilação resultava em erro.

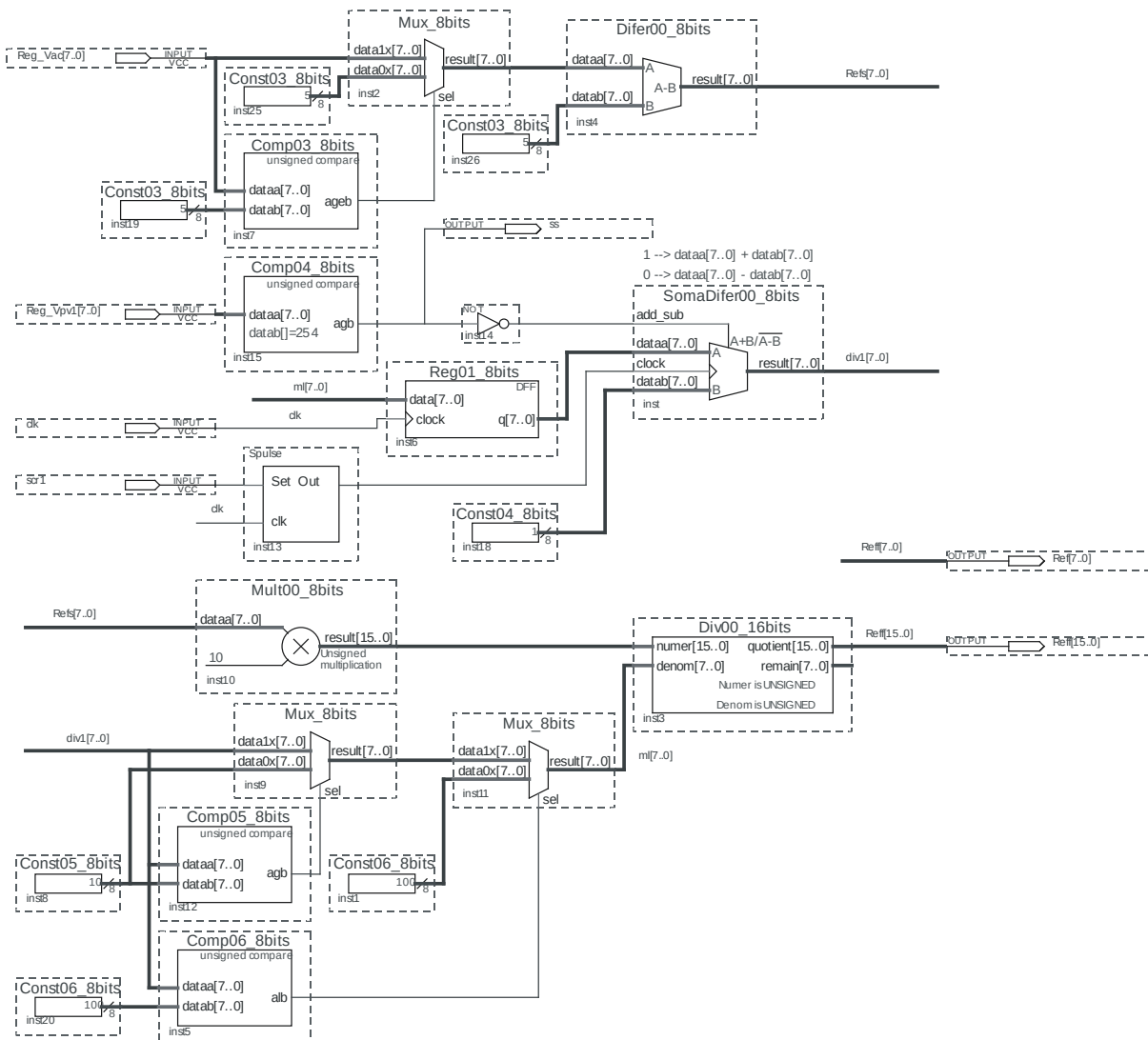


Figura 5.18 – Lógica do gerador de corrente de referência.

A Figura 5.19 ilustra algumas informações sobre a compilação do controle implementado no dispositivo FPGA. Devido as suas características construtivas e da própria linguagem de programação utilizada, a lógica programada no dispositivo apresentou 88% de uso dos elementos lógicos disponíveis.

Flow Status	Successful - Mon Sep 29 17:19:20 2008
Quartus II Version	4.1 Build 181 06/29/2004 SJ Full Version
Revision Name	Projeto
Top-level Entity Name	Projeto
Family	FLEX10K
Device	EPF10K10LC84-4
Timing Models	Production
Total logic elements	507 / 576 (88 %)
Total pins	54 / 59 (91 %)
Total memory bits	0 / 6,144 (0 %)

Figura 5.19 – Resultado da compilação no dispositivo.

5.5 - CONSIDERAÇÕES FINAIS

Neste capítulo foram apresentadas algumas técnicas de controles que podem ser utilizadas em grande parte das aplicações de conversão de energia e principalmente da técnica aplicada ao inversor *flyback* em estudo, o controle por corrente média.

Ainda neste capítulo, foram ilustrados os diagramas de blocos do controle implementado no dispositivo FPGA e função que cada bloco desempenha no todo. Em seguida foi descrito detalhadamente a estratégia utilizada para configuração e programação do dispositivo por meio do *software* QUARTUS II fornecido pelo próprio fabricante.

O processamento digital ou em tempo discreto usam-se três elementos digitais básicos: adicionadores, multiplicadores e memórias (registradores). Onde são apresentadas as seguintes vantagens:

- Flexibilidade – A mesma máquina digital pode ser adaptada, através de programação, a diferentes operações no processamento. (No caso analógico seria necessário redesenhar os circuitos);
- Repetibilidade – É possível repetir a mesma operação de uma forma exata. (Os sistemas analógicos sofrem de variação dos parâmetros).

CAPÍTULO 6

EXEMPLO DE PROJETO E RESULTADOS DE SIMULAÇÃO

6.1 - CONSIDERAÇÕES INICIAIS

Para verificar experimentalmente o funcionamento do inversor *flyback* a quatro transistores em estudo, um protótipo foi construído e testado.

Este capítulo apresenta um exemplo de projeto para a determinação dos parâmetros e componentes do circuito. Ao final, são mostrados os resultados de simulação obtidos em programa PSPICE.

6.2 - ESPECIFICAÇÕES

Os dados necessários para o dimensionamento dos componentes do inversor *flyback* são apresentados na Tabela 6.1.

Tabela 6.1 – Parâmetros do circuito *flyback* em estudo.

Parâmetros	Símbolo	Valor
Tensão de pico de saída	V_{ca}	250V
Frequência da rede CA	f_{ca}	60Hz
Frequência de chaveamento	f_s	30kHz
Razão cíclica	$D_{máx}$	0,45
Rendimento estimado	η	0,70
Potência Máxima (PV)	P_{MP}	20W
Tensão de circuito aberto (PV)	V_{OC}	21,5V
Tensão de máxima potência (PV)	V_{MP}	16,9V
Clock externo do FPGA	clk	7MHz

6.3 - DIMENSIONAMENTO DOS COMPONENTES DO INVERSOR *FLYBACK*

Nas equações utilizadas para o cálculo dos componentes que compõem o inversor foi levado em consideração apenas para a condição em que a razão cíclica ou ciclo de trabalho seja máximo exatamente para o instante em que a tensão de saída e a condução dos transistores S_1 e S_2 é máxima. Os símbolos apresentados nos seguintes cálculos são do

circuito ilustrado na Figura 4.11. Com exceção das equações desenvolvidas no capítulo 4, as demais utilizadas neste capítulo são desenvolvidas por (MELLO, 1990).

6.3.1 - CÁLCULO DA POTÊNCIA DE ENTRADA

Como já mencionado na seção 4.4, muitos autores utilizam a potência de saída como valor de referência para o cálculo da indutância de L_2 . Neste procedimento será usada a potência de entrada para o cálculo da maior parte dos componentes.

$$P_{in} = P_{MP} \times n^{\circ}_{painéis} = 140W \quad (6.1)$$

6.3.2 - CÁLCULO DA MÍNIMA TENSÃO DE ENTRADA

Neste trabalho foram utilizados sete painéis solares em série. Para um índice de insolação máximo, a tensão $V_{imáx}$ representa a maior tensão de saída para um circuito sem carga e um $V_{imín}$ a tensão mínima de saída sob carga plena.

$$V_{imáx} = V_{OC} \times 7 = 150,5V \quad (6.2)$$

$$V_{imín} = V_{MP} \times 7 = 118,3V \quad (6.3)$$

6.3.3 - CÁLCULO DO INDUTOR L_2

Considerando o valor de tensão de entrada $V_{imín}$ que satisfaz a condição de máxima potência, onde os painéis estão em plena carga e partindo da equação (4.23) a indutância de L_2 é calculada por:

$$L_2 = \frac{V_{imín}^2 \times D_{máx}^2}{2 \times f_s \times P_{in}} = 337,4 \times 10^{-6} H \quad (6.4)$$

6.3.3.1 - CÁLCULO DA CORRENTE DE PICO NO INDUTOR L_2

A corrente de pico apresentada na equação (6.5), representa o valor máximo de corrente que passa por L_2 . Este valor é particular de um ou mais pulsos de correntes que se localizam no ápice da envoltória senoidal.

$$I_{m\acute{a}x_{L_2}} = \frac{V_{i_{min}} \times D_{m\acute{a}x}}{f_s \times L_2} = 5,26A \quad (6.5)$$

6.3.3.2 - CÁLCULO DA ENERGIA ARMAZENADA NO INDUTOR L₂

Para a escolha do núcleo que será utilizado na construção do indutor, deve-se calcular a sua máxima energia armazenada, dada por:

$$E_{L_2} = \frac{1}{2} \times L_2 \times I_{m\acute{a}x_{L_2}}^2 = 4,667 \times 10^{-3} J \quad (6.6)$$

A Tabela 6.2 apresenta diversas dimensões que podem ser encontradas no mercado para o tipo de núcleo EE e que é utilizada como referência para escolha do núcleo neste trabalho.

Tabela 6.2 – Tabela de núcleos tipo EE.

Núcleo	Ae [cm ²]	Aw [cm ²]	le [cm]	MLT [cm]	Ap [cm ⁴]	Al [nH]	Ve [cm ³]
EE-8/4/3	0,07	0,12	1,97	1,88	0,01	450,00	0,14
EE-13/6/6	0,16	0,33	3,07	3,14	0,05	900,00	0,49
EE-16/7/4	0,15	0,40	3,44	3,77	0,06	1100,00	0,51
EE-16/7/5	0,19	0,40	3,53	3,77	0,07	1700,00	0,66
EE-19/8/5	0,23	0,57	3,94	4,63	0,13	1700,00	0,91
EE-20/10/5	0,31	0,48	4,30	4,02	0,15	1300,00	1,33
EE-25/10/6	0,40	0,84	4,90	5,97	0,34	1400,00	1,96
EE-30/15/7	0,60	1,19	6,70	6,13	0,72	1800,00	4,02
EE-30/15/14	1,20	1,19	6,70	6,13	1,43	3500,00	8,04
EE-42/21/15	1,81	2,56	9,70	9,27	4,63	3700,00	17,56
EE-42/21/20	2,40	2,56	9,70	9,27	6,14	4750,00	23,28
EE-55/28/21	3,54	3,76	12,00	11,78	13,29	5000,00	42,48
EE-65/33/13	2,66	5,48	14,70	13,89	14,57	3600,00	39,10
EE-65/33/26	5,32	5,48	14,70	13,89	29,14	7200,00	78,20
EE-65/33/39	7,98	5,48	14,70	13,89	43,71	10800,00	117,31
EE-76/50/25	6,45	9,75	21,77	16,02	62,91	5315,00	140,42

(MELLO, 1990)

Será utilizado o núcleo tipo EE com $\Delta t = 30^\circ\text{C}$

A Tabela 6.3 apresenta o cálculo do coeficiente de corrente para vários tipos de núcleos.

Tabela 6.3 – Valores de k_j e x para alguns tipos de núcleo.

Núcleo	k_j $20 \leq \Delta t \leq 60^\circ\text{C}$	x
Ponte	$74,78 \times \Delta t^{0,54}$	0,17
EE	$63,35 \times \Delta t^{0,54}$	0,12
X	$56,72 \times \Delta t^{0,54}$	0,14
RM	$71,7 \times \Delta t^{0,54}$	0,13
EC	$71,7 \times \Delta t^{0,54}$	0,13
PQ	$71,7 \times \Delta t^{0,54}$	0,13

(MELLO, 1990)

6.3.3.3 - CÁLCULO DO COEFICIENTE DE DENSIDADE DE CORRENTE NOS FIOS

A equação que deve ser utilizada para o cálculo do coeficiente de densidade nos fios está na Tabela 6.3 e é a que corresponde ao tipo de núcleo EE. A temperatura Δt de referência é de 40°C .

$$k_j = 63,35 \times \Delta t^{0,54} = 464,365 \quad (6.7)$$

6.3.3.4 - CONSTANTE Z

Para o cálculo do fator de utilização o valor de x correspondente ao tipo de núcleo EE da Tabela 6.3 é substituído na equação (6.8). Sendo x igual a 0,12, temos:

$$z = \frac{1}{1-x} = 1,136 \quad (6.8)$$

6.3.3.5 - CÁLCULO DE A_p PARA L_2

Definido o tipo de núcleo EE, com os parâmetros k_j e z calculados nas equações (6.7) e (6.8). E estabelecendo uma densidade de fluxo inferior a da densidade de saturação do material o cálculo do parâmetro A_p é feito com a equação (6.9). No caso, o material utilizado é o ferrite e sua saturação está na ordem de 0,3T. O fator de utilização k_u estipulado é de 0,4.

$$A_{p_{L_2}} = \left[\frac{2E_{L_2} \times 10^4}{k_u \times k_j \times B_{máx}} \right]^z = 1,797 \text{ cm}^4 \quad (6.9)$$

O núcleo correspondente a este valor de acordo com a Tabela 6.2 é EE-42/21/15.

6.3.3.6 - CÁLCULO DA DENSIDADE DE CORRENTE NO FIO DO INDUTOR

L_2

A densidade de corrente é calculada a partir da equação (6.10), onde k_j e A_p são determinados nas equações (6.7) e (6.9).

$$j_{L_2} = k_j \times A_p^{-x} = 386,357 A / cm^2 \quad (6.10)$$

6.3.3.7 - CÁLCULO DO ENTREFERRO PARA O NÚCLEO DO INDUTOR L_2

Para se determinar a distância do entreferro necessário deve ser calculado o fator de indutância A_l de acordo com a equação (6.11). O parâmetro A_e é o correspondente de A_p visto na Tabela 6.2 que no caso é de $1,8 cm^2$.

$$A_{l_{L_2}} = \frac{A_e \times 10^{-4} \times B_{máx}^2}{2 \times E_{L_2}} = 3,124 \times 10^{-7} H / esp^2 \quad (6.11)$$

A permeabilidade efetiva do núcleo com entreferro (μ_e) é determinada através da equação (6.12). A permeabilidade do vácuo μ_0 é igual a $4 \pi \times 10^{-7}$ Henri por metro e o parâmetro l_e correspondente ao A_p visto na Tabela 6.2 que no caso é de $9,7 cm$.

$$\mu_{e_{L_2}} = \frac{A_{l_{L_2}} \times l_e \times 10^{-2}}{\mu_0 A_e \times 10^{-4}} = 133,98 \quad (6.12)$$

$$l_{g_{L_2}} = \frac{l_e \times 10}{\mu_{e_{L_2}}} = 0,724 mm \quad (6.13)$$

6.3.3.8 - CÁLCULO DA CORRENTE MÉDIA NO INDUTOR L_2

A corrente média que passa por L_2 é a mesma que passa por S_1 e S_2 . Na seção 4.4 foi apresentada a equação para o cálculo desse valor. Outro parâmetro necessário corresponde ao cálculo do índice N que indica o número de pulsos de corrente durante um período da rede CA e apresentado na equação (6.14).

$$N = \frac{T_r}{T_s} = 500 \quad (6.14)$$

Com esse valor, basta substituir os demais parâmetros na equação (4.16) ou (4.17) que o resultado será o mesmo como apresentado na equação (6.15).

$$I_{L_2\text{médio}} = \frac{1}{N} \times \sum_{n=1}^N \left\{ \frac{1}{T_s} \times \frac{V_{i\text{min}}}{2 \times L_2} \times [D(t_n) \times T_s]^2 \right\} = 0,592 A \quad (6.15)$$

e observando que a função $D(t_n)$ é uma função de tempo discreto.

6.3.3.9 - CÁLCULO DA CORRENTE EFICAZ NO INDUTOR L_2

O cálculo da corrente eficaz pode ser feito tanto pela equação (4.18) ou (4.19). O resultado é visto na equação (6.16).

$$I_{L_2\text{eficaz}} = \sqrt{\frac{1}{N \times T_s} \times \sum_{n=1}^N \frac{V_{i\text{min}}^2 \times [D(t_n) \times T_s]^3}{3 \times L_2^2}} = 1,327 A \quad (6.16)$$

Este valor é aplicado no cálculo da área de cobre e dimensionamento dos transistores utilizados no inversor.

6.3.3.10 - CÁLCULO DA ÁREA DO COBRE PARA O CONDUTOR DO INDUTOR L_2

A área de cobre necessária para conduzir com segurança a corrente de L_2 é calculada pela equação (6.17). A corrente eficaz que passa por L_2 é determinada pela equação (6.16) e a densidade j_{L_2} pela equação (6.10).

$$S_{\text{Cobre}_{L_2}} = \frac{I_{L_2\text{eficaz}}}{j_{L_2}} = 3,435 \times 10^{-3} \text{ cm}^2 \quad (6.17)$$

O número de condutores correspondente a uma espira do enrolamento primário é encontrado dividindo o valor da equação (6.17) pela área do condutor AWG28 contido na Tabela 6.4. O resultado apresentado na equação (6.18).

$$n^{\circ}_{\text{condutores}} = \frac{S_{\text{Cobre}_{L_2}}}{\text{AWG28}} = 4,241 \cong 4 \quad (6.18)$$

São usados quatro fios para formação de uma espira com intuito de evitar ou mesmo reduzir o efeito peculiar (*Skin effect*) durante o processo de condução.

Tabela 6.4 – Bitola de condutores.

AWG	Diâmetro Cobre [cm]	Área Cobre [cm ²]	Ohms [20°C]
12	0,205	0,033092	0,000052
15	0,145	0,016504	0,000104
18	0,102	0,008231	0,000209
20	0,081	0,005176	0,000333
22	0,064	0,003255	0,000530
24	0,051	0,002047	0,000842
28	0,032	0,000810	0,002129

(MELLO, 1990)

6.3.3.11 - CÁLCULO DO NÚMERO DE ESPIRAS DE L_2

O número de espiras necessário para obter a indutância L_2 de entreferro μ_{eL2} é dado pela equação (6.19).

$$n^{\circ}_{\text{espiras}_{L_2}} = \sqrt{\frac{L_2}{A_{L_2}}} = 33,861 \cong 33 \quad (6.19)$$

6.3.4 - CÁLCULO DO ÂNGULO DE CONDUÇÃO

A seguinte etapa é desenvolver os cálculos para os componentes que compõem o secundário do inversor. No modo contínuo o conversor *flyback* apresenta uma tensão de saída em função apenas da razão cíclica (equação (6.20)).

$$V_{\text{saída}} = \left(\frac{D}{1-D} \right) V_{\text{entrada}} \quad (6.20)$$

Em modo descontínuo a tensão de saída é função da resistência de carga, da tensão de entrada e da corrente de saída como apresentado na equação (6.21). Sendo assim baseado nessa informação, se a tensão de saída for mantida constante o ângulo de condução D deve compensar tanto as variações da tensão de entrada, quanto as variações de corrente devido a resistência de carga R_o variar com a corrente.

$$V_{\text{saída}} = D V_{\text{entrada}} \sqrt{\frac{R_o}{2 f_s L_{\text{primário}}}} \quad (6.21)$$

Neste inversor *flyback* operando em modo descontínuo, a tensão de saída é vista como fonte de tensão ideal por estar interligado ao sistema de distribuição. O ângulo de condução D

deve compensar neste inversor apenas o nível de tensão de entrada e a forma senoidal da corrente modulada pelo dispositivo.

Para garantir o modo descontinuo, a equação (6.22) deve ser satisfeita. Essa equação define o ângulo máximo de condução ou largura de pulso máxima na carga.

$$\psi_{\text{máx}} = 1 - D_{\text{máx}} = 0,55 \quad (6.22)$$

6.3.5 - CÁLCULO DA RELAÇÃO DE TRANSFORMAÇÃO

A relação de transformação n é calculada com a equação (6.23), esse valor é utilizado para o cálculo da corrente de pico nos enrolamentos secundários L_3 e L_4 , valor eficaz e numero de espiras necessárias para proporcionarem a tensão média de 180volts na saída.

$$n = \left(\frac{D_{\text{máx}}}{1 - D_{\text{máx}}} \right) \frac{V_{i_{\text{min}}}}{V_{ca}} = 0,387 \quad (6.23)$$

6.3.6 - CÁLCULO DA CORRENTE DE PICO NO INDUTOR L_3 E L_4

Essa corrente que circulam por L_3 e L_4 são as mesmas passam pelos diodos D_5 e D_6 respectivamente. Os pulsos de correntes I_{L3} e I_{L4} ocorrem durante meio ciclo da frequência da rede CA e de forma alternada entre elas. A equação (6.24) apresenta o valor máximo dessa corrente em relação a corrente I_{L2} máxima calculada.

$$I_{\text{máx}_{L3}} = I_{\text{máx}_{L4}} = n \times I_{\text{máx}_{L2}} = 2,036A \quad (6.24)$$

6.3.6.1 - CÁLCULO DA INDUTÂNCIA L_3 E L_4

Desprezando perdas no núcleo, a indutância de L_3 que é igual a de L_4 é calculada por:

$$L_3 = L_4 = \left(\frac{1}{n} \right) L_2 = 2,251 \times 10^{-3} H \quad (6.25)$$

6.3.6.2 - CÁLCULO DA CORRENTE EFICAZ NO INDUTOR L_3 E L_4

A corrente que circula pelos diodos D_5 e D_6 apresenta características semelhantes da corrente que circula pelo primário do transformador, sendo possível fazer as mesmas

considerações que foram feitas ao sinal de I_{L2} . Desprezando as perdas no núcleo pode-se calcular a correntes eficazes de I_{L3} e I_{L4} bastando apenas multiplicar a relação de transformação para cada pulso gerado.

$$I_{L_{3\text{eficaz}}} = I_{L_{4\text{eficaz}}} = \sqrt{\frac{n}{N \times T_s} \times \sum_{n=1}^{N/2} \frac{V^2 \times [D(t_n) \times T_s]^3}{3 \times L_2^2}} = 0,584A \quad (6.26)$$

Neste calculo, a soma discreta tem um intervalo que compreende de $n=1$ até $N/2$, pois como foi demonstrado no item Modos de Operação do Inversor *Flyback* a Quatro Transistores, Figura 4.17, cada diodo, conduz apenas meio ciclo da rede CA, no período em que os transistores S_3 ou S_4 estão conduzindo e permanecendo sob polarização reversa no outro semiciclo.

6.3.6.3 - CÁLCULO DA ÁREA DO COBRE PARA OS CONDUTORES DOS INDUTORES L_3 E L_4

A área de cobre necessária para conduzir com segurança as correntes de L_3 e L_4 é calculada pela equação (6.27). A corrente eficaz que passa por L_3 e L_4 são determinadas pela equação (6.26) e a densidade j_{L2} pela equação (6.10).

$$S_{\text{Cobre}_{L_3}} = S_{\text{Cobre}_{L_4}} = \frac{I_{\text{rms}_{L_3}}}{j_{L_2}} = 1,511 \times 10^{-3} \text{ cm}^2 \quad (6.27)$$

O número de condutores correspondente a uma espira dos enrolamentos secundários é encontrado dividindo o valor da equação (6.27) pela área do condutor AWG28 contido na Tabela 6.4. O resultado apresentado na equação (6.28).

$$n^{\circ}_{\text{condutores}} = \frac{S_{\text{Cobre}_{L_3}}}{\text{AWG28}} = 1,866 \cong 2 \quad (6.28)$$

6.3.6.4 - CÁLCULO DO NÚMERO DE ESPIRAS PARA O INDUTOR L_3 E L_4

O número de espiras necessário para obter a indutância L_3 e L_4 de entreferros μ_{eL3} e μ_{eL4} é dado pela equação (6.29).

$$n^{\circ}_{\text{espiras}_{L_3}} = n^{\circ}_{\text{espiras}_{L_4}} = \frac{n^{\circ}_{\text{espiras}_{L_3}}}{n} = 85,235 \cong 85 \quad (6.29)$$

6.3.6.5 - CÁLCULO DA CORRENTE EFICAZ FORNECIDA A REDE CA

A corrente fornecida pelo inversor a rede CA pode ser calculada a partir da equação (6.30). Levando em consideração apenas a relação de potência entre o a entrada e saída com um rendimento do inversor estimado de 70%. Essa corrente é necessária para o dimensionamento do capacitor de filtro de saída C_4 .

$$I_o = \frac{P_{in} \times \eta}{V_{ca} / \sqrt{2}} = 0,554A \quad (6.30)$$

6.3.6.6 - CÁLCULO DA CAPACITÂNCIA DE SAÍDA C_4

A tensão no capacitor C_4 possui uma envoltória senoidal. Estipulando uma variação da tensão ΔV_{C4} igual a 5V em torno da envoltória senoidal, pode-se calcular um valor estimado da capacitância C_4 , através da equação (6.31).

$$C_4 = \frac{n \times I_{máx_{L2}} - I_o^2 \times \sqrt{\frac{2 \times f_s \times L_2 \times P_{in}}{n \times V_{i_{min}}^2}}}{2 \times n \times I_{máx_{L2}} \times \Delta V_{C4} \times f_s} = 6,716 \times 10^{-6} F \quad (6.31)$$

A corrente eficaz que circula pelo capacitor pode ser deduzida por:

$$I_{rms_{C4}} = \sqrt{D_{máx} \times I_o^2 + \frac{1}{3} \times \sqrt{\frac{2 \times f_s \times L_{3,4} \times P_{in}}{n \times V_{i_{min}}^2}} \times \left[\frac{I_{máx_{L3,4}}^2}{n \times I_{máx_{L2}}} + \left(1 - \frac{I_o}{n \times I_{máx_{L2}}} \right) \times n^2 \times I_{máx_{L2}}^2 \right]} = 1,813A \quad (6.32)$$

E a resistência série equivalente, em função da variação de tensão estipulada sobre C_4 e a corrente pulsante $I_{L3,4}$.

$$RSE = \frac{\Delta V_{C4}}{I_{máx_{L3,4}}} = 0,951\Omega \quad (6.33)$$

6.3.6.7 - DIMENSIONAMENTO DO TRANSISTOR DE POTÊNCIA S_1 E S_2

Os transistores S_1 e S_2 devem apresentar os parâmetros calculados a seguir. Tendo em mente um elemento interruptor do tipo TJB, MOSFET ou IGBT, a corrente de pico, a corrente eficaz, a máxima tensão reversa e a potência total dissipada pelo componente são os itens mais importantes para escolha do semiconductor mais adequado a aplicação.

$$I_{ch_{m\acute{a}x}} = I_{m\acute{a}x_{L_2}} = 5,26A \quad (6.34)$$

$$I_{ch_{eficaz}} = I_{L_2_{eficaz}} = 1,327A \quad (6.35)$$

$$V_{R_{ch}} = \frac{2 \times V_{i_{m\acute{a}n}}}{2} = 118,3V \quad (6.36)$$

O semicondutor escolhido foi o IRFP260N, por questões de disponibilidade do componente no almoxarifado do laboratório do NuEP e, por apresentar uma baixa resistência de condução R_{DSon} reduzindo as perdas durante a comutação e melhorando o rendimento do inversor. Da folha de dados temos: $t_r=60 \times 10^{-9}$ e $t_f=48 \times 10^{-9}$. A potência total dissipada por este semicondutor é calculada pela equação (6.37).

$$P_{T_{ch}} = \frac{V_{i_{m\acute{a}n}} - V_{ca} \times I_{m\acute{a}x_{L_2}} \times t_r \times f_s}{2} = 1,743W \quad (6.37)$$

o semicondutor utilizado apresenta as características:

MOSFET - IRFP260N ($I_D=50A$; $V_{DSS}=200V$; $I_{DPK}=200A$; $R_{DSon}=0,04\Omega$)

6.3.6.8 - DIMENSIONAMENTO DO TRANSISTOR DE POTÊNCIA S_3 E S_4

Os transistores S_3 e S_4 operam em baixa frequência, e apresenta corrente eficaz e corrente de pico iguais as dos diodos D_5 e D_6 respectivamente.

$$I_{ch_{m\acute{a}x}} = I_{m\acute{a}x_{L_{3,4}}} = 2,036A \quad (6.38)$$

$$I_{ch_{eficaz}} = I_{L_{3,4}_{eficaz}} = 0,584A \quad (6.39)$$

$$V_{R_{ch}} = V_{ca} + \frac{V_{i_{m\acute{a}n}}}{n} = 638,725V \quad (6.40)$$

O semicondutor escolhido foi o IRFP460, pelos mesmos motivos citados aos transistores S_1 e S_2 . Da folha de dados temos: $t_r=15 \times 10^{-9}$ e $t_f=25 \times 10^{-9}$. A potência total dissipada por este semicondutor é calculada pela equação (6.41).

$$P_{T_{ch}} = \frac{V_{i_{m\acute{a}n}} - V_{ca} \times I_{m\acute{a}x_{L_{3,4}}} \times t_r \times f_{ca}}{2} = 0,3375 \times 10^{-3}W \quad (6.41)$$

o semicondutor utilizado apresenta as características:

MOSFET – IRFP460 ($I_D=20A$; $V_{DSS}=500V$; $I_{DPK}=80A$; $R_{DSon}=0,22\Omega$)

6.3.6.9 - DIODO DE DESMAGNETIZAÇÃO D₂ E D₄

Para o diodo de desmagnetização deve-se utilizar um diodo do tipo *UltraFast*, com uma corrente de pico da ordem de 20% da corrente de pico do primário. Portanto, tem-se:

$$I_{D_{2,4}} = 1,5 \times 0,2 I_{máx_{L_2}} = 1,578A \quad (6.42)$$

A máxima tensão reversa é duas vezes a tensão de entrada, porém os diodos de desmagnetização são colocados em série, onde pode-se dividir essa tensão por dois resultando na própria tensão de entrada.

$$V_{RD_{2,4}} = \frac{2 \times V_{i_{min}}}{2} = 118,3V \quad (6.43)$$

o semicondutor utilizado apresenta as características:

HFA08TB60 *UltraFast Rectifier* ($I_{F(av)}=8A$; $V_{RRM}=600V$; $I_{FSM}=60A$)

6.3.7 - PERDAS NOS DIODOS D₅ E D₆

Considerando uma tensão de condução V_F de 1,4V, as perdas nos diodos podem ser calculadas por:

$$P_{D_{5,6} \text{ condução}} = V_F \times I_{L3,4 \text{ eficaz}} = 0,817W \quad (6.44)$$

$$V_{RD_{5,6}} = V_{ca} + \frac{V_{i_{min}}}{n} = 638,725V \quad (6.45)$$

o semicondutor utilizado apresenta as características:

APT15D100K *UltraFast Rectifier* ($I_{F(av)}=15A$; $V_{RRM}=1000V$; $I_{FSM}=80A$)

6.3.8 - PERDAS NO TRANSFORMADOR

Calculando a resistência ôhmica do enrolamento primário e desprezando as perdas por correntes de Foucault e de magnetização, podem ser calculadas as perdas aproximadas no transformador.

$$R_p = \frac{I_o \times V_{ca}}{I_{máx_{L_2}}^2 \times \sqrt{2}} = 3,542\Omega \quad (6.46)$$

$$R_s = \frac{R_p}{n^2} = 23,633\Omega \quad (6.47)$$

$$P_{TRcondução} = \frac{R_s \times I_{L_{2eficaz}}^2}{6} = 6,937W \quad (6.48)$$

$$\Delta B = \frac{\sqrt{\frac{2nP_{in}A_{L_2}}{f_s}}}{2A_e} = 1,255 \times 10^{-5} T \quad (6.49)$$

Onde R_p representa a resistência do primário, R_s do secundário, $P_{TRcondução}$ a potência dissipada no transformador e ΔB a variação da intensidade de fluxo magnético.

portanto, as características do transformador são:

- Núcleo do transformador:

EE-42/21/15

- Primário do transformador:

33 espiras – 4 fios AWG28 – 337μH – $R_{primário}$ 3,5Ω

- Secundário do transformador:

85 espiras – 2 fios AWG28 – 2,25mH – $R_{secundário}$ 23,6Ω

6.3.9 - DIMENSIONAMENTO DO FILTRO DE ENTRADA

O indutor L_1 é denominado de indutor de filtro de entrada L_{fin} . Sua função é evitar que interferências causadas pelo chaveamento dos transistores cheguem aos painéis fotovoltaicos.

- Cálculo da energia armazenada nos indutores L_{fin} :

$$E_{L_{fin}} = \frac{P_{in}}{f_s} = 4,667 \times 10^{-3} J \quad (6.50)$$

$$L_{fin} = \frac{2E_{L_{fin}}}{I_{máx_{L_2}}} = 3,374 \times 10^{-4} H \quad (6.51)$$

- Cálculo de A_p para L_{fin} :

$$A_{p_{L_{fin}}} = \left[\frac{2E_{L_{fin}} \times 10^4}{k_u \times k_j \times B_{máx}} \right]^z = 1,797 cm^4 \quad (6.52)$$

- Cálculo da densidade de corrente no fio dos indutores L_{fin} :

$$j_{L_{fin}} = k_j \times A_{p_{L_{fin}}}^{-x} = 432,827 A / cm^2 \quad (6.53)$$

- Cálculo do entreferro para o núcleo do indutor L_{fin} :

sendo $\mu_o = 4\pi \times 10^{-7}$, $A_e = 1,81 cm^2$ e $l_e = 9,7 cm$

$$A_{l_{fin}} = \frac{A_{ef} \times 10^{-4} \times B_{máx}^2}{2 \times E_{l_{fin}}} = 3,159 \times 10^{-7} H / esp^2 \quad (6.54)$$

$$\mu_{e_{l_{fin}}} = \frac{A_{l_{fin}} \times l_{ef} \times 10^{-2}}{\mu_o A_{ef} \times 10^{-4}} = 134,724 \quad (6.55)$$

$$l_{g_{l_{fin}}} = \frac{l_{ef} \times 10}{\mu_{e_{l_{fin}}}} = 0,72mm \quad (6.56)$$

- Cálculo da área do cobre para o núcleo do indutor L_{fin} :

$$S_{Cobre_{L_{fin}}} = \frac{I_{L_{eficaz}}}{j_{L_{fin}}} = 3,066 \times 10^{-3} cm^2 \quad (6.57)$$

$$n^o_{condutores} = \frac{S_{Cobre_{L_{fin}}}}{AWG28} = 3,785 \cong 4 \quad (6.58)$$

- Cálculo do número de espiras para os núcleos do indutor L_{fin} :

$$n^o_{espiras_{L_{fin}}} = \sqrt{\frac{L_{fin}}{A_{l_{fin}}}} = 32,68 \cong 33 \quad (6.59)$$

6.3.10 - DIMENSIONAMENTO DO FILTRO DE SAÍDA

O indutor L_5 é denominado de indutor de filtro de saída L_{fout} . Sua função é tornar a saída do inversor em uma fonte de corrente ou de características bem próximas de uma.

- Cálculo da energia armazenada nos indutores L_{fout} :

$$E_{L_{fout}} = \frac{P_{out}}{f} = 3,267 \times 10^{-3} J \quad (6.60)$$

$$L_{fout} = \frac{2E_{L_{fin}}}{I_{máx_{L_{3,4}}}} = 1,576 \times 10^{-3} H \quad (6.61)$$

- Cálculo de A_p para L_{fout} :

$$A_{p_{L_{fout}}} = \left[\frac{2E_{L_{fout}} \times 10^4}{k_u \times k_j \times B_{máx}} \right]^z = 1,198 cm^4 \quad (6.62)$$

- Cálculo da densidade de corrente no fio dos indutores L_{fout} :

$$j_{L_{fout}} = k_j \times A_{p_{L_{fout}}}^{-x} = 454,399 A / cm^2 \quad (6.63)$$

- Cálculo do entreferro para o núcleo do indutor L_{fout} :

sendo $\mu_o = 4\pi \times 10^{-7}$, $A_e = 1,2 cm^2$ e $l_e = 6,7 cm$

$$A_{l_{L_{fout}}} = \frac{A_{ef} \times 10^{-4} \times B_{máx}^2}{2 \times E_{L_{fout}}} = 2,204 \times 10^{-8} H / esp^2 \quad (6.64)$$

$$\mu_{e_{L_{fout}}} = \frac{A_{l_{L_{fout}}} \times l_{ef} \times 10^{-2}}{\mu_o A_{ef} \times 10^{-4}} = 21,486 \quad (6.65)$$

$$l_{g_{L_{fout}}} = \frac{l_{ef} \times 10}{\mu_{e_{L_{fout}}}} = 2,281 mm \quad (6.66)$$

- Cálculo da área do cobre para o núcleo do indutor L_{fout} :

$$S_{Cobre_{L_{fout}}} = \frac{I_{L_{3,A_{eficaz}}}}{j_{L_{fout}}} = 1,285 \times 10^{-3} cm^2 \quad (6.67)$$

$$n^o_{condutores} = \frac{S_{Cobre_{L_{fout}}}}{AWG28} = 1,581 \cong 2 \quad (6.68)$$

- Cálculo do número de espiras para os núcleos do indutor L_{fout} :

$$n^o_{espiras_{L_{fout}}} = \sqrt{\frac{L_{fout}}{A_{l_{L_{fout}}}}} = 267,361 \cong 267 \quad (6.69)$$

6.4 - SIMULAÇÃO DO CIRCUITO INVERSOR *FLYBACK*

Os resultados obtidos através do desenvolvimento analítico, realizado nos capítulos anteriores para o inversor, geram o projeto dos circuitos de potência, comando e controle para a estrutura do inversor *flyback* a quatro transistores.

Visando confirmar estes resultados teóricos, o circuito do inversor foi simulado através de um programa computacional “PSPICE”. Para efeitos de simulação, consideraram-se ideais todos os elementos passivos e alguns dos modelos dos dispositivos semicondutores. As aquisições das formas de onda relevantes foram efetuadas para um período de chaveamento após o fim do regime transitório de simulação.

O modelo do sistema fotovoltaico simulado é o modelo real apresentado no item 2.4 do Capítulo 2, consiste de sete módulos em série e com especificação nominal de cada

módulo de 20W, 16,9V e 1,2A, para a condição de potência máxima. Para a operação do sistema a plena carga, a tensão de entrada no inversor foi fixada em 118V. Sendo, para tais condições, a máxima potência do sistema é de 140W. Este sistema é conectado a uma rede de distribuição monofásica de 127V, que está alimentando uma carga resistiva de 250Ω.

6.4.1 - ESPECIFICAÇÕES

Os parâmetros dos principais elementos que compõem o inversor *flyback* a quatro transistores, que são utilizados na simulação, estão relacionados na Tabela 6.5.

Tabela 6.5 – Parâmetros do circuito *flyback* calculados.

Parâmetros	Símbolo	Valor
Tensão DC de entrada	$V_{i_{\min}}$	118V
Tensão de pico de saída	V_{ca}	250V
Frequência da rede CA	f_o	60Hz
Razão cíclica	$D_{\max}$	0,45
Frequência de chaveamento	f_s	30kHz
Capacitor de entrada	C_1	820uF
Capacitor de saída	C_4	2,7uF
Indutância de entrada	L_1	337uH
Indutância do primário	L_2	500uH
Indutância do secundário	L_3	4mH
Indutância do secundário	L_4	4mH
Indutância de saída	L_5	500uH
Taxa de amostragem	20kHz	
Resolução em Bits	<i>float</i>	

6.4.2 - RESULTADOS DE SIMULAÇÃO

A Figura 6.1, representa o modelo do sistema fotovoltaico simulado em PSPICE. As características são próximas de um painel fotovoltaico. O índice de iluminação incidente nos painéis é representado por uma queda do fluxo de corrente e conseqüentemente uma redução do fluxo de potência.

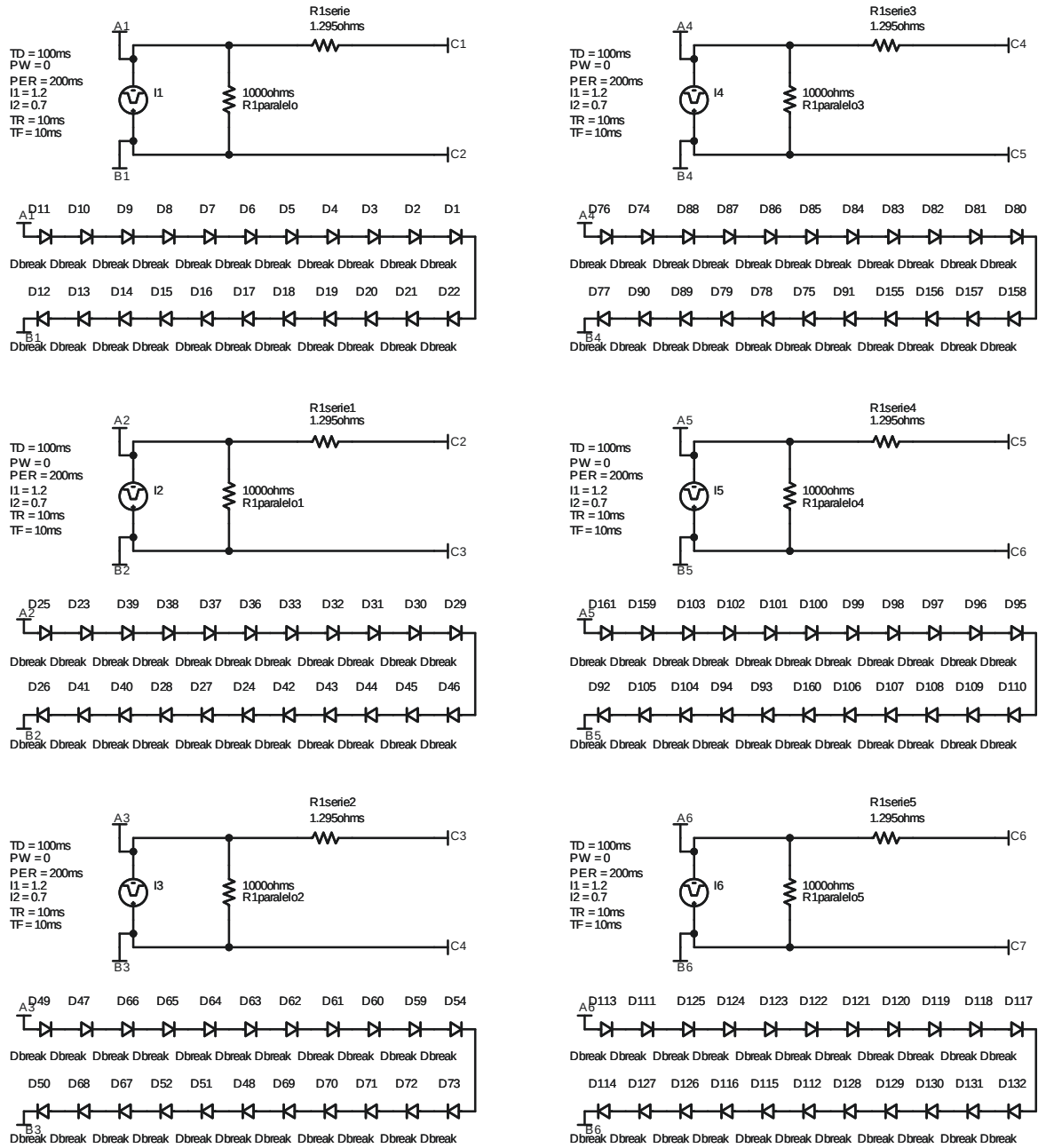


Figura 6.1 – Modelo do sistema fotovoltaico simulado em PSPICE.

Na Figura 6.2, é ilustrado o circuito de potência e de controle do inversor. Os sinais de aquisição e o próprio controle são realizados em tempo real, diferente do programado no dispositivo FPGA, porém para análise do comportamento dos dispositivos semicondutores é de grande importância.

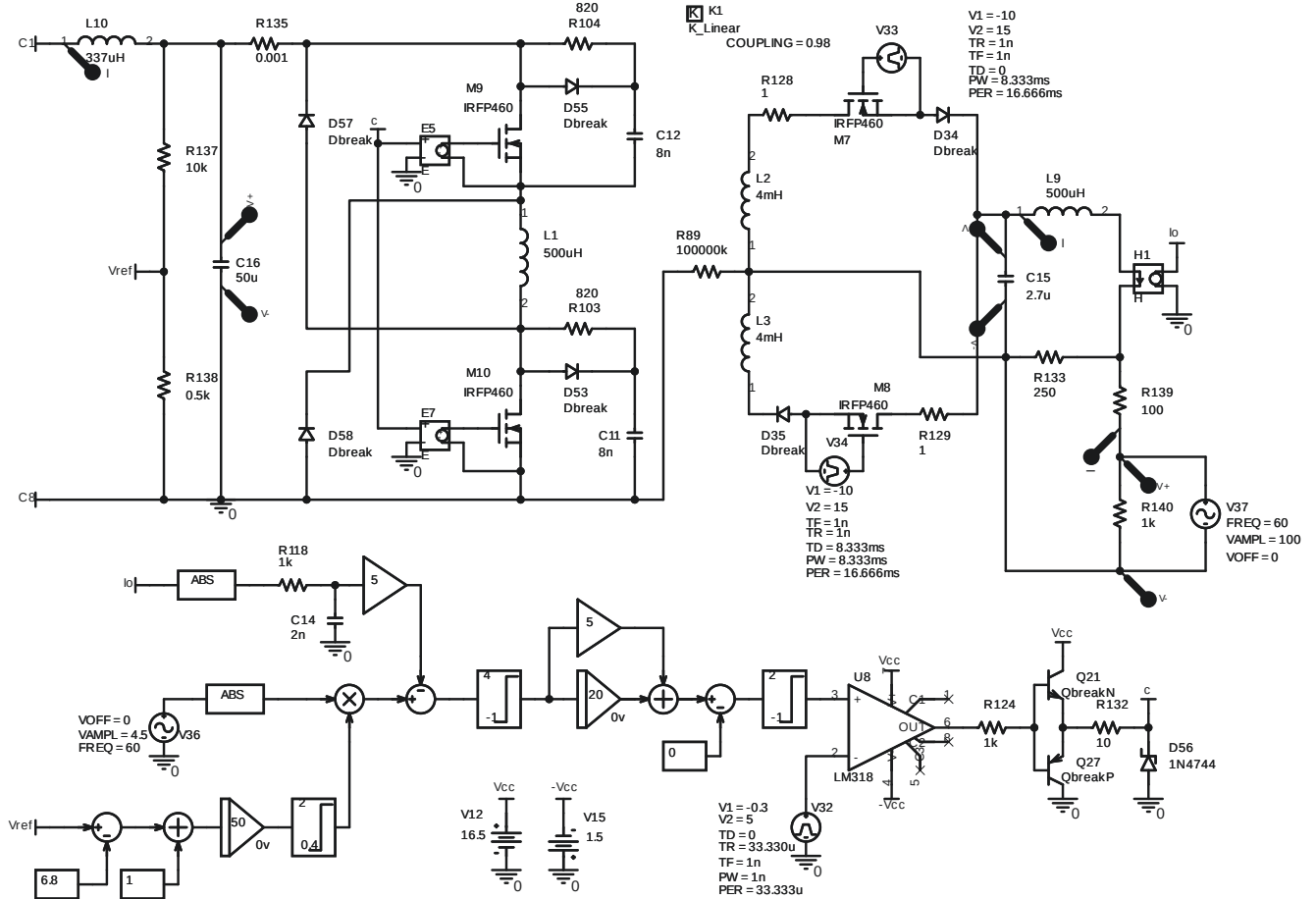


Figura 6.2 – Circuito de potência e controle do inversor simulado em PSPICE.

Os resultados obtidos em regime permanente são mostrados na Figura 6.3 à Figura 6.10, e estão arranjados em dois grupos de três etapas cada: no primeiro grupo os resultados são para o inversor alimentando a carga sem estar conectado a rede de distribuição; no segundo temos o inversor conectado a carga e a rede CA; onde é exposto para cada grupo o caso 1, para um índice de insolação suficiente para que os painéis forneçam $111,607\text{W/m}^2$, correspondendo ao ponto de potência máxima; caso 2, para um índice de insolação de 70% do ponto de potência máxima e caso 3 para representar a resposta transitória do sistema analisado, levando em consideração um degrau de variação no índice de insolação ou a corrente associada ao sistema fotovoltaico.

Grupo 1 – Inversor conectado somente a carga.

- Caso 1: Regime permanente com índice de insolação suficiente para que os painéis forneçam $111,607\text{W/m}^2$.

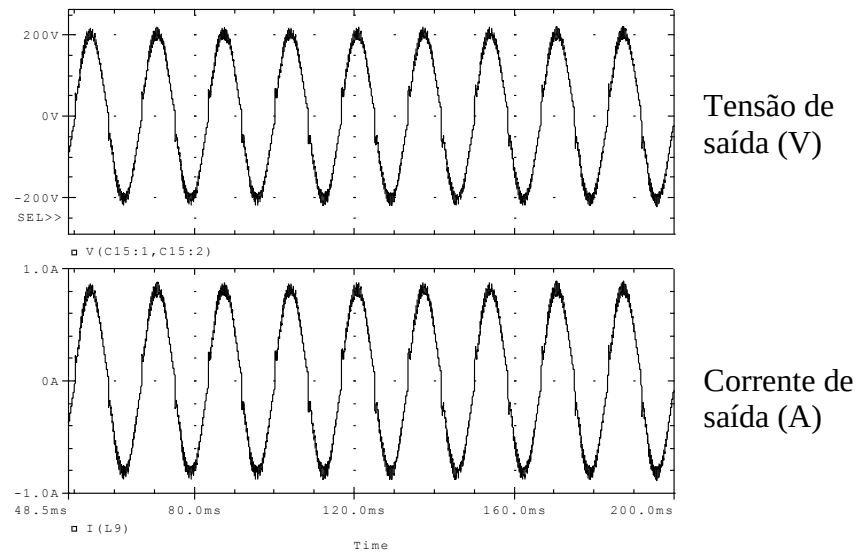


Figura 6.3 – Tensão e corrente de saída do inversor para o ponto de máxima potência.

No caso 1, o sistema fotovoltaico está operando com índice de insolação máxima. O sistema fotovoltaico está suprindo uma corrente eficaz de 529,3mA à carga através do inversor na tensão eficaz de 132,3V, como mostrado na Figura 6.3. Assim, estes painéis conectados em série alimentam uma carga de 250Ω .

- Caso 2: Regime permanente com índice de insolação para 70% de $111,607\text{W/m}^2$.

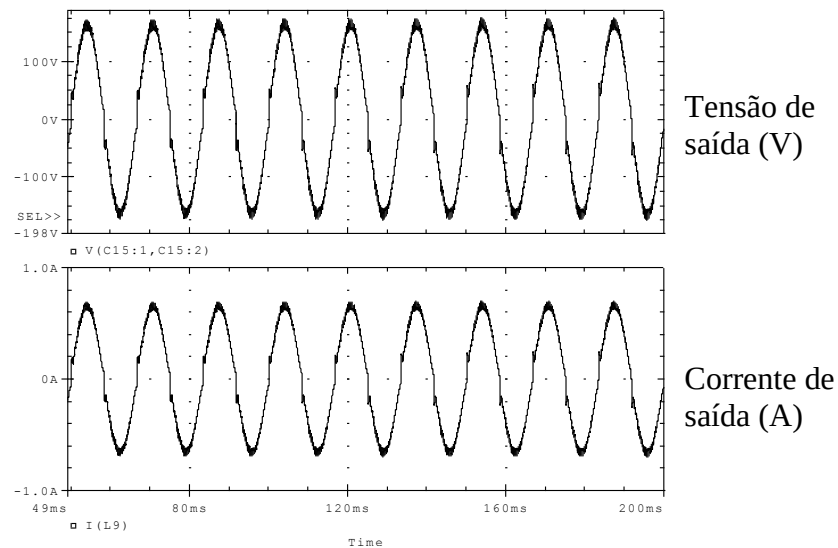


Figura 6.4 – Tensão e corrente de saída do inversor a 70% do ponto de máxima potência.

No caso 2, o sistema fotovoltaico está suprindo uma corrente eficaz de 430,8mA para a carga, através do inversor, para uma tensão eficaz de 107,4V, como mostrado na Figura 6.4.

- Caso 3: Resposta transitória devido a uma mudança no índice de insolação.

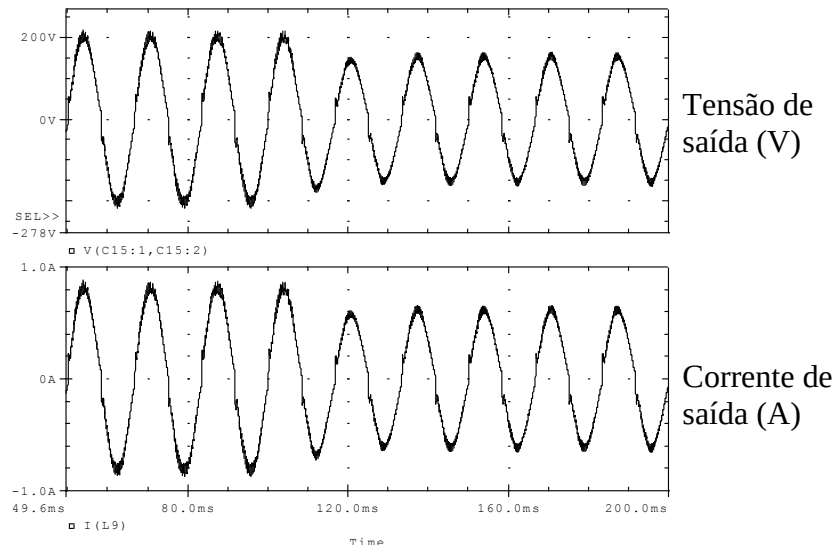


Figura 6.5 – Tensão e corrente de saída do inversor sob uma resposta transitória.

Conforme mostrado na Figura 6.5, a corrente fornecida pelo sistema fotovoltaico ao barramento CC do inversor sofreu uma considerável alteração, de 1,2A para 0,7A, devido à mudança no índice de insolação representado por uma variação do valor estimado da fonte de corrente, Figura 6.1, no circuito modelo dos painéis utilizados em simulação.

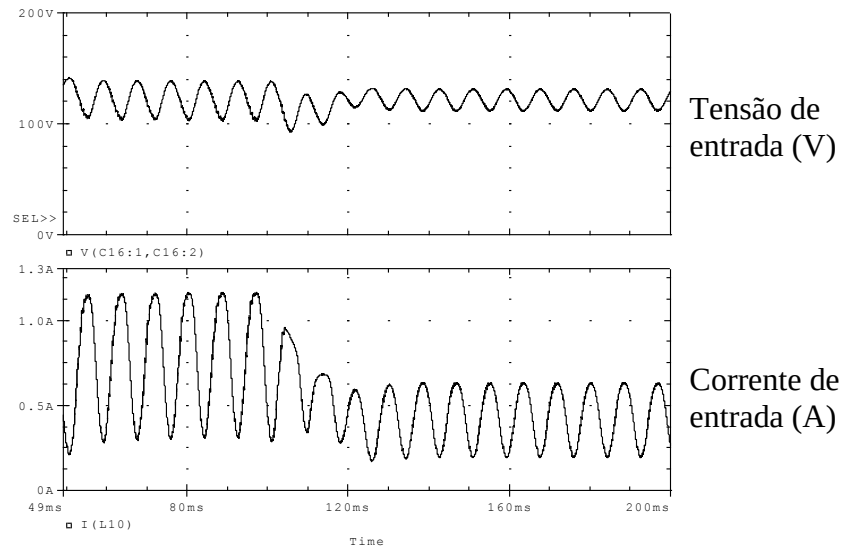


Figura 6.6 – Tensão e corrente de entrada do inversor sob uma resposta transitória.

É observado na Figura 6.6 que a tensão no barramento CC do inversor sofreu uma leve oscilação quando o índice de insolação variou, e então retornou para faixa próxima de 118V, que é a tensão de operação para o ponto de potência máxima.

Grupo 2 – Inversor conectado a carga e a rede de distribuição.

- Caso 1: Regime permanente com índice de insolação suficiente para que os painéis forneçam $111,607\text{W/m}^2$.

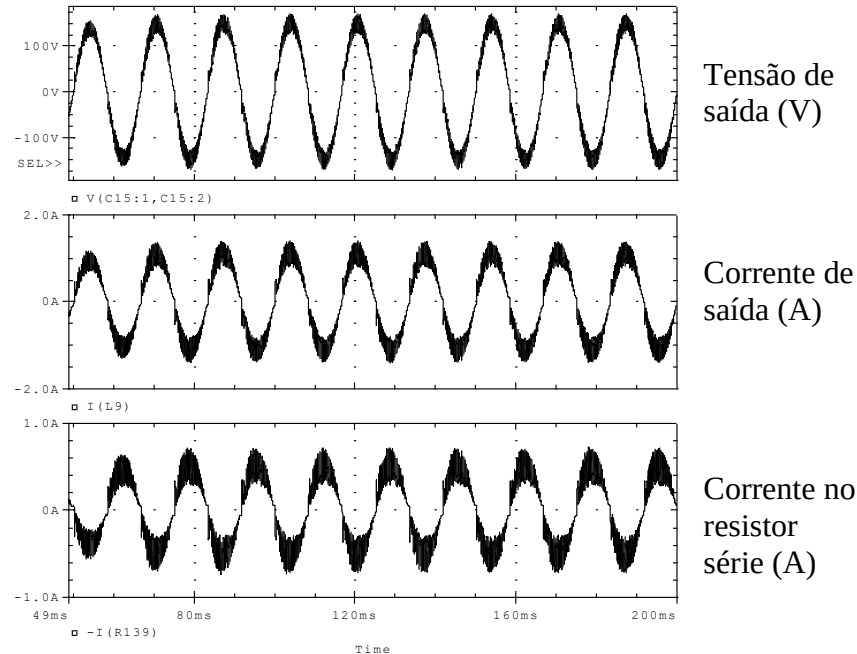


Figura 6.7 – Tensão e corrente de saída do inversor conectado a rede CA e corrente no resistor série.

No caso 1, o sistema fotovoltaico está operando com índice de insolação máximo. O sistema fotovoltaico está suprindo uma corrente eficaz de 705,0mA à carga através do inversor, para uma tensão eficaz de 99,2V, como mostrado na Figura 6.7. É observado também que a rede elétrica está recebendo uma corrente de 323,2mA do inversor. Assim, estes painéis conectados em série alimentam uma carga de 250Ω e própria rede de distribuição.

O procedimento para conexão do inversor a rede CA e carga exigiu a inclusão de um transformador de baixa frequência para elevar o sinal de tensão gerado pelo inversor. Os primeiros resultados demonstravam que sem uma elevação dessa tensão o inversor é incapaz de injetar potência a carga pelo fato da tensão da rede forçar um fluxo de energia contrário ao desejado.

O fluxo de corrente entregue a rede CA é amostrado através de um resistor série (R139) colocado entre inversor e a rede, como ilustrado na Figura 6.2.

- Caso 2: Regime permanente com índice de insolação para 70% de $111,607\text{W/m}^2$.

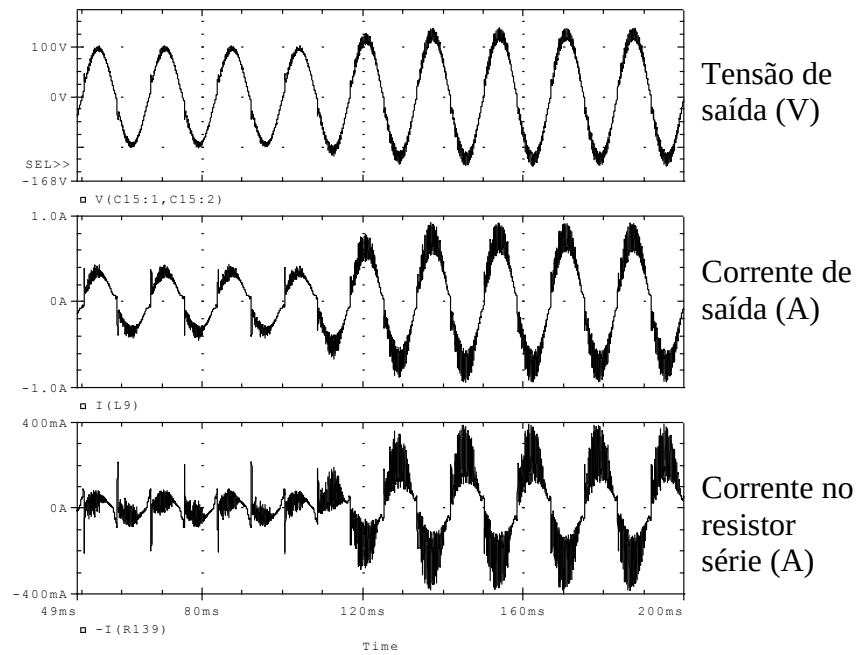


Figura 6.8 – Tensão e corrente de saída do inversor conectado a rede CA a 70% do ponto de máxima potência e corrente no resistor série.

No caso 2, o sistema fotovoltaico está suprindo uma corrente eficaz de 390,7mA para a carga, através do inversor, para uma tensão eficaz de 76,9V, como mostrado na Figura 6.8. E a rede elétrica recebendo uma corrente de 123,1mA do inversor. Pela falta de potência o controle leva algum tempo para ajustar a saída ao ponto ótimo de operação.

- Caso 3: Resposta transitória devido a uma mudança no índice de insolação.

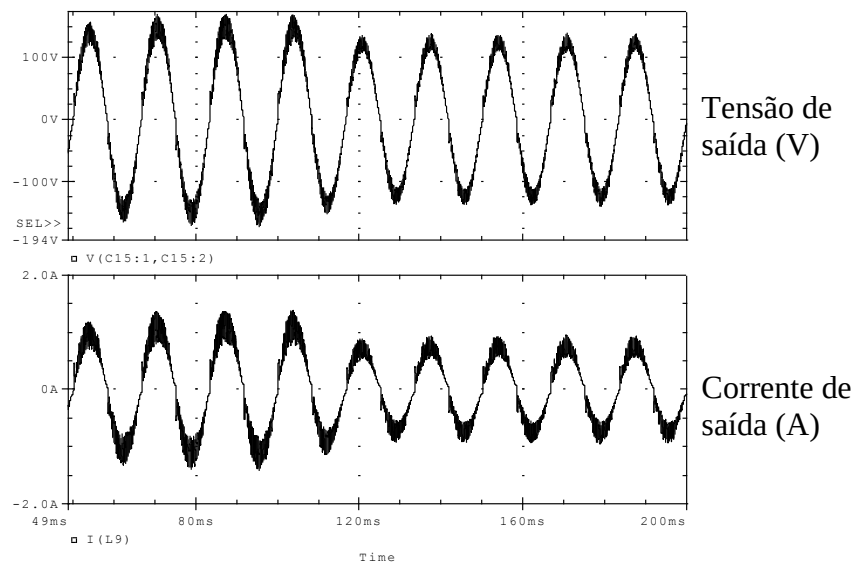


Figura 6.9 – Tensão e corrente de saída do inversor conectado a rede CA sob uma resposta transitória.

Conforme mostrado na Figura 6.9, a corrente fornecida pelo sistema fotovoltaico ao barramento CC do inversor sofreu uma considerável alteração, de 1,2A para 0,7A, devido à mudança no índice de insolação representado por uma variação do valor estimado da fonte de corrente, Figura 6.1, no circuito modelo dos painéis utilizados em simulação.

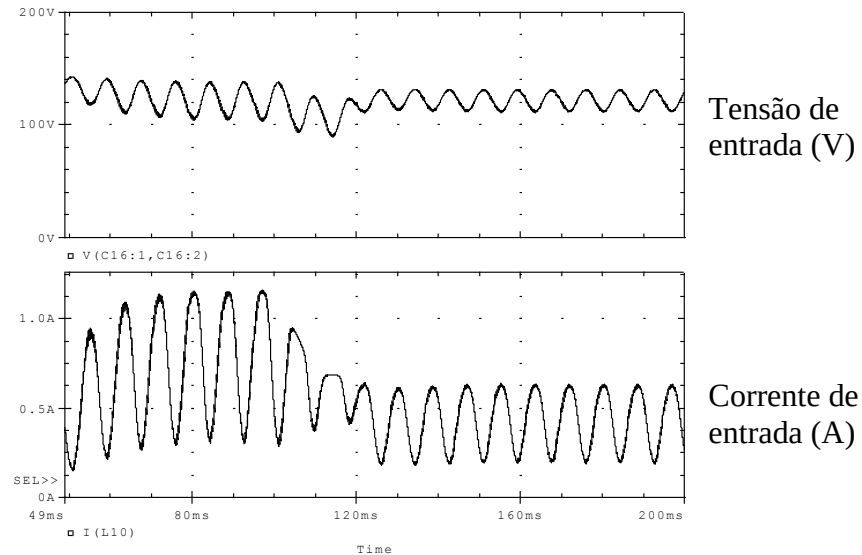


Figura 6.10 – Tensão e corrente de entrada do inversor conectado a rede CA sob uma resposta transitória.

É observado na Figura 6.10 que a tensão no barramento CC do inversor sofreu uma leve oscilação quando o índice de insolação variou, e então retornou para faixa próxima de 118V, que é a tensão de operação para o ponto de potência máxima.

6.5 - IMPLEMENTAÇÃO DO PROTÓTIPO

Foram necessários para implementação do protótipo: o circuito de condicionamento do dispositivo FPGA, de aquisição, de comando dos transistores e principalmente o circuito de potência onde a topologia do inversor *flyback* é acondicionada. Neste trabalho, utilizou-se de fontes lineares para alimentação individual de cada circuito sem a preocupação inicial de obter um projeto compacto e economicamente viável, e sim um protótipo capaz de desenvolver o comportamento simulado em programa computacional.

- *Layout* do Circuito para o Dispositivo FPGA

O *layout* do circuito de condicionamento do dispositivo FPGA é apresentado na Figura 6.11. Nesta placa foram incluídos os circuitos de geração do *clock* necessário ao dispositivo e

o circuito de gravação via porta paralela para o cabo *ByteBlasterMV* (*Passive serial (PS)*), onde é feito o processo de comunicação e configuração do mesmo por meio do programa Quartus fornecido pelo próprio fabricante.

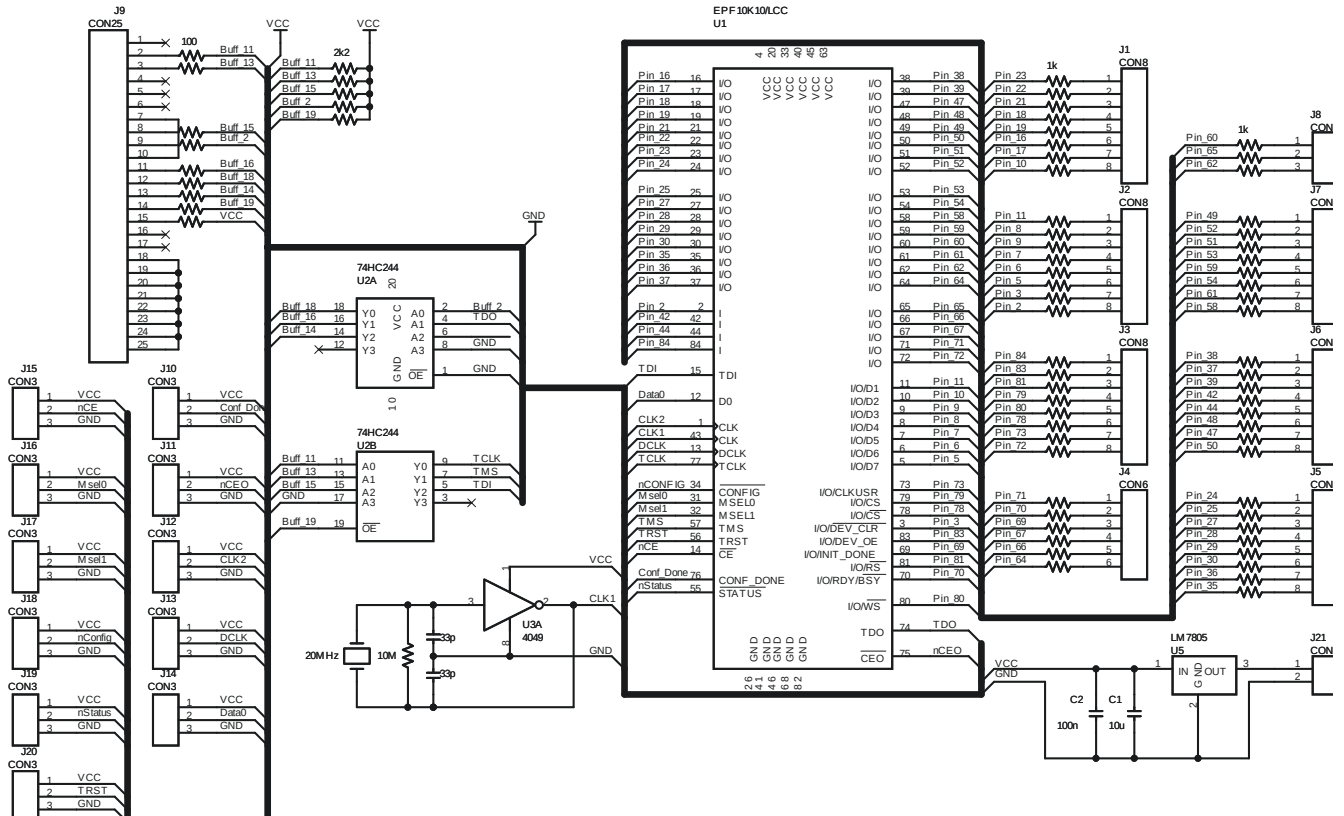


Figura 6.11 – Circuito de condicionamento do dispositivo FPGA desenvolvido no PSPICE.

O dispositivo FPGA da família FLEX 10K, apresenta apenas entradas de sinais digitais, para níveis lógicos 0 ou 1, sendo assim necessário a utilização de circuitos conversores analógicos digitais para interação com o meio externo que é na sua maioria analógico. O circuito da Figura 6.12, apresenta três circuitos com características específicas a sua função de operação. O primeiro deles é responsável pela aquisição do sinal de tensão V_{pv} gerado pelos painéis e, com o auxílio de um amplificador diferencial é possível ajustar o ganho e realizar um amostragem em que o terra da tensão seja diferente do terra do circuito de controle. O segundo circuito se encarrega de amostrar a corrente de saída do inversor, além do amplificador diferencial é utilizado um circuito retificador de precisão.

- *Layout* do Circuito de Aquisição

Cada circuito de aquisição dispõe de um indicador luminoso para sinalizar possíveis excessos de tensão nas entradas dos conversores A/D.

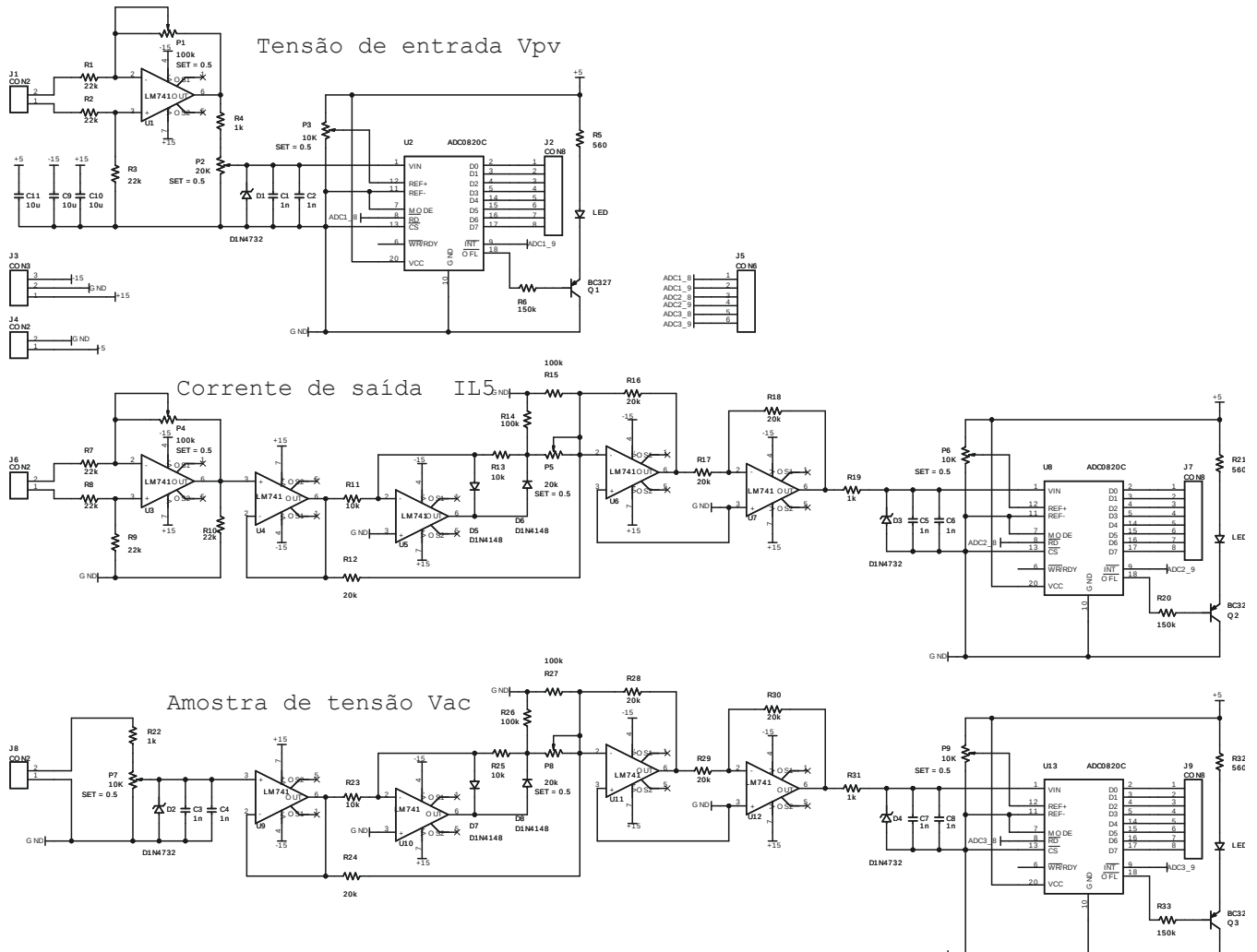


Figura 6.12 – Circuitos de aquisição de corrente de saída do inversor e, corrente e tensão dos painéis fotovoltaicos.

- Retificador de Alta Precisão

Este bloco possui a função de retificar o sinal amostrado com alta precisão, para tensões inferiores a 1volt. A Figura 6.13 destaca o circuito implementado na aquisição da tensão de referência e corrente de saída do inversor.

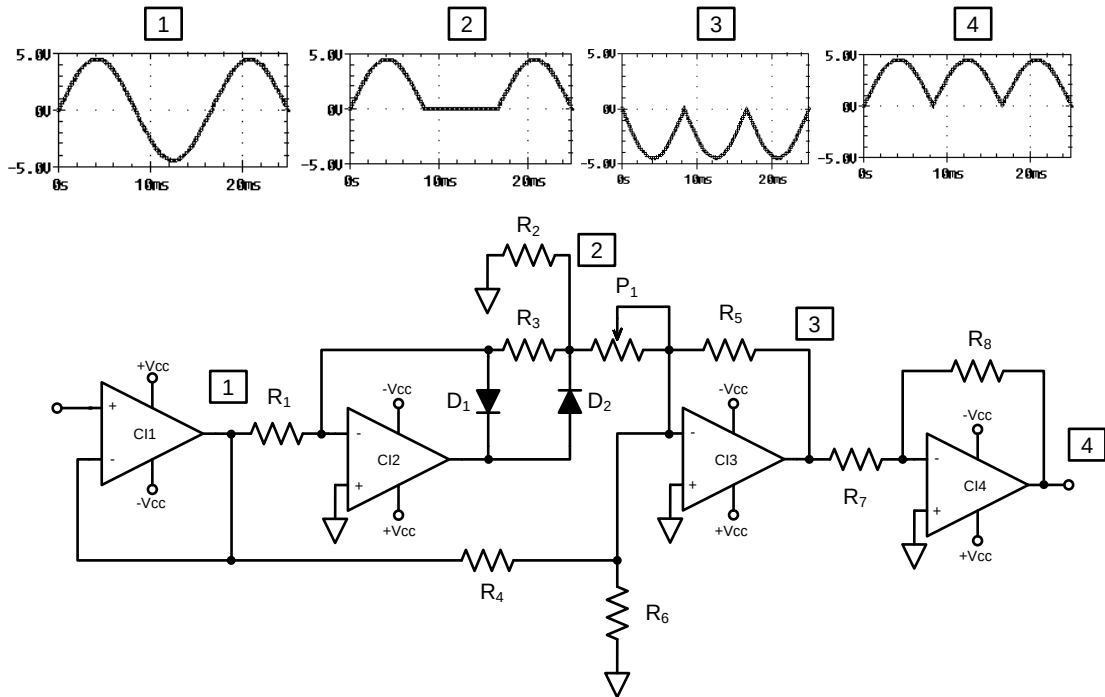


Figura 6.13 – Circuito do retificador de precisão para amostragem do sinal de tensão CA.

- *Layout* do Circuito de Comando dos Transistores

A Figura 6.14 apresenta o circuito esquemático de um dos circuitos de comando dos transistores, utilizado para as chaves S_1 , S_2 , S_3 e S_4 .

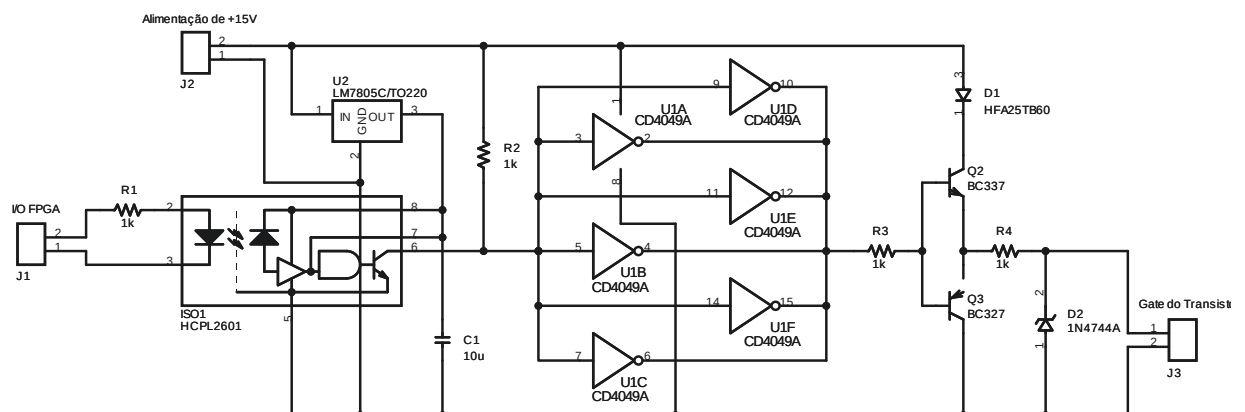


Figura 6.14 – Circuito de comando dos transistores.

- *Layout* do Circuito de Potência

A Figura 6.15 apresenta o circuito de potência do inversor. Neste esquema foram incluídas proteções contra sobrecarga na entrada e na saída (fusíveis), circuito de amostragem

e alimentação do sensor de corrente por efeito Hall (CON 3) e um divisor resistivo para amostragem da tensão de entrada e um resistor série para corrente.

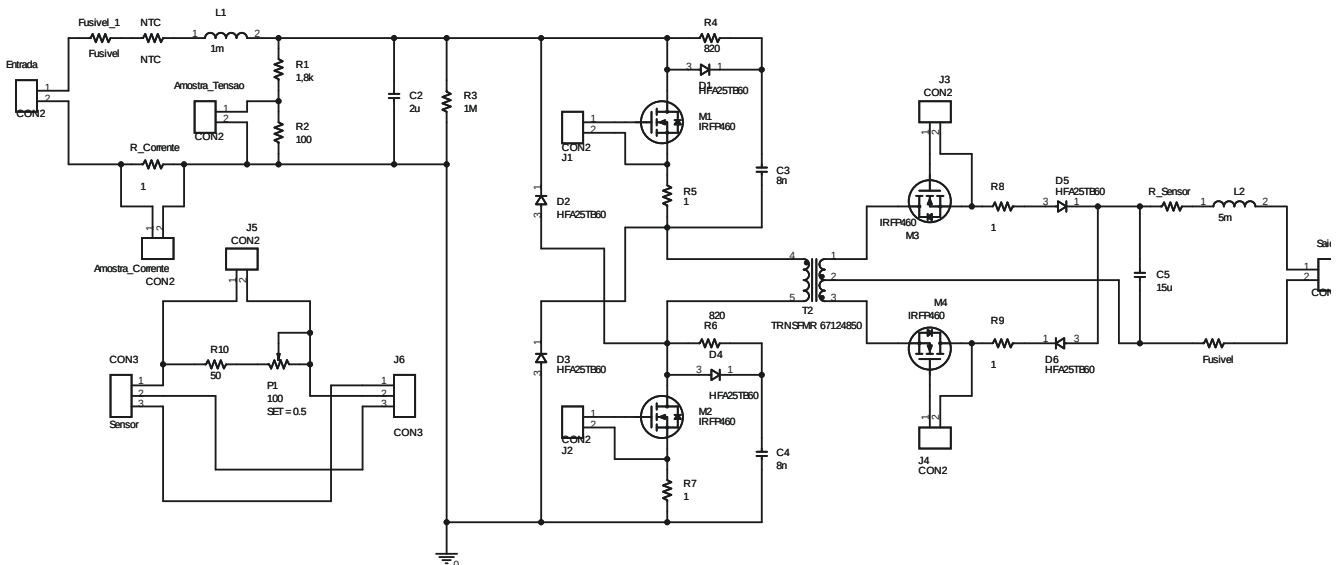


Figura 6.15 – Circuito do inversor *flyback*.

- O Protótipo

O circuito do protótipo montado em laboratório é apresentado na Figura 6.16. Foram feitas uma placa para o condicionamento do dispositivo FPGA, uma placa para aquisição e digitalização das amostras, uma placa para drives auxiliares, fonte de alimentação e o protótipo do inversor *flyback* a dois transistores.

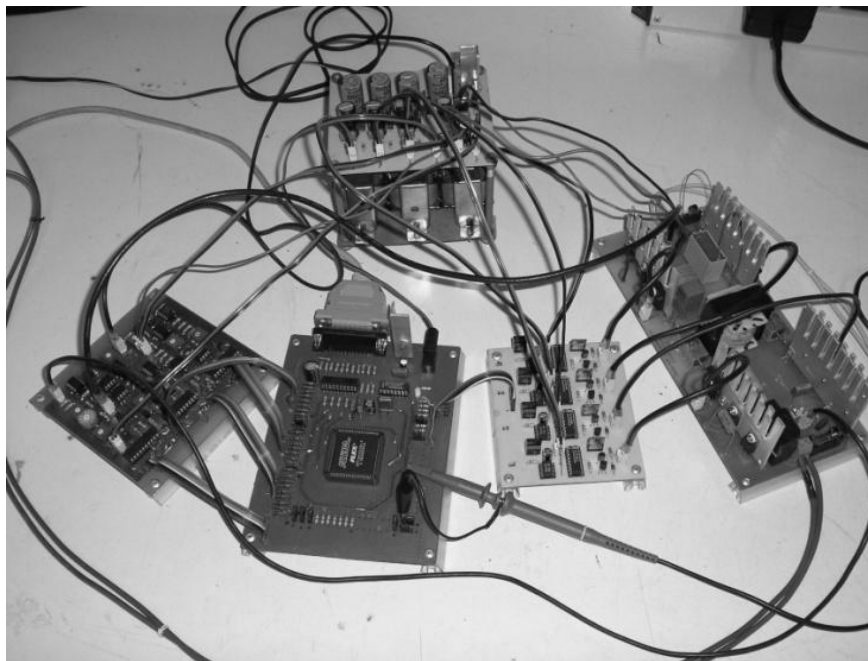


Figura 6.16 – Circuito do protótipo montado em laboratório.

6.6 - CONSIDERAÇÕES FINAIS

Neste capítulo foi apresentado um exemplo de projeto com o cálculo do dimensionamento de cada componente do inversor. Em seguida o procedimento utilizado na simulação em PSPICE do circuito para condições de máxima potência, para 70% da máxima potência e sob uma resposta transitória em dois grupos, onde o primeiro é para o inversor conectado somente a carga e o segundo para o inversor conectado a carga e a rede CA.

Ainda neste capítulo, foram apresentados os *layouts* dos circuitos de condicionamento do dispositivo FPGA, aquisição dos sinais de tensão e corrente, comando dos transistores e o circuito do inversor *flyback* implementado no protótipo.

CAPÍTULO 7

RESULTADOS EXPERIMENTAIS

7.1 - CONSIDERAÇÕES INICIAIS

Uma vez executada a simulação e obtidos os resultados para análise, montou-se um protótipo experimental em laboratório, com o objetivo de reproduzir as condições de funcionamento desejadas e, assim, comprovar os princípios teóricos estabelecidos para a operação da fonte chaveada proposta.

7.2 - RESULTADOS EXPERIMENTAIS

Os resultados obtidos em regime permanente são mostrados nas Figura 7.1 à Figura 7.10, e estão arranjados em dois grupos de três etapas cada: no primeiro grupo os resultados são para o inversor alimentando a carga sem estar conectado a rede de distribuição; no segundo temos o inversor conectado a carga e a rede CA; onde é exposto para cada grupo o caso 1, para um índice de insolação suficiente para que os painéis forneçam $111,607\text{W/m}^2$, correspondendo ao ponto de potência máxima; caso 2, para um índice de insolação de 70% do ponto de potência máxima e caso 3 para representar a resposta transitória do sistema analisado, levando em consideração um degrau de variação no índice de insolação ou a corrente associada ao sistema fotovoltaico. Ao final é incluído um grupo 3 e 4 com informações sobre o espectro harmônico de tensão e corrente de saída e, aquisição dos sinais de realimentação e chaveamento do inversor.

Grupo 1 – Inversor conectado somente a carga.

- Caso 1: Regime permanente com índice de insolação suficiente para que os painéis forneçam $111,607\text{W/m}^2$.

Na Figura 7.1 são apresentados os sinais de corrente e tensão de saída do inversor. O fator de potência do inversor é aproximadamente unitário.

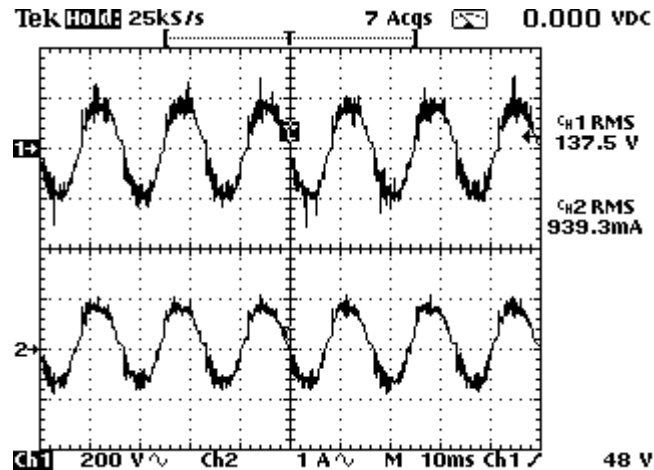


Figura 7.1 – Tensão e corrente de saída do inversor para o ponto de máxima potência..

No caso 1, o sistema fotovoltaico está operando com índice de insolação máxima, com 140W de potência gerada pelos painéis. O sistema fotovoltaico está suprindo uma corrente eficaz de 99,3mA à carga através do inversor na tensão eficaz de 137,5V, como mostrado na Figura 7.1. Assim, estes painéis conectados em série alimentam uma carga de 250Ω.

- Caso 2: Regime permanente com índice de insolação para 70% de 111,607W/m².

Na Figura 7.2 são apresentados os sinais de corrente e tensão de saída do inversor a 70% do ponto de máxima potência.

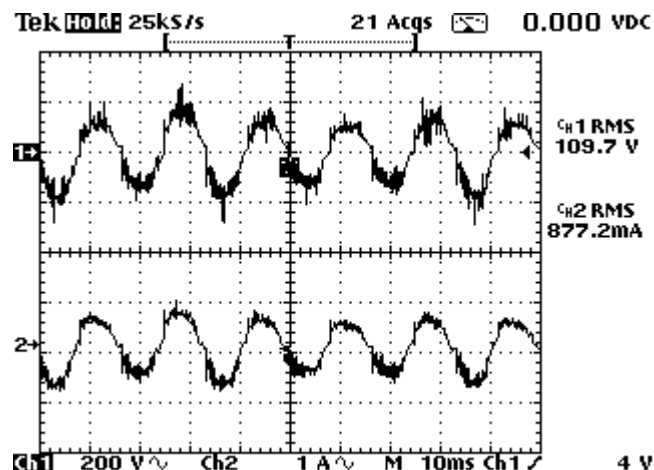


Figura 7.2 – Tensão e corrente de saída do inversor a 70% do ponto de máxima potência.

No caso 2, o sistema fotovoltaico está suprindo uma corrente eficaz de 877,2mA para a carga, através do inversor, para uma tensão eficaz de 109,7V, como mostrado na Figura 7.2.

- Caso 3: Resposta transitória devido a uma mudança no índice de insolação.

Na Figura 7.3 são apresentados os sinais de corrente e tensão de saída do inversor sob uma resposta transitória.

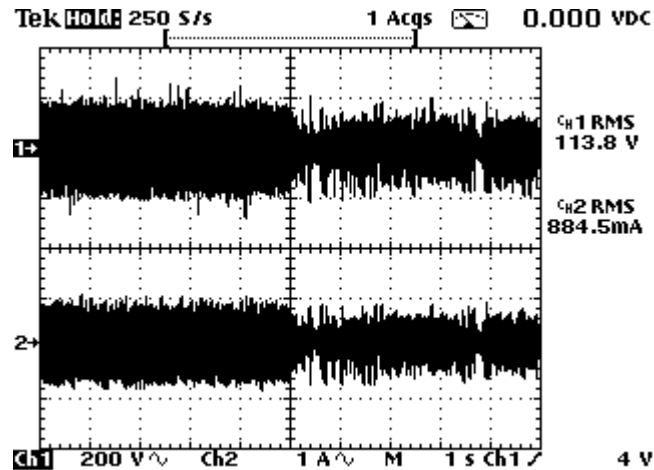


Figura 7.3 – Tensão e corrente de saída do inversor sob uma resposta transitória.

Conforme mostrado na Figura 7.3, a corrente fornecida pelo sistema fotovoltaico ao barramento CC do inversor sofreu uma considerável alteração, de 1,2A para 0,3A, devido à mudança no índice de insolação sobre os painéis fotovoltaicos.

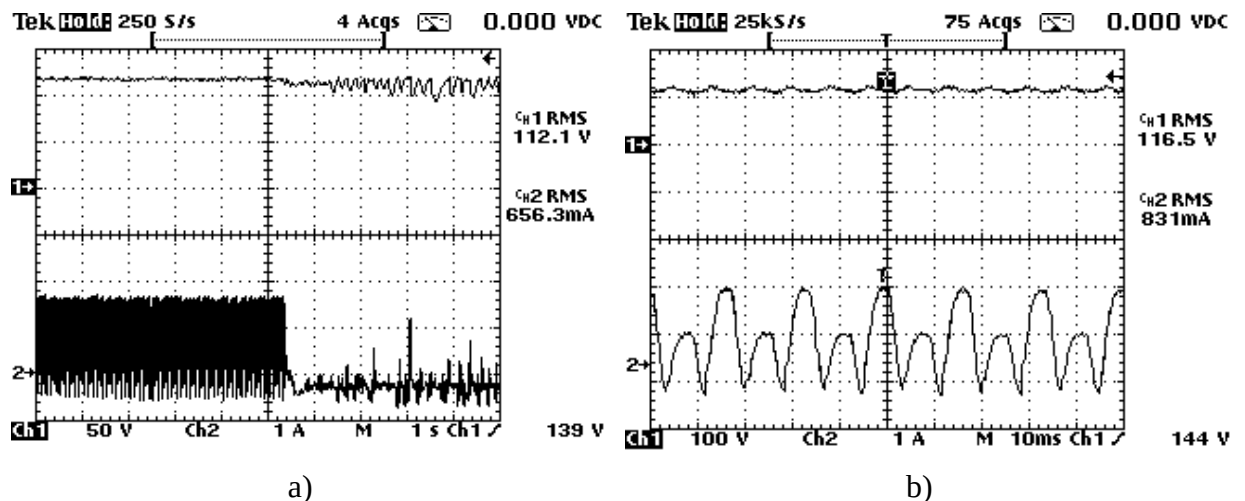


Figura 7.4 – Tensão e corrente de entrada do inversor sob uma resposta transitória.

É observado na Figura 7.4(a) que a tensão no barramento CC do inversor sofreu uma leve oscilação quando o índice de insolação variou, e então retornou para faixa próxima de

118V, que é a tensão de operação para o ponto de potência máxima. Na Figura 7.4(b), é apresentado o comportamento da corrente de entrada com um desbalanço entre um semiciclo e outro, isto ocorre, pois o sinal amostrado da rede CA apresenta um *offset*, um deslocamento do sinal de tensão, que é verificado no próprio osciloscópio.

Grupo 2 – Inversor conectado a carga e a rede de distribuição.

- Caso 1: Regime permanente com índice de insolação suficiente para que os painéis forneçam $111,607\text{W/m}^2$.

Na Figura 7.5 são apresentados os sinais de corrente e tensão de saída do inversor conectado a carga e a rede CA.

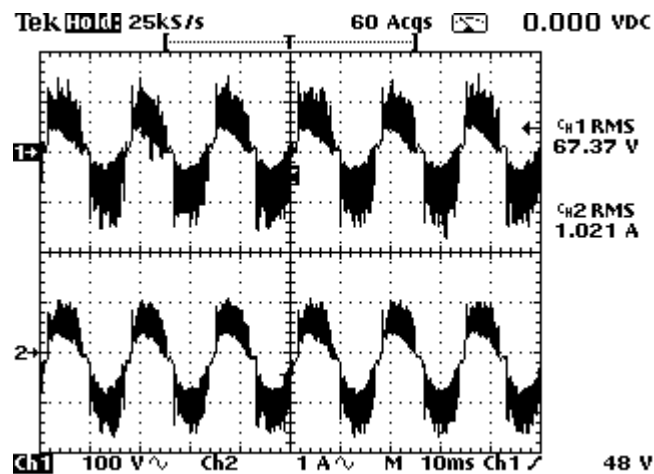


Figura 7.5 – Tensão e corrente de saída do inversor conectado a rede CA.

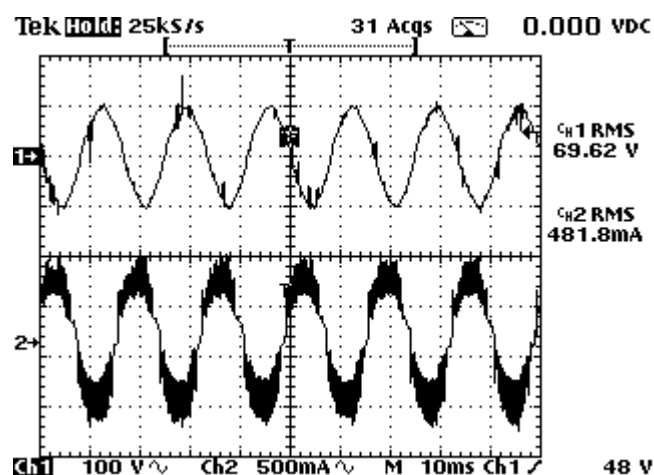


Figura 7.6 – Tensão da rede CA e corrente no resistor série.

No caso 1, o sistema fotovoltaico está operando com índice de insolação máximo. O sistema fotovoltaico está suprindo uma corrente eficaz de 1,021A à carga através do inversor, para uma tensão eficaz de 67,37V, como mostrado na Figura 7.5. É observado também que a rede elétrica está recebendo uma corrente de 481,8mA do inversor. Assim, estes painéis conectados em série alimentam uma carga de 250Ω com uma corrente eficaz de 1,021A e própria rede de distribuição com uma corrente de 481,8mA.

- Caso 2: Regime permanente com índice de insolação para 70% de 111,607W/m².

Na Figura 7.7 são apresentados os sinais de corrente e tensão de saída do inversor conectado a rede CA a 70% do ponto de máxima potência.

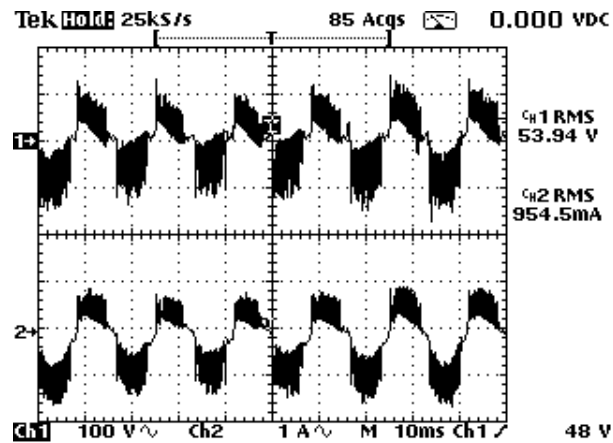


Figura 7.7 – Tensão e corrente de saída do inversor conectado a rede CA a 70% do ponto de máxima potência.

No caso 2, o sistema fotovoltaico está suprindo uma corrente eficaz de 954,5mA para a carga, através do inversor, para uma tensão eficaz de 53,94V, como mostrado na Figura 7.7. Na Figura 7.8, está o sinal de tensão do primário do transformador e a corrente que circula pelo resistor série colocado entre inversor e o transformador de baixa frequência.

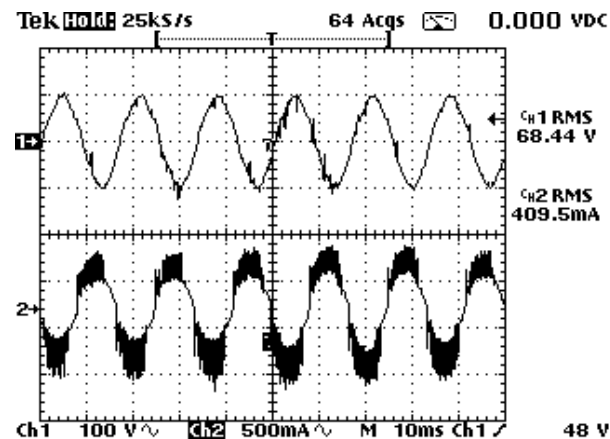


Figura 7.8 – Tensão da rede CA e corrente no resistor série a 70% do ponto de máxima potência.

- Caso 3: Resposta transitória devido a uma mudança no índice de insolação.

Na Figura 7.9 são apresentados os sinais de corrente e tensão de saída do inversor conectado a rede CA sob uma resposta transitória.

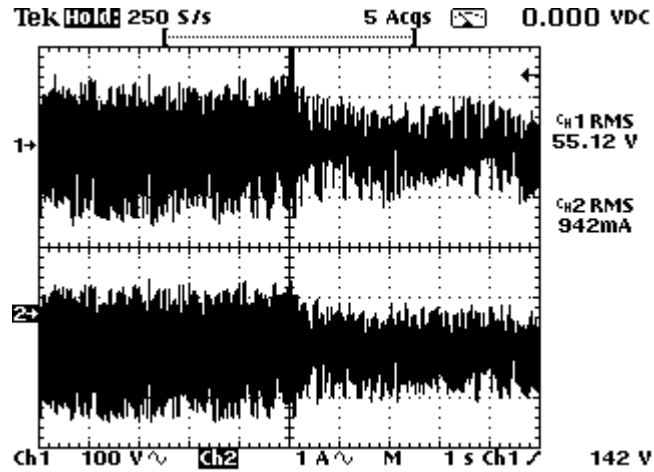


Figura 7.9 – Tensão e corrente de saída do inversor conectado a rede CA sob uma resposta transitória.

Conforme mostrado na Figura 7.9, a corrente fornecida pelo sistema fotovoltaico ao barramento CC do inversor sofreu uma considerável alteração, de 1,2A para 0,3A, devido à mudança no índice de insolação sobre os painéis fotovoltaicos.

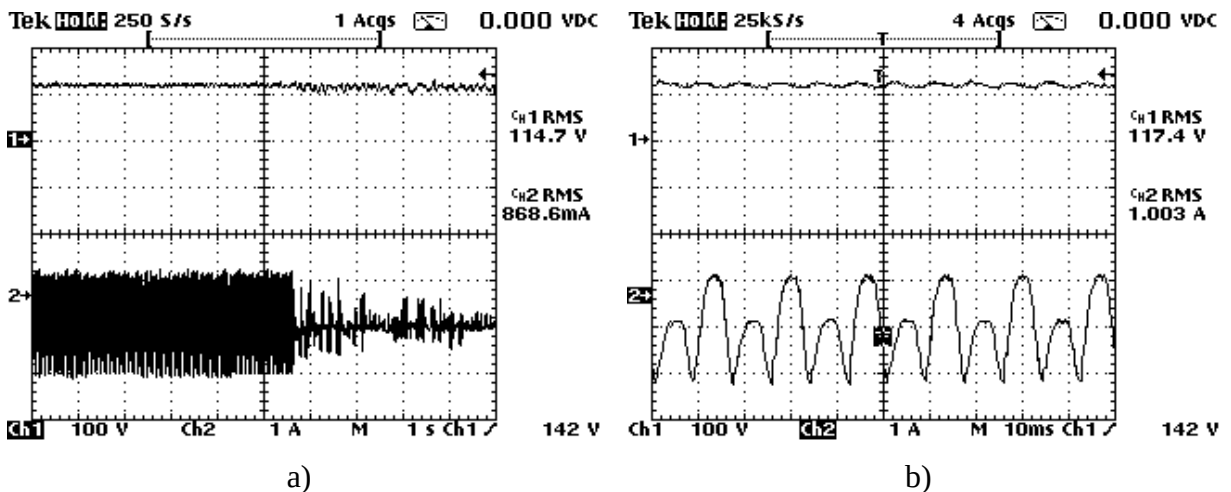


Figura 7.10 – Tensão e corrente de entrada do inversor conectado a rede CA sob uma resposta transitória.

É observado na Figura 7.10(a) que a tensão no barramento CC do inversor sofreu uma leve oscilação quando o índice de insolação variou, e então retornou para faixa próxima de 118V, que é a tensão de operação para o ponto de potência máxima. Na Figura 7.10(b), é apresentado o comportamento da corrente de entrada com um desbalanço entre um semiciclo

e outro, isto ocorre, pois o sinal amostrado da rede CA apresenta um *offset*, um deslocamento do sinal de tensão, que é verificado no próprio osciloscópio

Grupo 3 – Espectro harmônico da tensão e corrente de saída no ponto de máxima potência.

A Tabela 7.1 apresenta o espectro harmônico da tensão e da corrente obtido no inversor *flyback* em estudo. Os resultados experimentais são para um índice de insolação máximo sobre condições de máxima potência.

Tabela 7.1 – Espectro harmônico da tensão e corrente de saída em porcentagem da componente fundamental.

Voltage = 140 Volts

Current = 917 mAmps

Power = 92.4 Watts

Voltage THD = 10.20%

Current THD = 10.86%

Power Factor = 721 m

Displacement Power Factor = -10.3 Degrees

	Freq	Voltage RMS	Voltage % F	Voltage Phase	Current RMS	Current % F	Current Phase
Fundamental	60 Hz	136 V	100.00%	0.0	564 mA	100.00%	0.0
Harmonic 2	120 Hz	5.42 V	3.98%	107	37.9 mA	6.71%	132
Harmonic 3	180 Hz	10.4 V	7.62%	-19.5	36.9 mA	6.54%	-6.03
Harmonic 4	240 Hz	1.05 V	0.77%	88	6.88 mA	1.22%	-159
Harmonic 5	300 Hz	2.19 V	1.60%	151	11.3 mA	2.01%	-170
Harmonic 6	360 Hz	916 mV	0.67%	37.3	1.68 mA	0.30%	-94.3
Harmonic 7	420 Hz	3.91 V	2.87%	33.3	13.1 mA	2.32%	87.5
Harmonic 8	480 Hz	852 mV	0.63%	63.4	4.33 mA	0.77%	155
Harmonic 9	540 Hz	2.93 V	2.15%	41	12.5 mA	2.21%	112
Harmonic 10	600 Hz	367 mV	0.27%	26.4	1.05 mA	0.19%	-128
Harmonic 11	660 Hz	3.58 V	2.63%	53.8	12.6 mA	2.23%	163
Harmonic 12	720 Hz	970 mV	0.71%	138	4.24 mA	0.75%	-90
Harmonic 13	780 Hz	3.28 V	2.41%	62.2	16.2 mA	2.87%	-175

Como pode ser visto na Tabela 7.1, o fator de potência se aproxima do unitário, mas pelas características de saída do inversor, o sinal gerado apresenta um atraso, um ângulo de defasagem negativo associado à potência reativa entregue.

A Figura 7.11, ilustra o espectro harmônico da corrente de saída do inversor em porcentagem da fundamental. São considerados apenas os treze harmônicos do sinal e observando a os resultados, percebe-se que o segundo e o terceiro harmônico são os mais significativos no sinal de corrente. Os demais ficam abaixo dos 2,7% da fundamental.

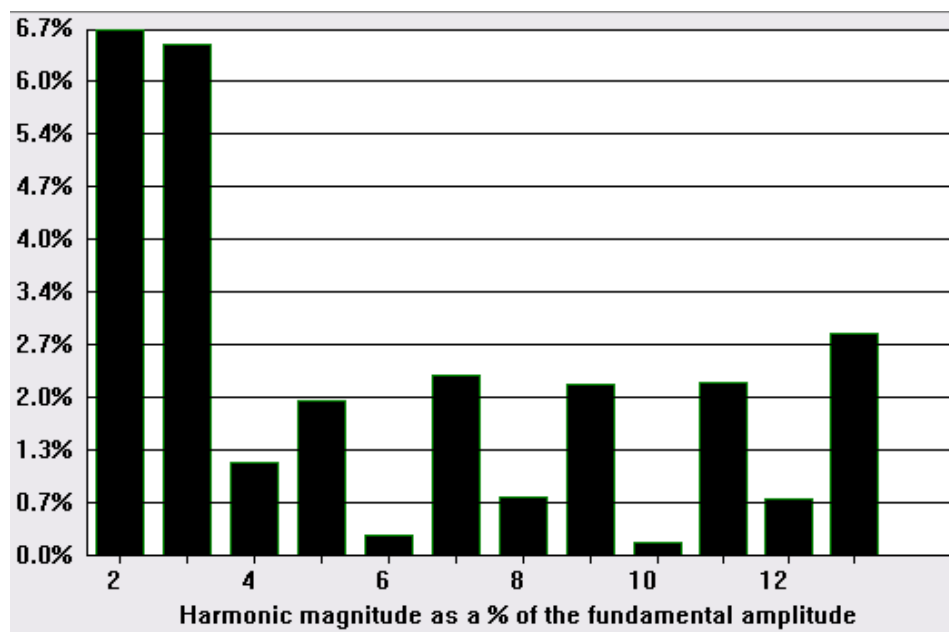


Figura 7.11 – Espectro harmônico da corrente de saída em porcentagem da componente fundamental.

A Figura 7.12, ilustra o espectro harmônico da tensão de saída do inversor em porcentagem da fundamental. São considerados também apenas os treze harmônicos do sinal e observando a os resultados, percebe-se que o terceiro harmônico é o mais significativo no sinal de tensão.

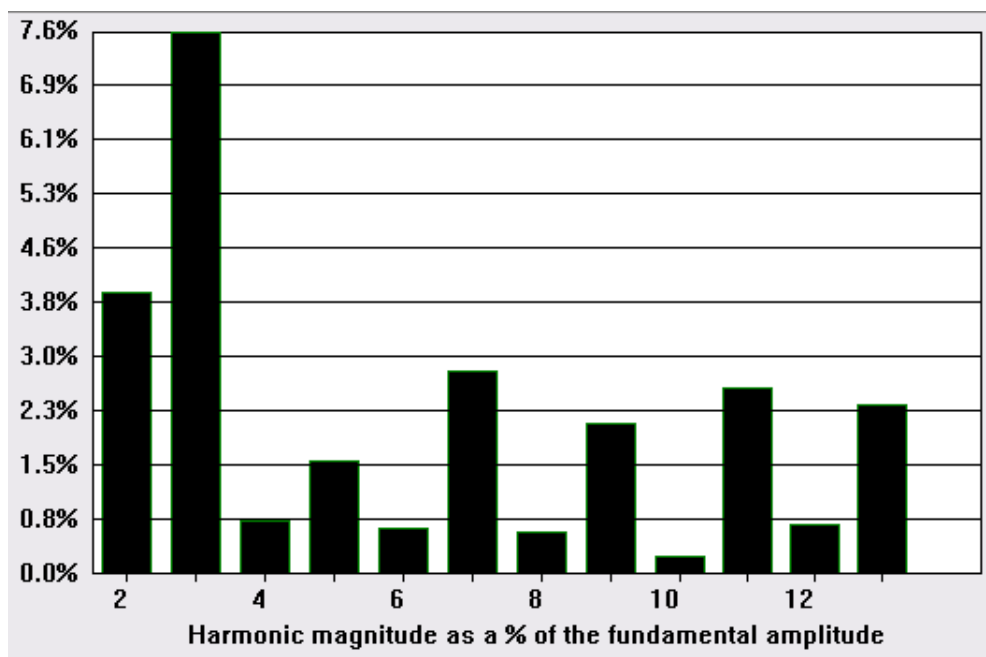


Figura 7.12 – Espectro harmônico da tensão de saída em porcentagem da componente fundamental

Grupo 4 – Aquisição de sinais de realimentação e chaveamento.

Na Figura 7.13 é apresentado o sinal de corrente que é amostrado com o sensor de corrente no indutor de filtro de saída L_5 e a tensão de controle processada pelo dispositivo FPGA e enviado aos transistores S_1 e S_2 . Este sinal de realimentação demonstra a capacidade que o inversor tem de gerar um sinal próximo ao sinal de referência senoidal amostrado da rede CA.

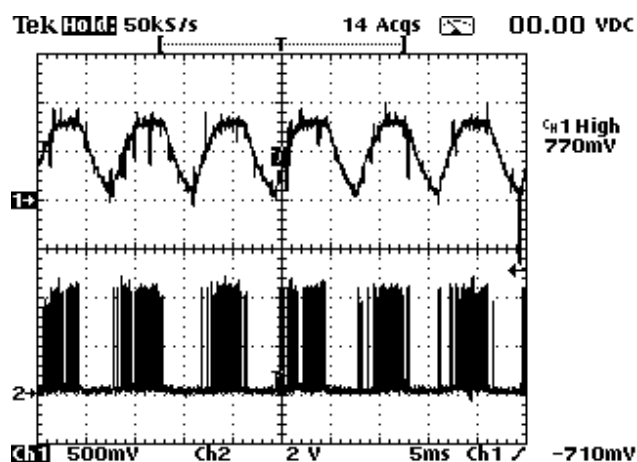


Figura 7.13 – Sinal de corrente retificado do indutor de filtro de saída L_5 e tensão de gatilho enviado aos transistores S_1 e S_2 .

7.3 - CONSIDERAÇÕES FINAIS

Neste capítulo foram apresentados os resultados experimentais obtidos do protótipo para duas situações em que o inversor é conectado a apenas a carga e para condição que é ligado a carga e rede de distribuição.

Para o inversor conectado somente a carga, os resultados apresentam baixa distorção do sinal de tensão e corrente gerada pelo inversor e valor compatível de tensão a rede CA. Porém conectado a rede, os sinais sofreram significativa distorção.

A ligação entre inversor e a rede CA teve que ser feita com a utilização de um varivolt e um resistor série variável (reostato) para limitar o nível de corrente que estava circulando no secundário do transformador. Isto se deveu a componente DC de corrente resultante do desequilíbrio, ou seja, um *offset* do sinal de tensão da rede CA.

CAPÍTULO 8

CONCLUSÕES GERAIS

Neste trabalho, um inversor *flyback* a quatro transistores para sistema fotovoltaico é apresentado. Este inversor tem por finalidade a conexão de painéis paralelamente aos grandes geradores da concessionária de energia de forma descentralizada e sem utilização de bancos de baterias para pequenas potências. Para um índice de insolação máximo o inversor apresentou bons resultados quanto ao nível de distorção harmônica, visto que para modulação do sinal de baixa frequência são usados apenas dois transistores no primário do transformador. O custo final do inversor *flyback* a quatro transistores é reduzido por utilizar poucos componentes em sua topologia; os transistores S_1 e S_2 podem ser de baixo V_{DSS} em função da tensão de alimentação ser dividida por igual a cada transistor; os diodos D_2 e D_4 oferecem proteção extra aos transistores S_1 e S_2 atuando como limitadores de correntes; os diodos D_5 e D_6 são de baixa frequência sendo possível a substituição de S_3 , D_5 e S_4 , D_6 por tiristores SCR que são mais baratos.

Dentro das características funcionais de operação do painel fotovoltaico foi observado que o parâmetro de tensão de saída V_{PV} seria a variável de referência mais adequada ao tipo de dispositivo de comando aplicado no desenvolvimento do inversor *flyback*. O fato da tensão de saída apresentar ao longo de uma faixa de iluminação sobre os painéis um valor aproximadamente constante demonstrou que o ponto de potência máxima seria facilmente alcançado se fosse mantido o valor de tensão fixa.

O modelo do dispositivo FPGA utilizado apresentou algumas restrições de programação, que esteve ligada ao número de portas lógicas disponíveis no mesmo, mas em contrapartida o dispositivo dispunha de características importantes para desenvolvimento de projetos e pesquisas dentro da eletrônica de potência, sendo entre elas: a flexibilidade de se programar ou implementar qualquer lógica necessária ao respectivo projeto ou na elaboração de outros; a grande capacidade de repetibilidade do processo realizado de forma exata por diversas vezes e; a velocidade de implementação do projeto que o dispositivo ofereceu em contrapartida aos métodos de controle analógico. Tais características foram bastante utilizadas ao longo do trabalho, pois foi necessário gravar no dispositivo a lógica programada antes de serem realizados os testes no inversor, ou melhor, o dispositivo permanecia com as

configurações somente enquanto estava energizado, depois de desligado tudo que era programado se perdia.

A topologia do inversor descrito neste trabalho é simples comparada ao circuito do *flyback* básico. A dificuldade encontrada em relação a essa topologia seria quanto as limitações de potência máxima de 140W, porém dentro da aplicação sugerida, o inversor é ideal por possibilitar de forma simples e econômica a interligação de painéis fotovoltaicas diretamente a rede de distribuição, proporcionando principalmente economia de energia elétrica ao final do mês.

A estratégia de controle não foi objeto principal deste trabalho, o método utilizado por controle de corrente média é conhecido em diversos trabalhos e artigos. A vantagem esta na aplicação de um dispositivo FPGA que tem grande velocidade de processo de aquisição e manipulação dos sinais de corrente de saída do inversor. Durante os ajustes, foi alterado a frequência de chaveamento e aquisição para 200kHz, mas os resultados apresentaram excessivas perdas de chaveamento e conseqüentemente queda do rendimento final do inversor. Possivelmente com a inclusão de células não dissipativas essa frequência vem a se torna possível e resultando num inversor mais compacto e mais eficiente.

Os resultados de simulação demonstraram a possibilidade de ser feita a conexão do inversor a rede de distribuição, porém os resultados experimentais apresentaram resultados indesejados principalmente quando o índice de iluminação fosse 70% da capacidade total. O desbalanço do sinal de corrente de entrada representou a falta de simetria do sinal de tensão de referência amostrado e utilizado na modulação do sinal de corrente de saída. A conseqüência foi a circulação de uma componente DC no secundário do inversor e obrigando o uso do resistor série na sua saída. No circuito simulado também foi incluído um resistor, mas com o intuito de obter resultados semelhantes ao do modelo real.

A sugestão de trabalhos futuros seria da implementação de células não dissipativas na topologia do inversor *flyback*, que apresentou um rendimento de apenas 70% para potência de 140W. O ideal seria que toda energia gerada pelos painéis fosse transmitida a rede de distribuição. Outra sugestão seria a busca de outras topologias que poderiam ser utilizadas com essa finalidade, a de converter energia gerada por painéis em sistemas de co-geração de energia elétrica.

REFERÊNCIAS BIBLIOGRÁFICAS

ALTERA - APEX 20K. (January 2001). *APEX 20K Programmable Logic Device Family Datasheet*. ALTERA CORPORATION.

ALTERA - APEX II. (May 2002). *Programmable Logic Device Family*. ALTERA CORPORATION, ver. 2.0.

ALTERA - FLEX 10K. (January 2003). *FLEX 10K Embedded Programmable Logic Device Family Datasheet*. ALTERA CORPORATION, ver. 4.2.

ALTERA - STRATIX. (April 2002). *STRATIX – Programmable Logic Device Family Datasheet*. ALTERA CORPORATION, ver. 2.0.

BARBI, I. (2001). *Projetos de Fontes Chaveadas* (1ª Edição ed.). Florianópolis: Editora do Autor.

DEMONTI, R. (1998). *Sistema de Co-Geração de Energia a Partir de Painéis Fotovoltaicos*. Florianópolis: Dissertação de Mestrado, INEP, Universidade Federal de Santa Catarina.

DUECK, R. K. (2004). *Digital Design with CPLD Applications and VHDL* (2ª Edição ed.). Winnipeg: Publicado por Thomson Delmar Learning.

FONTOURA, K. L. (2007). *Análise, Projeto e Implementação de Reatores Eletrônicos para Acionamento de Lâmpadas de Alta Intensidade em Descarga “AID”, Controlados por Circuitos de Lógica Reconfigurável “FPGA”*. Uberlândia: Tese de Doutorado, NuEP, Universidade Federal de Uberlândia.

GALELI, M. T. (2005). *Controle por Histerese com Frequência Quase Constante de um Pré-Regulador Boost*. Uberlândia: Dissertação de Mestrado, NuEP, Universidade Federal de Uberlândia.

GREEMPRO. (2004). *Energia Fotovoltaica – Manual Sobre Tecnologias, Projetos e Instalação*. ISES (International Solar Energy Society).

GRUPO TURBOMAR. (01 de 08 de 2008). *Cogeração. O que é?* Acesso em 2007, disponível em Turbomar Energia: <http://www.turbomar.pt/id.asp?id=p1p2p281p282p293p294>

KASA, N., IIDA, T., & CHEN, L. (2005). Flyback Inverter Controlled by Sensorless Current MPPT for Photovoltaic Power System. *IEEE Transactions on Industrial Electronics*, Vol. 52, No. 4, pp. 1145-1152.

MATHSOFT INC. (2005). *MATHCAD TUTORIAL - The Fundamentals*. Florida: Department of Mechanical Engineering at FAMU-FSU College of Engineering.

MELLO, L. F. (1990). *Projetos de Fontes Chaveadas* (3ª Edição ed.). São Paulo: Editora Érica Ltda.

MESSENGER, R. A., & VENTRE, J. (2004). *Photovoltaic Systems Engineering* (2ª. Edição ed.). CRC Press LLC.

NOGUEIRA Jr., M. P. (dezembro de 2007). *Energia Solar Fotovoltaica*. Acesso em 2007, disponível em Energia Solar Fotovoltaica Sistemas Interligados a Rede: <http://www.aondevamos.eng.br/textos/texto02.htm>

ODDONE, D. C. (2001). *Co-geração: Uma Alternativa para Produção de Eletricidade*. São Paulo: Dissertação de Mestrado, Programa Interunidades de Pós-Graduação em Energia, Universidade de São Paulo.

PEREIRA, A. A. (1997). *Análise, Projeto, Desenvolvimento E Estudo Comparativo De Três Estruturas Forward A Dois Transistores, Com Comutação Não Dissipativa*. Uberlândia: Tese de Doutorado, NuEP, Universidade Federal de Uberlândia.

ROSEMBACK, R. H. (2004). *Conversor CC-CC Bidirecional Buck-Boost Atuando como Controlador de Carga de Baterias em um Sistema Fotovoltaico*. Juiz de Fora: Dissertação de Mestrado, Setor de Tecnologia, Universidade Federal de Juiz de Fora.

SCARPA, V. V. (2005). *Aplicação de Um Dispositivo FPGA no Controle de Um Circuito Ballast Eletrônico para Acionamento de Lâmpadas HID de 70W*. Uberlândia: Dissertação de Mestrado, NuEP, Universidade Federal de Uberlândia.

Seminário Internacional sobre Fontes Alternativas de Energia e Eficiência Energética, 18-20 de jun/2002, Brasília-DF. Atuação da Aneel na Área de Fontes Alternativas de Energia e Eficiência Energética. (s.d.). *Portal de informações Ambientais - Coalizão Rios Vivos*. Acesso em março de 2007, disponível em <http://www.riosvivos.org.br/arquivos/1542194619.pdf>

SURESH, P., & SOLANKI, C. (2006). Series Resistance Measurement of PV Modules. *Advances in Energy Research (AER – 2006)* , pp. 262-267.

TAN, G. H., WANG, J., & JI, Y. (2007). Soft-Switching Flyback Inverter with Enhanced Power Decoupling for Photovoltaic Applications. *IET Electr. Power Appl.* , pp. 264-274.

UNITRODE. (1990). *Data and Applications Handbook*. Merrimack, NH, USA: UNITRODE Linear Integrated Circuits.

VAZ, A. R. (2006). *Filtro Ativo de Potência Trifásico Paralelo Comandado para Várias Funções - Aspectos Téóricos e Práticos e Reator Eletrônico de Alto FP: Contribuições a Otimização da Qualidade de Energia*. Uberlândia: Tese de Doutorado, NuEP, Universidade Federal de Uberlândia.

VILLASENOR, J. S. (1997). *Configurable Computing*. USA: Scientific American.

WIKIPÉDIA, A ENCICLOPÉDIA LIVRE. (31 de maio de 2008). *Valor eficaz*. Acesso em julho de 2008, disponível em Wikipedia: http://pt.wikipedia.org/wiki/Valor_eficaz