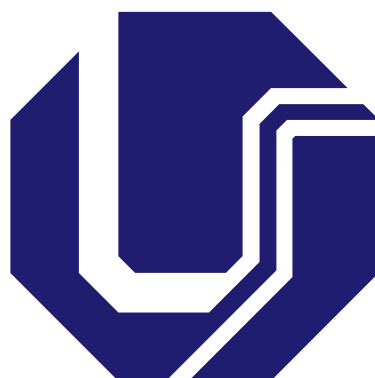


UNIVERSIDADE FEDERAL DE UBERLÂNDIA
FACULDADE DE ENGENHARIA ELÉTRICA
PÓS-GRADUAÇÃO EM ENGENHARIA ELÉTRICA



VÍTOR FONSECA BARBOSA

PROJETO E DESENVOLVIMENTO DE UM
RETIFICADOR HÍBRIDO COM ALTA DENSIDADE DE
POTÊNCIA UTILIZANDO TÉCNICA DE
COMPENSAÇÃO SÉRIE NO BARRAMENTO CC PARA
APLICAÇÕES EM *HVDC* NO CONTEXTO *MEA –
MORE ELECTRIC AIRCRAFTS*

UFU

2025

VÍTOR FONSECA BARBOSA¹

PROJETO E DESENVOLVIMENTO DE UM
RETIFICADOR HÍBRIDO COM ALTA DENSIDADE DE
POTÊNCIA UTILIZANDO TÉCNICA DE
COMPENSAÇÃO SÉRIE NO BARRAMENTO CC PARA
APLICAÇÕES EM *HVDC* NO CONTEXTO *MEA* –
MORE ELECTRIC AIRCRAFTS

Tese de doutorado submetida ao Programa de Pós-Graduação em Engenharia Elétrica da Universidade Federal de Uberlândia, como requisito à obtenção do título de Doutor em Ciências.

Área de concentração: Sistemas de Energia Elétrica.

Orientador: Prof. Dr. Luiz Carlos Gomes de Freitas.

Coorientador: Prof. Dr. Gustavo Brito de Lima

Banca Examinadora:

Prof. Dr. Luiz Carlos Gomes de Freitas – UFU, Uberlândia (MG)

Prof. Dr. Paulo Peixoto Praça – UFCE, Fortaleza (CE)

Prof. Dr. Danillo Borges Rodrigues – UFTM, Uberaba (MG)

Prof. Dr. Diógenes Simão Rodovalho – IF Sul de Minas, Poços de Caldas (MG)

Dr. Ênio Costa Resende – PPD - UFU, Uberlândia (MG)

Uberlândia - MG

2025

¹ A bolsa de estudos para esta pesquisa foi concedida pela CAPES, Brasil.

Ficha Catalográfica Online do Sistema de Bibliotecas da UFU
com dados informados pelo(a) próprio(a) autor(a).

B238 2025	Barbosa, Vitor Fonseca, 1992- Projeto e desenvolvimento de um retificador híbrido com alta densidade de potência utilizando técnica de compensação série no barramento CC para aplicações em <i>HVDC</i> no contexto MEA - <i>More Electric Aircrafts</i> [recurso eletrônico] / Vitor Fonseca Barbosa. - 2025. Orientador: Luiz Carlos Gomes de Freitas. Coorientador: Gustavo Brito de Lima. Tese (Doutorado) - Universidade Federal de Uberlândia, Pós-graduação em Engenharia Elétrica. Modo de acesso: Internet. DOI http://doi.org/10.14393/ufu.te.2025.514 Inclui bibliografia. Inclui ilustrações. 1. Engenharia elétrica. I. Freitas, Luiz Carlos Gomes de, 1976-, (Orient.). II. Lima, Gustavo Brito de, 1986-, (Coorient.). III. Universidade Federal de Uberlândia. Pós-graduação em Engenharia Elétrica. IV. Título. CDU: 621.3
--------------	---

Bibliotecários responsáveis pela estrutura de acordo com o AACR2:
Gizele Cristine Nunes do Couto - CRB6/2091
Nelson Marcos Ferreira - CRB6/3074



ATA DE DEFESA - PÓS-GRADUAÇÃO

Programa de Pós-Graduação em:	Engenharia Elétrica				
Defesa de:	Tese de Doutorado, 352, PPGEELT				
Data:	Vinte e dois de agosto de dois mil e vinte e cinco	Hora de início:	8:30	Hora de encerramento:	12:20
Matrícula do Discente:	12023EEL013				
Nome do Discente:	Vitor Fonseca Barbosa				
Título do Trabalho:	Projeto e desenvolvimento de um retificador híbrido com alta densidade de potência utilizando técnica de compensação série no barramento CC para aplicações em HVDC no contexto MEA – <i>More Electric Aircrafts</i>				
Área de concentração:	Sistemas de Energia Elétrica				
Linha de pesquisa:	Sistemas Elétricos de Potência				
Projeto de Pesquisa de vinculação:	Coordenador do projeto: Luiz Carlos Gomes de Freitas . Título do projeto: 1) Estudo e desenvolvimento de circuitos retificadores para aplicação em redes de distribuição de energia elétrica em corrente contínua em sistemas embarcados - Parte II, 2) Modelagem de Sistemas Elétricos de Potência Embarcados em More Electric Aircrafts Utilizando a tecnologia Hardware-in-the-Loop. Agência financiadora: Conselho Nacional de Desenvolvimento Científico e Tecnológico (CNPq) - Auxílio financeiro. Número do processo na agência financiadora: Processo: 303085/2022-3, Processo: 407403/2022-1. Vigência do projeto: 03/2022 - 12/2025 (Processo: 303085/2022-3) e 12/2022 - 12/2026 (Processo: 407403/20221).				

Reuniu-se através de videoconferência, a Banca Examinadora, designada pelo Colegiado do Programa de Pós-graduação em Engenharia Elétrica, assim composta:

Doutores: Paulo Peixoto Praça (UFC), Diógenes Simão Rodovalho (IF Sul de Minas), Danillo Borges Rodrigues (UFTM), Ênio Costa Resende (PPD-UFU) e Luiz Carlos Gomes de Freitas (UFU), orientador do discente.

Iniciando os trabalhos o presidente da mesa, Prof. Dr. Luiz Carlos Gomes de Freitas, apresentou a Comissão Examinadora e o candidato, agradeceu a presença do público, e concedeu ao discente a palavra para a exposição do seu trabalho. A duração da apresentação do discente e o tempo de arguição e resposta foram conforme as normas do Programa.

A seguir, o senhor presidente concedeu a palavra, pela ordem sucessivamente, aos examinadores, que passaram a arguir o candidato. Ultimada a arguição, que se desenvolveu dentro dos termos regimentais, a Banca, em sessão secreta, atribuiu o resultado final, considerando o candidato:

APROVADO.

Esta defesa faz parte dos requisitos necessários à obtenção do título de Doutor. O competente diploma será expedido após cumprimento dos demais requisitos, conforme as normas do Programa, a legislação pertinente e a regulamentação interna da UFU.

Nada mais havendo a tratar foram encerrados os trabalhos. Foi lavrada a presente ata que após lida e achada conforme, foi assinada pela Banca Examinadora.



Documento assinado eletronicamente por **Ênio Costa Resende, Usuário Externo**, em 22/08/2025, às 12:40, conforme horário oficial de Brasília, com fundamento no art. 6º, § 1º, do [Decreto nº 8.539, de 8 de outubro de 2015](#).



Documento assinado eletronicamente por **Danillo Borges Rodrigues, Usuário Externo**, em 22/08/2025, às 12:41, conforme horário oficial de Brasília, com fundamento no art. 6º, § 1º, do [Decreto nº 8.539, de 8 de outubro de 2015](#).



Documento assinado eletronicamente por **Luiz Carlos Gomes de Freitas, Professor(a) do Magistério Superior**, em 22/08/2025, às 13:32, conforme horário oficial de Brasília, com fundamento no art. 6º, § 1º, do [Decreto nº 8.539, de 8 de outubro de 2015](#).



Documento assinado eletronicamente por **Paulo Peixoto Praça, Usuário Externo**, em 25/08/2025, às 09:28, conforme horário oficial de Brasília, com fundamento no art. 6º, § 1º, do [Decreto nº 8.539, de 8 de outubro de 2015](#).



Documento assinado eletronicamente por **Diogenes Simão Rodovalho, Usuário Externo**, em 25/08/2025, às 11:16, conforme horário oficial de Brasília, com fundamento no art. 6º, § 1º, do [Decreto nº 8.539, de 8 de outubro de 2015](#).



A autenticidade deste documento pode ser conferida no site https://www.sei.ufu.br/sei/controlador_externo.php?acao=documento_conferir&id_orgao_acesso_externo=0, informando o código verificador **6587313** e o código CRC **281B78EB**.

DECLARAÇÃO DE AUTORIA PRÓPRIA

Eu, **VÍTOR FONSECA BARBOSA**, discente do curso de Doutorado do Programa de Pós-graduação da Faculdade de Engenharia Elétrica da Universidade Federal de Uberlândia, regularmente matriculado sob o número 12023EEL013, declaro que sou autor da tese de doutorado intitulada **Projeto e desenvolvimento de um retificador híbrido com alta densidade de potência utilizando técnica de compensação série no barramento CC para aplicações em HVDC no contexto MEA - *More Electric Aircrafts***, desenvolvida durante o período de 05/08/2020 a 22/08/2025 sob a orientação do professor Dr. LUIZ CARLOS GOMES DE FREITAS e coorientação do professor Dr. GUSTAVO BRITO DE LIMA, ora submetida à Universidade Federal de Uberlândia, como parte dos requisitos necessários para a obtenção do título de mestre em Ciências, e que a mesma foi por mim elaborada e integralmente redigida, não tendo sido copiada ou extraída, seja parcial ou integralmente, de forma ilícita de nenhuma fonte além daquelas públicas consultadas e corretamente referenciadas ao longo do trabalho ou daquelas cujos dados resultaram de investigações empíricas por mim realizadas para fins de produção deste trabalho.

Assim, firmo a presente declaração, demonstrando minha plena consciência dos seus efeitos civis, penais e administrativos, e assumindo total responsabilidade caso se configure o crime de plágio ou violação aos direitos autorais.

Desta forma, na qualidade de titular dos direitos de autor, autorizo a Universidade Federal de Uberlândia a publicar, durante tempo indeterminado, o texto integral da obra acima citada, para fins de leitura, impressão e/ou download, a título de divulgação do programa de pós-graduação supracitado e/ou da produção científica brasileira, a partir desta data.

Por ser verdade, firmo a presente.

Uberlândia, 22 de agosto de 2025.



VÍTOR FONSECA BARBOSA

DEDICATÓRIA

A minha mãe Marília,
A minha esposa Jéssica,
Aos meus irmãos, família e amigos.

AGRADECIMENTOS

Ao professor Luiz Carlos Gomes de Freitas, orientador desse trabalho, pelos momentos de reflexão do conteúdo, incentivo, aprimoramento desta pesquisa e os conselhos valiosos para a vida profissional que se seguiu.

Ao professor Gustavo Brito de Lima, coorientador deste trabalho, pela atenção e disponibilidade ímpares, além da confiança para desenvolver este trabalho.

À minha mãe Marília pelo seu incentivo incondicional aos estudos, resiliência nos momentos difíceis e, também ao meu padrasto Gilber, por não poupar esforços em ajudar na minha formação.

À minha esposa Jéssica, por estar ao meu lado em todos os momentos de nossa caminhada, por partilhar sonhos e ideais, por me envolver diariamente com seu amor e ternura, e por me incentivar e apoiar a crescer como pessoa. Sou eternamente grato por tê-la na minha vida.

A todos os colegas e professores do Núcleo de Pesquisas em Eletrônica de Potência: Ana, Antônio, Danillo, Ênio, Ernane, Henrique, Joaquim, Lucas, Luiz, Marcus, Matheus, Osmar, Rodrigo, Vitor Gontijo.

À minha família, aos meus pais e irmãos, que estiveram presentes e contribuíram nessa jornada.

À CAPES – Coordenação de Aperfeiçoamento de Pessoal de Nível Superior, ao CNPq – Conselho Nacional de Desenvolvimento Científico e Tecnológico, à FAPEMIG – Fundação de Amparo à Pesquisa do Estado de Minas Gerais e à UFU – Universidade Federal de Uberlândia, pelo suporte financeiro para o desenvolvimento do protótipo, disponibilidade de equipamentos e pela bolsa de doutorado.

*"O conhecimento não é a busca do desconhecido,
mas o reconhecimento do conhecido"*

Herbert Spencer

Resumo

O processo de substituição de sistemas hidráulicos e pneumáticos por sistemas elétricos a bordo de aeronaves, conhecido como *More Electric Aircrafts* (MEA), tem motivado o desenvolvimento de conversores de eletrônica de potência com alta densidade de potência e robustez. Neste contexto, esta tese de doutorado apresenta os resultados de uma pesquisa direcionada para o desenvolvimento de um Retificador Híbrido Trifásico com barramento de saída em alta tensão em corrente contínua (CC) (HVDC – acrônimo em inglês para *High Voltage Direct Current*), denominado RHT-HVDC-MEA. A arquitetura deste conversor é composta pela associação em cascata de um conversor *Boost* trifásico com um conversor LLC Série Ressonante e, em paralelo, com um Retificador Não-controlado. Esta configuração garante a divisão de processamento de potência entre os conversores, reduzindo perdas e aumentando a eficiência global da estrutura. Além disso, a metodologia empregada utiliza processamento digital de sinais de alta largura de banda, permitindo o projeto de apenas um controlador para regular a tensão no barramento CC de saída. Esta abordagem simplifica o projeto, reduz o número de sensores necessários, e melhora significativamente a robustez e confiabilidade do conversor. O desempenho do conversor RHT-HVDC-MEA foi validado por meio de simulações computacionais detalhadas e pela construção de um protótipo em escala reduzida com potência nominal de 1,2kW. Os resultados obtidos demonstram que o conversor apresenta alta eficiência (97%), excelente resposta dinâmica frente às variações de frequência típicas de sistemas aeronáuticos (400Hz a 800Hz) e conformidade com os rigorosos requisitos da norma DO-160F, com distorção harmônica total de corrente (DHTi) de apenas 3,9%. Tais características, posicionam o RHT-HVDC-MEA como uma solução promissora para aplicações em MEA, atendendo às crescentes demandas por sistemas elétricos mais compactos, eficientes e confiáveis na aviação moderna.

Palavras-Chave: *Aeronave Mais Elétrica, Alta Tensão em Corrente Contínua, Processamento Digital de Sinais, Retificadores Híbridos.*

Abstract

The process of replacing hydraulic and pneumatic systems with electrical systems onboard aircraft, known as More Electric Aircrafts (MEA), has driven the development of power electronics converters with high power density and robustness. In this context, this doctoral thesis presents the results of research aimed at developing a Three-Phase Hybrid Rectifier with a High Voltage Direct Current (HVDC) output bus, designated RHT-HVDC-MEA. The architecture of this converter consists of a cascaded combination of a three-phase Boost converter with a Series Resonant LLC converter and, in parallel, with an Uncontrolled Rectifier. This configuration ensures power processing is divided between the converters, reducing losses and increasing the overall efficiency of the structure. Furthermore, the methodology employed utilizes high-bandwidth digital signal processing, allowing the design of a single controller to regulate the voltage on the output DC bus. This approach simplifies the design, reduces the number of sensors required, and significantly improves the converter's robustness and reliability. The performance of the RHT-HVDC-MEA converter was validated through detailed computer simulations and the construction of a reduced-scale prototype with a nominal power of 1.2kW. The results demonstrate that the converter exhibits high efficiency (97%), excellent dynamic response to the frequency variations typical of aeronautical systems (400Hz to 800Hz), and compliance with the stringent requirements of the DO-160F standard, with a Total Harmonic Distortion of Current (THDi) of only 3.9%. These characteristics position the RHT-HVDC-MEA as a promising solution for MEA applications, meeting the growing demand for more compact, efficient, and reliable electrical systems in modern aviation.

Keywords: *Digital Signal Processor (DSP), High Voltage Direct Current (HVDC), Hybrid Rectifiers, Line Commutated Rectifiers, More Electric Aircrafts (MEA).*

LISTA DE FIGURAS

Figura 1 – Investimento global de biocombustíveis.....	26
Figura 2 – Consumo final de energia no setor de transportes por fonte e modo no Cenário Carbono Zero, 2021-2050.....	27
Figura 3 – Projeção da emissão de CO ₂ no Cenário Carbono Zero, 2010-2050.....	28
Figura 4 – Proporção de óleo vegetal usado na produção de biodiesel em diferentes países.....	29
Figura 5 – a) Projeção da quantidade de passageiro-km e b) Projeção da energia consumida pelas aeronaves.....	30
Figura 6 – Sistema elétrico típico de aeronaves em HVDC, com a proposta do Retificador Híbrido Trifásico.	33
Figura 7 – Sistema elétrico de potência do Boeing 787.	34
Figura 8 – Limites harmônicos definidos pela norma DO-160F.....	35
Figura 9 – Propriedades dos materiais GaN HEMT, SiC e Si.	37
Figura 10 – Esquema simplificado e diagrama elétrico do conversor TTPR.....	39
Figura 11 – Diagrama elétrico de potência do conversor CA-CC bidirecional de estágio único.....	40
Figura 12 – Diagrama e esquema elétrico do conversor CA-CC monofásico isolado.	40
Figura 13 – Diagrama elétrico de potência simplificado do HMMR.	42
Figura 14 – Diagrama e esquema elétrico de potência do conversor unidirecional multinível.....	42
Figura 15 – Diagrama elétrico simplificado do conversor <i>DV-Rectifier</i>	43
Figura 16 – Diagrama elétrico de potência do RH unidirecional.....	45
Figura 17 – Diagrama elétrico de potência do retificador híbrido para aplicações com célula de eletrólise.....	45
Figura 18 – Diagrama elétrico de potência do Retificador Híbrido Trifásico Bidirecional para microrredes CC.	47
Figura 19 – Diagrama elétrico simplificado do Retificador Híbrido Trifásico e conversores interligados no barramento CC.	48
Figura 20 – Diagrama elétrico de potência do Retificador Híbrido Trifásico para aplicações em HVDC no contexto MEA.	51
Figura 21 – Diagrama de potência e controle do RHT-HVDC-MEA.	53
Figura 22 – Circuito simplificado do LLC SR para aproximação de primeira ordem.	57
Figura 23 – Ganho de tensão em relação a) a frequência nominal com a variação paramétrica do fator de qualidade Q; b) ao fator de qualidade com a variação paramétrica da frequência normalizada f_n	59
Figura 24 – Ganho de tensão M em relação a frequência nominal com variação paramétrica do fator de qualidade Q para $\lambda = 0,055$ para o RHT-HVDC-MEA.	60
Figura 25 – Na entrada do RNC: na parte superior - corrente de linha de entrada e tensão de linha a neutra; na parte inferior - tensões de linha a linha destacando o intervalo de tempo relacionado aos estados de comutação da ponte de diodos trifásica.....	61

Figura 26 – Composição de corrente de linha de entrada teórica baseada em soluções diferenciais e computacionais.	61
Figura 27 – Diagrama de Bode da resposta em frequência do circuito <i>tank</i> -ressonante	66
Figura 28 – Relação entre a potência do RHT-HVDC-MEA e tensão na saída do <i>Boost</i>	67
Figura 29 – Esquema de controle implementado no DSP.....	73
Figura 30 – Lógica do algoritmo de Redução Ativa de Pulso.....	75
Figura 31 – Diagramas de blocos do sistema equivalente (a) do conversor RHT-HVDC-MEA em malha fechada e (b) do sistema equivalente em malha aberta, representado por $G_{vi_eq}(s)$	76
Figura 32 – Controlador de corrente utilizado no ensaio de resposta transitória do sistema, representado para a fase A.....	77
Figura 33 – Resposta transitória da corrente de entrada e tensão de saída do RHT-HVDC-MEA. Perturbação com 1500W de potência na saída.....	77
Figura 34 – Diagrama de blocos do sistema equivalente aproximado do conversor RHT-HVDC-MEA em malha fechada.	78
Figura 35 – a) Resposta ao degrau unitário do sistema em malha fechada compensado b) diagramas de Bode em malha aberta.	79
Figura 36 – Lugar das Raízes para o sistema simplificado em malha fechada.....	80
Figura 37 – Diagrama de blocos do DSP TMS320F28379D.....	81
Figura 38 – Seções de alocação de variáveis.....	86
Figura 39 – Alocação dos bancos de memória para o CPU1.....	86
Figura 40 – Alocação dos bancos de memória para o CPU2.....	87
Figura 41 – Fluxo de dados das variáveis float32.	88
Figura 42 – Fluxo de dados das variáveis Float32.	88
Figura 43 – 800Hz Iref, vetor de 1000 pontos.	89
Figura 44 – Domínio e alocação das variáveis na perspectiva de <i>debug</i>	90
Figura 45 – Otimização em largura de banda e execução de código.....	91
Figura 46 – Largura de banda para cada núcleo, com amostragem em 400kHz malhas de corrente e 200kHz malha de tensão.....	92
Figura 47 – Largura de banda para cada núcleo, com amostragem em 800kHz malhas de corrente e 200kHz malha de tensão.....	92
Figura 48 – Diagrama completo da estrutura de potência e controle simulados no <i>PSim</i>	95
Figura 49 – Composição de correntes na entrada do RHT-HVDC-MEA.....	96
Figura 50 – Correntes de linha para frequência de a) 400Hz e b) 800Hz.	96
Figura 51 – Espectro harmônico para a corrente da fase A em 400Hz.....	97
Figura 52 – Espectro harmônico para a corrente da fase A em 800Hz.....	97
Figura 53 – Tensões nas saídas dos conversores e relação de processamento de potência em 400Hz, onde as tensões médias são: $V_{o_Boost} = 425V$, $V_{o_LLC} = 276V$, $V_{o_RNC} = 264V$, $V_o = 540V$	98

Figura 54 – Tensões médias nas saídas dos conversores e relação de processamento de potência em 800Hz, $V_{o_Boost} = 431V$, $V_{o_LLC} = 280V$, $V_{o_RNC} = 260V$, $V_o = 540V$.	98
Figura 55 – a) Esquema para redução de pulsos ativos em 120° , b) aplicação do algoritmo na fase A, c) sem a aplicação do algoritmo.	99
Figura 56 – Corrente da fase A e correntes complementares nas chaves do braço do <i>Boost</i> com a aplicação do algoritmo da RPA.	100
Figura 57 – Correntes no primário e secundário do LLC SR, sendo $I(Cr) = 2,6Arms$ e $I(Lm) = 1,36Arms$.	100
Figura 58 – Degrau de carga em 400Hz de 750W para 1500W.	101
Figura 59 – Degrau de carga em 400Hz de 1500W para 750W.	102
Figura 60 – Ganho de tensão do LLC SR e relação de ganho mediante de grau de carga de 1200W para 600W.	102
Figura 61 – Diagrama de controle do SOGI-PLL monofásico.	103
Figura 62 – Ensaio de frequência baseado nos parâmetros da fonte Supplier.	104
Figura 63 – Defasagem entre os sinais de entrada e saída do PLL para perturbação em 0,2s.	104
Figura 64 – Esquema do LLC Série Ressonante simulado no <i>LTspice</i> .	105
Figura 65 – Degrau de carga na ressonância de 750W para 1500W.	106
Figura 66 – Comportamento dos pulsos de gatilho e correntes de magnetização $I(Lm)$ e da chave do full-bridge.	107
Figura 67 – Correntes nos diodos do LLC SR.	108
Figura 68 – Correntes nos diodos e no primário para o LLC SR com potência de 1500W.	109
Figura 69 – a) Esquema da estrutura de potência e b) montagem do protótipo de laboratório.	111
Figura 70 – Placa de condicionamento e sensoramento de sinais.	114
Figura 71 – a) Placa do <i>Boost</i> trifásico com visão superior e inferior e, b) visão parcial superior do DSP, RNC e LLC SR.	115
Figura 72 – Método de construção do indutor do <i>Boost</i> - <i>LBoost</i> .	115
Figura 73 – Método de construção do transformador do LLC SR. a) Enrolamento do primário (N_p), b) enrolamento do secundário (N_{s1}) e c) enrolamento do secundário (N_{s2}).	116
Figura 74 – (a) Transformador de corrente para medição da corrente ressonante. (b) Resposta em frequência e circuito simulado.	117
Figura 75 – Composição de correntes da entrada para a) 400Hz e b) 800Hz.	119
Figura 76 – Comparação da utilização do algoritmo RPA: a) com RPA e b) sem RPA.	119
Figura 77 – Correntes de linha em 400Hz a) com RPA e b) sem RPA.	120
Figura 78 – Correntes de linha em 800Hz a) com RPA e b) sem RPA.	120
Figura 79 – a) Ensaio de falha por sobrecorrente e b) saturação do indutor <i>LBoost</i> .	121
Figura 80 – Tensão em regime permanente do LLC SR e RNC para a) 400Hz e b) 800Hz.	121

Figura 81 – a) Operação do LLC SR na ressonância e b) tensões de entrada e saída com a ondulação de corrente ressonante.	122
Figura 82 – Degrau de corrente na referência do <i>Boost</i> e resposta da tensão de saída do RHT-HVDC-MEA.....	123
Figura 83 Degrau de carga em 400Hz de a) 100% para 50% e b) 50% para 100% da pot. nominal.....	123
Figura 84 - Degrau de carga em 800Hz de a) 100% para 50% e b) 50% para 100% da pot. nominal.....	124
Figura 85 – Ensaio de variação da tensão de alimentação de 400Hz para 800Hz em 200ms	124
Figura 86 – Ensaio para rampa de frequência de 400Hz para 800Hz em 200ms. ...	126
Figura 87 – Erro de fase e frequência para o ensaio de rampa.	126
Figura 88 – Oscilações do PI de tensão e referências de corrente a) sem filtro digital na tensão de saída e b) com filtro digital em 12Hz passa baixa.....	127
Figura 89 – Processo de comparação para a fase A e pulsos de disparo no DSP.	127
Figura 90 – Processo de comparação com sinais analógicos e externos via DAC.	128
Figura 91 – Detalhe do processo de comparação via DAC e canais digitais.	129
Figura 92 – Atraso na propagação de pulso a) subida e b) descida.	130
Figura 93 – Detalhe no atraso da conversão do ADC e começo da interrupção.....	130
Figura 94 – a) Eficiência, b) fator de potência e c) DHTi com o conversor operando com o algoritmo de RPA.....	131
Figura 95 – Espectro harmônico para 400Hz com e sem o algoritmo de RPA.	132
Figura 96 – Espectro harmônico para 800Hz com e sem o algoritmo de RPA.	132
Figura 97 – Relação de rendimento dos conversores que compõem o RHT-HVDC-MEA.	133
Figura 98 – Rendimento em potência nominal para 400Hz a) com RPA – $\eta = 97,0\%$ e b) sem RPA – $\eta = 96,9\%$	134
Figura 99 – Rendimento em potência nominal para 800Hz a) com RPA – $\eta = 96,29\%$ e b) sem RPA – $\eta = 96,34\%$	134
Figura 100 – Rendimento com potência de 1430W para 400Hz com RPA – $\eta = 97,05\%$	135
Figura 101 – Ensaio de temperatura do RHT-HVDC-MEA em 400Hz e potência nominal com foco em a) todo conversor, b) <i>Boost</i> trifásico, c) LLC SR e RNC, d) transformador do LLC SR, e) Ponte de diodos do RNC e f) indutores do <i>Boost</i>	136
Figura 102 - <i>Boost</i> PFC monofásico projetado para elevada frequência de chaveamento.....	143
Figura 103 - Tensão e corrente CA para frequência de chaveamento máxima em cerca de a) 100kHz e b) 1MHz.	143

LISTA DE TABELAS

Tabela 1 – Classificação dos limites harmônicos definidos pela DO-160F.	35
Tabela 2 – Parâmetros qualitativos do half-bridge comparado ao full-bridge.....	56
Tabela 3 – Onda completa com tape central comparado à retificação em ponte.....	57
Tabela 4 – Especificações de projeto do RNC e <i>Boost</i> trifásico.....	64
Tabela 5 – Resumo de projeto do conversor RNC.....	64
Tabela 6 – Resumo de projeto do conversor <i>Boost</i>	64
Tabela 7 – Especificações de projeto do LLC SR	68
Tabela 8 – Resumo de projeto do conversor LLC SR	68
Tabela 9 – Especificação geral de operação dos conversores que compõem o RHT-HVDC-MEA	111
Tabela 10 – Especificações básicas dos conversores que compõem o RHT-HVDC-MEA	112
Tabela 11 – Fonte CA Supplier modelo FCATHQ 00276.....	112
Tabela 12 – <i>LaunchPad</i> com o DSP TMS320F28379D embarcado.	113

SUMÁRIO

CAPÍTULO I Introdução Geral	21
1.1 CONSIDERAÇÕES INICIAIS	21
1.2 ESTRUTURA DA TESE	24
 CAPÍTULO II Estado da Arte.....	25
2.1 CONSIDERAÇÕES INICIAIS	25
2.2 CENÁRIO ENERGÉTICO DE BIOCOMBUSTÍVEIS.....	25
2.2.1 SETOR ENERGÉTICO PARA TRANSPORTES	26
2.2.2 CENÁRIO DE BIOCOMBUSTÍVEIS NO BRASIL	29
2.3 AERONAVE MAIS ELÉTRICA.....	30
2.3.1 SISTEMA ELÉTRICO DE POTÊNCIA DE AERONAVES	31
2.3.2 NORMAS DO SETOR DE AVIAÇÃO.....	34
2.4 COMPARAÇÃO ENTRE CONVERSORES DE POTÊNCIA.	36
2.4.1 CONVERSORES CHAVEADOS EM ALTA FREQUÊNCIA	38
2.4.2 RETIFICADORES HÍBRIDOS – COM COMUTAÇÃO NA FREQUÊNCIA DE ALIMENTAÇÃO CA.....	43
2.4.3 RETIFICADOR HÍBRIDO PROPOSTO.....	48
2.5 CONSIDERAÇÕES FINAIS.....	52
 CAPÍTULO III Retificador Híbrido Trifásico	53
3.1 CONSIDERAÇÕES INICIAIS	53
3.2 ESTRUTURA DE POTÊNCIA.....	54
3.2.1 CONVERSOR <i>BOOST</i> TRIFÁSICO	54
3.2.2 RETIFICADOR NÃO-CONTROLADO (RNC)	55
3.2.3 LLC SÉRIE RESSONANTE (LLCSR)	55
3.2.4 COMPOSIÇÃO DAS CORRENTES DE ENTRADA	60
3.2.5 COMPOSIÇÃO SÉRIE DE TENSÃO NA SAÍDA	62
3.3 DIMENSIONAMENTO DO RHT-HVDC-MEA	63
3.3.1 ESPECIFICAÇÃO DO RNC E <i>BOOST</i> TRIFÁSICO.....	63
3.3.2 ESPECIFICAÇÃO DO LLCSR	65
3.4 CONSIDERAÇÕES FINAIS.....	69
 CAPÍTULO IV Controle Digital e Processamento Paralelo entre Núcleos	70
4.1 CONSIDERAÇÕES INICIAIS	70
4.2 CONSIDERAÇÕES SOBRE DSPs E FPGAs	70
4.3 ESTRATÉGIA DE CONTROLE.....	72
4.3.1 PROJETO DO CONTROLADOR PI	75

4.4 PROCESSAMENTO PARALELO ENTRE NÚCLEOS	80
4.4.1 CONFIGURAÇÃO DOS REGISTRADORES	81
4.4.2 COMUNICAÇÃO DE VARIÁVEIS ENTRE OS NÚCLEOS DO DSP	87
4.4.3 LARGURA DE BANDA E PROCESSAMENTO	90
4.5 CONSIDERAÇÕES FINAIS.....	93
CAPÍTULO V Resultados de Simulação	94
5.1 CONSIDERAÇÕES INICIAIS	94
5.2 RESULTADOS DE SIMULAÇÃO DO <i>PSim</i>	94
5.2.1 CORRENTE DE ENTRADA	94
5.2.2 COMPOSIÇÃO DE TENSÕES NA SAÍDA	97
5.2.3 ESTRATÉGIA DE REDUÇÃO PULSO ATIVO – RPA	99
5.2.4 LLC SÉRIE RESSONANTE	100
5.2.5 RESULTADOS PARA DEGRAU DE CARGA.....	101
5.2.6 ENSAIOS NO <i>PHASE LOCKED LOOP</i> – SOGI-PLL	103
5.3 RESULTADOS DO <i>LTSpice</i> PARA O LLC SR	104
5.4 CONSIDERAÇÕES FINAIS.....	109
CAPÍTULO VI Resultados Experimentais	110
6.1 CONSIDERAÇÕES INICIAIS	110
6.2 ASPECTOS CONSTRUTIVOS DO PROTÓTIPO DESENVOLVIDO	110
6.3 ENSAIOS QUALITATIVOS DO RHT-HVDC-MEA	118
6.3.1 RESULTADOS DE MEMÓRIA E ALGORITMOS DO DSP	125
6.4 RESULTADOS DE EFICIÊNCIA E ESTRESSE TÉRMICO	130
6.5. CONSIDERAÇÕES FINAIS.....	136
CAPÍTULO VII Conclusões Gerais e Trabalhos Futuros	138
7.1. CONCLUSÃO	138
7.2. PRINCIPAIS ATIVIDADES RELACIONADAS À PESQUISA DURANTE O DOUTORADO	140
7.3. TRABALHOS FUTUROS.....	142
REFERÊNCIAS.....	145

SIMBOLOGIA

ANPC	<i>Active Neutral Point Clamped</i>
bioQAV	Bioquerosene de Aviação
CCZ	Cenário Carbono Zero
CLA	<i>Control Law Accelerators</i>
COP	Conferência das Partes
DBS-AM	<i>Double-Sideband Amplitude Modulation</i>
DFT	<i>Discrete Fourier Transform</i>
DHTi	Distorção Harmônica Total de Corrente
DSP	<i>Digital Signal Processor</i>
EMI	<i>Eletromagnetic interference</i>
EPE	Empresa de Pesquisas Energéticas
FP	Fator de Potência
FPB	Filtro Passa-Baixa
GaN	Nitreto de Gálio
HEMT	<i>High Eletron Mobility Transistor</i>
HMMR	<i>Hybrid Modular Multilevel Rectifier</i>
HVDC	<i>High Voltage Direct Current</i>
IRENA	<i>International Renewable Energy Agency</i>
LLCSR	LLC Série Ressonante
MEA	<i>More Electric Aircrafts</i>
MVDC	<i>Medium Voltage Direct Current</i>
NPC	<i>Neutral Point Clamped</i>
NUPEP	Núcleo de Pesquisas em Eletrônica de Potência
PDE	Plano Decenal de Expansão Energética
PFC	<i>Power Factor Correction</i>
PFM	<i>Pulse Frequency Modulation</i>
PLL	<i>Phase-Locked Loop</i>
PSM	<i>Phase Shift Modulation</i>
QAV	Querosene de Aviação
RH	Retificador Híbrido
RNC	Retificador Não-controlado

SEP	Sistema Elétrico de Potência
Si	Silício
SiC	Carbeto de Silício
SVPWM	<i>Space Vector Pulse Width Modulation</i>
TTPR	<i>Three-phase Three-port Rectifier</i>
UP	Ultrapassagem Percentual
WBG	<i>Wide Bandgap</i>
ZCS	<i>Zero Current Switching</i>
ZVS	<i>Zero Voltage Switching</i>

CAPÍTULO I

Introdução Geral

1.1 Considerações Iniciais

Muito se discute sobre a importância nos estudos e evolução da utilização de combustíveis fósseis no cenário energético mundial. Aspectos ambientais como a redução da emissão de gases do efeito estufa, como o CO₂, têm sido o foco dos assuntos tratados na Conferência das Nações Unidas sobre Mudança do Clima na 26ª Conferência das Partes (COP), evento ocorrido em 2021 na cidade de Glasgow, o qual o Brasil é um dos signatários. A premissa fundamental para esta mudança climática depende de investimentos tecnológicos em conversões eficientes de energia na matriz energética mundial [1].

Alguns fatores da economia global, e até mesmo os efeitos da pandemia de COVID-19, refletiram no panorama de crescimento dos países. No Brasil, a matriz energética corresponde por 47% de fontes renováveis, enquanto a elétrica por cerca de 85%. A partir disso, ao longo do horizonte de 10 anos contemplados no Plano Decenal de Expansão Energética (PDE-2031), são estimados investimentos de mais de R\$ 3,2 trilhões, dos quais aproximadamente R\$ 530 bilhões serão alocados à geração e transmissão de energia elétrica e a parcela restante de R\$ 2,7 trilhões destinados a petróleo, gás natural e biocombustíveis. Para tanto, é estimado um crescimento econômico de quase 3,0% ao ano no país.

No setor de transportes, em especial o de aviação, a demanda por querosene de aviação (QAV) possui crescimento estimado de 9,5% a.a., mesmo considerando as influências econômicas da pandemia de COVID-19. Neste cenário, no Brasil já é previsto a inserção do uso de bioquerosene de aviação (bioQAV) para auxiliar nesta transição energética de maneira mais sustentável [2].

A partir destas preocupações ambientais e econômicas, surge o conceito Aeronave Mais Elétrica (do inglês, *More Electric Aircrafts* – MEA), que se baseia na busca por eficiência e novas arquiteturas do sistema elétrico das aeronaves, a fim de substituir os convencionais acionadores de carga, propulsores, geradores e demais

dispositivos mecânicos, hidráulicos e pneumáticos [3]. As considerações preponderantes para um bom desempenho de conversores passam pela robustez, imunidade a ruídos, confiabilidade, eficiência, entre outros aspectos. Além disso, as turbinas geradoras movidas a QAV possuem frequência de operação fixa em 400Hz, por meio de um eixo de velocidade constante acoplado ao gerador da aeronave, ou variável entre 360Hz a 800Hz, exigindo maior flexibilidade dos conversores estáticos.

Um exemplo disso é o Boeing 787, que emprega uma arquitetura de sistema elétrico com diversos níveis de tensão, inclusive em alta tensão em corrente contínua (do inglês, *High Voltage Direct Current* – HVDC) e, com isso, possui uma redução no consumo de combustível de até 20% em relação a aeronaves de mesmo porte. Essas melhorias permitem maior conforto aos passageiros e corroboram com as metas ambientais previamente mencionadas, visto que a redução do peso e dos condutores para um sistema elétrico em HVDC, implica em um menor consumo de combustível [4].

Para a padronização dos elementos das aeronaves, sejam eles conversores ou acionadores, normas da aviação se fazem necessárias para garantir o desempenho e os procedimentos de testes em equipamentos, a fim de garantir a segurança nos voos. Em relação às normas de sistemas conectados à rede elétrica, como a IEC 61000-3-2 [5], as normas da aviação são mais restritivas no que diz respeito à injeção de harmônicos no sistema elétrico de potência (SEP) de uma aeronave.

Com essa massiva eletrificação nas aeronaves, a potência requerida atinge a casa dos MW. As novas tecnologias de semicondutores de carbeto de silício (SiC) e nitreto de gálio (GaN) são capazes de operar com alta temperatura de junção, elevadas altitudes e, aliados a isso, suas características intrínsecas favorecem o emprego de frequências de chaveamento maiores, tornando os conversores menores e capazes de entregar maior potência às cargas, ou seja, possuem maior densidade de potência quando comparados a tecnologia consolidada de silício (Si). Os inversores que empregam esta nova tecnologia, transformam a energia CA proveniente das turbinas geradoras na aeronave em CC, isso contribui para a eficiência no acionamento de cargas elétricas específicas e redução do peso de condutores no SEP [6].

O uso de conversores multiníveis ou multiportas auxiliam no aumento de densidade de potência e divisão do processamento de potência entre as unidades de processamento de energia, uma vez que há o emprego de componentes ativos e passivos adicionais, além do controle ser centralizado em um único conversor. Todavia, a complexidade do controle pode ser aumentada em relação aos convencionais [7].

Com isso, a família de Retificadores Híbridos (RH) se apresenta como uma boa solução em detrimento de conversores convencionais. São compostos pela associação de dois ou mais conversores, sendo um deles passivo ou chaveado na frequência da rede elétrica e outro chaveado em alta frequência, responsável por drenar correntes de linha com baixa distorção harmônica. Suas características que os tornam propensos a utilização em aeronaves são: a elevada robustez, densidade de potência, confiabilidade, baixo custo de aquisição e baixa complexidade de implementação [8].

Com o objetivo de utilizar os benefícios dos níveis de HVDC em uma aeronave, o conversor proposto pertence a esta família dos Retificadores Híbridos, onde a associação série na etapa de saída CC auxilia na redução das tensões máximas de bloqueio nos semicondutores e, a associação em paralelo na entrada contribui para a divisão da corrente eficaz vista pela entrada de cada um dos conversores.

O controle desenvolvido neste trabalho foi implementado em linguagem C e embarcado em um *LaunchPad* de baixo custo da *Texas Instruments®*, equipado com o DSP TMS320F28379D. Este processador operou com quatro núcleos capazes de realizar operações paralelas, com amostragem máxima de 400 kHz em três núcleos e 200 kHz no núcleo principal remanescente.

Cabe salientar, que a aplicação do conversor proposto não se limita apenas aos sistemas elétricos de potência em aeronaves, mas também em topologias relacionadas a carros elétricos e microrredes CC, que para a estrutura desenvolvida neste trabalho, é capaz de realizar o suporte de potência reativa à rede elétrica. No PDE 2031 [2], é citado o potencial dos Retificadores Híbridos em sistemas de transmissão para o desenvolvimento tecnológico neste horizonte de planejamento energético.

1.2 Estrutura da Tese

O trabalho em questão será dividido em 7 capítulos, incluindo este primeiro que apresentou uma breve introdução ao tema proposto e, os demais serão expostos a seguir.

No Capítulo II, é abordado o estado da arte acerca do cenário energético do Brasil e mundial e das premissas para obtenção de eficiência energética no uso de biocombustíveis. Uma breve contextualização sobre os tipos de topologias que podem ser empregadas, além das características que tornam estes conversores atrativos para a proposta MEA. As normas internacionais relativas ao desempenho dos conversores interligados ao SEP de uma aeronave também foram abordadas.

No Capítulo III, são discutidas as premissas básicas e fundamentação teórica de funcionamento do conversor que permite sua operação com elevada eficiência e densidade de potência.

O Capítulo IV apresenta o projeto do controlador PI e a estratégia de controle para viabilizar a operação paralela entre os núcleos do DSP, a fim de possibilitar uma frequência de chaveamento elevada e mitigação das perdas por chaveamento.

No Capítulo V, são apresentados os resultados de simulação e controle em dois softwares, o *PSIM* e o *LTSpice*, cada qual com sua especificidade para garantir o êxito para a proposta do trabalho.

Já no Capítulo VI, o foco é na demonstração dos resultados práticos para corroborar os ensaios de simulação. Para tanto, um protótipo de 1,2 kW do conversor proposto será desenvolvido. Adicionalmente, todos os resultados quantitativos e qualitativos serão apresentados para validar a proposta.

Por fim, o Capítulo VII contempla a conclusão acerca da pesquisa, evidenciando a viabilidade do conversor e suas contribuições, além de apresentar a proposta de trabalhos futuros.

CAPÍTULO II

Estado da Arte

2.1 Considerações Iniciais

Este capítulo apresenta uma breve contextualização acerca dos cenários do setor energético, como foco no setor de aviação e combustíveis sustentáveis. Logo após, são elencados os principais conceitos relacionados ao MEA, incluindo seu SEP e as principais normas do setor de aviação. Por fim, é feita uma revisão das topologias de conversores modulares, multiportas e multiníveis com o intuito de compará-los com os RH e, a partir disto, apresentar o conversor desenvolvido neste trabalho.

2.2 Cenário Energético de Biocombustíveis

O investimento em fontes renováveis de energia tem sido expressivo, mas o setor de transportes do futuro ainda precisará de combustíveis, a exemplo do bioquerosene como fonte de primária de energia. Este investimento mais do que dobrou em 2022 quando comparado ao ano de 2021, atingindo cerca de 8 bilhões de dólares. Deste valor, quase 70% foi em biodiesel, impulsionados pelo Brasil e EUA que contribuíram com 30% em 2021. O planejamento da expansão de capacidade de produção do óleo vegetal hidratado e do combustível sustentável de aviação contam com projetos financiados na casa dos 1,5 bilhões de dólares para suprir a demanda a curto prazo [9].

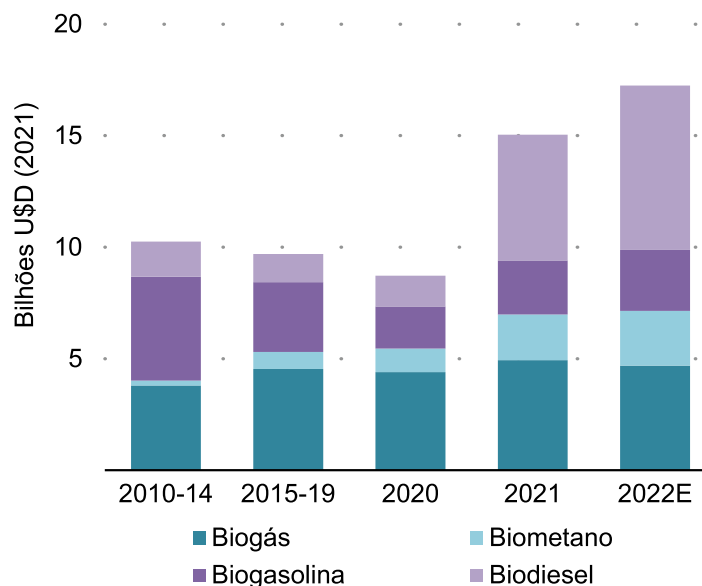
Alguns países cancelaram a exportação de suprimentos para a produção de biocombustível, fato este observado pela insegurança no suprimento da cadeia alimentícia decorrente do conflito entre a Rússia e Ucrânia, gerando incertezas na produção de fertilizantes e gás natural. O alto preço do óleo favoreceu mais investimentos em biocombustíveis, mas ainda há uma competição de demanda com o setor alimentício.

O investimento global em biogases foi de menos de U\$ 7 bilhões em 2021, um aumento de 30% observado em 2020. Grande parte disso, é composto pelo novo

investimento em biometano na União Europeia, que para 2022 foi previsto sua expansão. A Comissão Europeia possuía uma meta de dobrar a produção de biometano até o final de 2022, de acordo com as previsões à época, do nível atual de cerca de 29,3 TWh por ano e, eventualmente, chegar a 341,9 TWh até 2030.

Assim, o biometano pode se tornar competitivo e atrair mais investimentos em relação gás natural, visto que sua elevação de preço foi considerável nos últimos anos. Cerca de 160 TWh de biogás são produzidos na União Europeia, esse montante pode utilizar a mesma infraestrutura do atual gás natural e ser amplamente utilizado na Europa. A Figura 1 ilustra a composição e o crescente investimento global de biocombustíveis [9].

Figura 1 – Investimento global de biocombustíveis.



Fonte: Adaptado de [9].

2.2.1 Setor Energético para Transportes

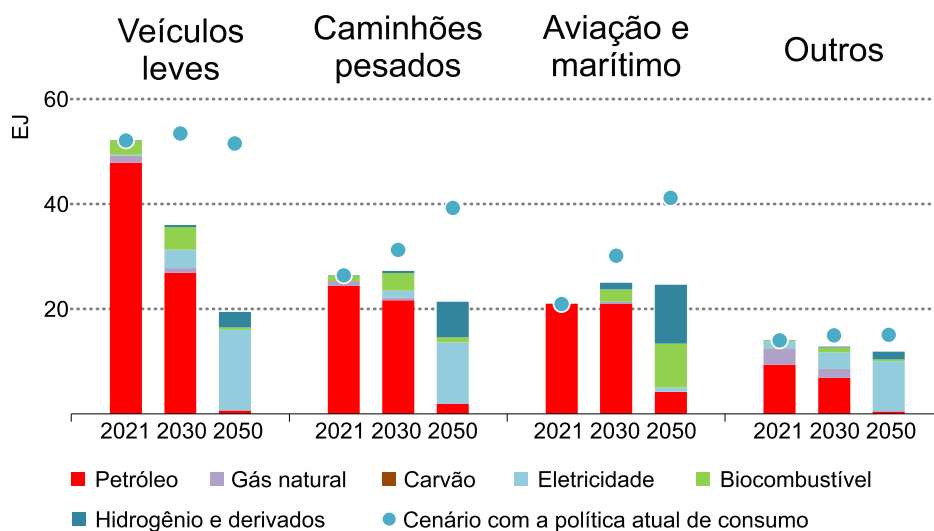
O programa de descarbonização pautado nas recentes COP, denominado Cenário Carbono Zero (CCZ), para o setor dos transportes precisa de dois fatores determinantes. O primeiro é baseado no consumo de energia por eletricidade, considerando o crescente mercado de veículos elétricos equipados com baterias de lítio ou por células de hidrogênio no transporte terrestre. O segundo é a mudança na concepção do uso combinado de combustíveis de baixa emissão de CO₂, como por exemplo, biocombustíveis e hidrocombustíveis para o setor de aviação e marítimo.

O setor de aviação na atualidade é fundamentalmente dependente de combustíveis derivados do petróleo. Se por um lado o cenário da pandemia restringiu os voos comerciais, após a progressiva retomada da economia, as emissões de gases do efeito estufa aumentaram em mais de 20% ano a ano para 700 milhões de toneladas em 2021, mas ainda ficando abaixo do observado em 2019.

O uso internacional de QAV deverá diminuir cerca de 90% até 2030, seguido de uma redução de mais 20% em 2050. Para tanto, os combustíveis sustentáveis de aviação, especialmente o bioQAV, deverão compor uma parcela de 10% até 2030 do total de energia demandada para o setor e investimentos governamentais, tanto para ampliação em aeroportos, armazenamento e escoamento da produção destes biocombustíveis.

A Figura 2 mostra o consumo para o setor de transportes, evidenciando a remanescente dependência dos setores de aviação e marítimo com os combustíveis derivados do petróleo [10].

Figura 2 – Consumo final de energia no setor de transportes por fonte e modo no Cenário Carbono Zero, 2021-2050.



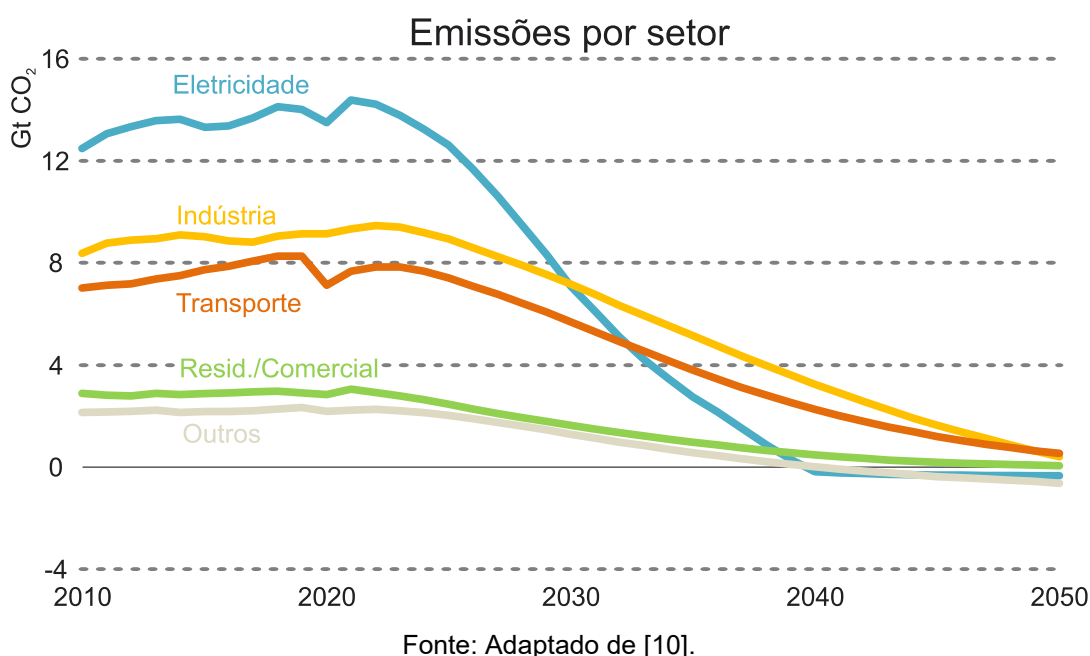
Fonte: Adaptado de [10].

Considerando a energia por fontes de consumo, entre 2021 e 2030, as emissões de CO₂ reduziram cerca de um terço no CCZ, totalizando 23 Gt em 2030. Estas observações ocorrem principalmente pela mudança nos hábitos de consumo, melhora na eficiência dos processos de conversão de energia e políticas de consumo como a troca de combustíveis fósseis.

O setor de eletricidade, após a recuperação econômica presenciada pós pandemia, apresenta a maior redução de emissões, devendo atingir emissões nulas nos países desenvolvidos em 2035 e para os em desenvolvimento até 2040. O que por sua vez, causa uma redução e auxilia na transição de outros setores como o de transporte e residencial.

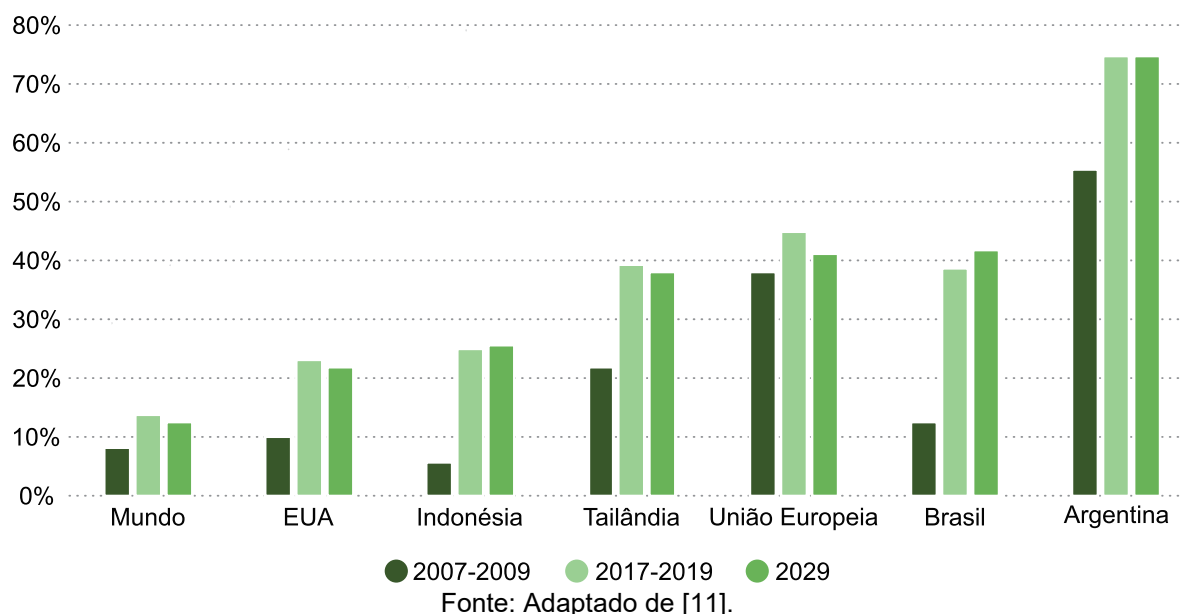
Ao final do ano de 2050, como é de se esperar, o setor de transportes deverá apresentar as maiores emissões pela sua dependência dos combustíveis fósseis que tendem a ser substituídos por biocombustíveis. A Figura 3 mostra as emissões de carbono por setor para o CCZ.

Figura 3 – Projeção da emissão de CO₂ no Cenário Carbono Zero, 2010-2050.



Outra análise importante a respeito da descarbonização, é o uso de combustíveis combinados. De acordo com a Agência Internacional de Energias Renováveis (do inglês, *International Renewable Energy Agency* – IRENA), o setor de aviação deverá adotar várias estratégias para sua descarbonização, como o uso de combustíveis derivados de biomassa e aumentar a escala de produção dos mesmos. Atualmente, este setor é um dos maiores nas emissões de gases com cerca de 2% do total analisado [11]. Conforme indicado na Figura 4, o Brasil entre os anos de 2007 e 2017 aumentou substancialmente a parcela de óleo vegetal na composição de seu biodiesel.

Figura 4 – Proporção de óleo vegetal usado na produção de biodiesel em diferentes países.

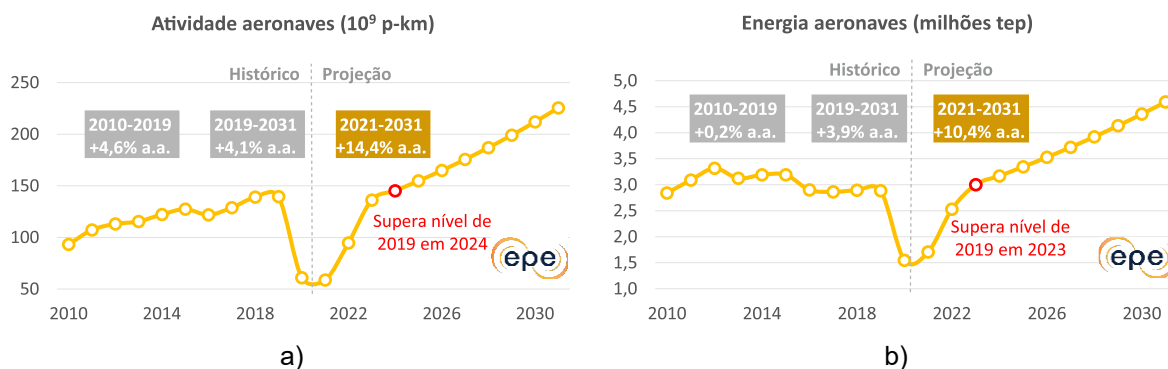


2.2.2 Cenário de Biocombustíveis no Brasil

No Brasil, a Empresa de Pesquisas Energéticas – EPE, ligada ao Ministério de Minas e Energia, é responsável por realizar os estudos de planejamento necessários para as análises de expansão energética, os quais servem de insumos para as concessionárias de distribuição no Brasil e os diversos setores da economia [12]. No PDE do horizonte 2020-2031, são estimados cerca de R\$ 2,7 trilhões de reais de investimentos em petróleo, gás natural e biocombustíveis, mediante a previsão de crescimento econômico de 2,9% ao ano.

Os reflexos da pandemia de COVID-19 afetaram a quantidade de voos mundialmente, para o Brasil esta realidade não foi diferente. Todavia, a partir de 2023, com a retomada das atividades econômicas e uma redução no preço do QAV, quantidade de passageiro-km de voo possui projeção de crescimento de 14,4% a.a., como ilustrado na Figura 5 a). Em consequência disto, a Figura 5 b) possui a mesma tendência de crescimento em relação a energia consumida pelas aeronaves, que serve de insumo para estimar a produção de QAV para suprir esta demanda [13].

Figura 5 – a) Projeção da quantidade de passageiro-km e b) Projeção da energia consumida pelas aeronaves.



Visto a parcela de contribuição do setor de aviação para as emissões dos gases do efeito estufa, a meta de cumprimento dos tratados ambientais só deve ser alcançada mediante o uso de biocombustíveis. No Brasil, o QAV alternativo, é regido por critérios da Resolução ANP 856/2021, definindo as parcelas que compõem este combustível, como por exemplo, a biomassa, gases e sólidos residuais, além de carvão e gás natural [2].

Atualmente, há comitês que visam estudar a inserção destes combustíveis e viabilizá-los por meio de políticas de produção de bioQAV. No estado do Ceará, há um estudo para a implantação de um parque elétrico movido a energia eólica/fotovoltaica, com o objetivo de fabricar hidrogênio e QAV alternativo com parâmetros de qualidade que perpassam as exigências mundiais, a fim de abastecer aeroportos distantes dos centros de distribuição de combustíveis [14].

Diante o horizonte de planejamento da EPE, é estimado que estes biocombustíveis comecem a compor a matriz energética no Brasil a partir de 2027, com aproximadamente 130 mil m³ em 2031 e correspondendo a cerca de 1,4% do consumo de combustível de aviação [2].

2.3 Aeronave Mais Elétrica

O setor de aviação nos EUA contou com aproximadamente 9% da energia gasta em transportes no ano de 2019. Neste ano, a *Energy Information Administration* dos EUA estimou que o transporte aéreo seria o único sustentável em consumo

energético, aumentando sua parcela para 14% em 2050. Os ganhos nas passagens aumentaram cerca de 3% ao ano entre 2009 e 2019, mas mesmo assim, as empresas do setor reduziram o consumo energético por passageiro com um aumento de ocupação das aeronaves para mais de 80%.

O mercado da aviação movimentou cerca de 99 milhões de dólares em 2018 e estimava um crescimento de até 122 milhões até 2023. Há ainda, o otimismo que este crescimento chegue à 178 bilhões de dólares até 2040, começando em 2028, onde a primeira aeronave híbrida (acionamento elétrico e mecânico) esteja disponível em mercado [15].

Observadas as crescentes emissões de CO₂ na atualidade e a dificuldade do setor de aviação em adotar medidas para a descarbonização, as alternativas consideradas passam pela transição do uso de combustíveis sustentáveis de aviação, que são derivados basicamente da biomassa. Para suprir esta tendência, surge o conceito MEA, que trata da eletrificação na arquitetura de potência para acionamento de cargas nas aeronaves. A princípio, o objetivo é substituir todo o sistema não relativo à propulsão e modificar o existente, incluindo o uso de sistemas de armazenamento por baterias, para melhorar sua eficiência global [16].

A eletrificação das aeronaves conferirá a longo prazo os seguintes benefícios:

- 1) Redução de custos com combustíveis e manutenções;
- 2) Intensificação do mercado regional de viagens de curta distância;
- 3) Redução de emissões de gases;
- 4) Redução de ruídos por meio de propulsão elétrica e híbrida das turbinas;
- 5) Aumento de acessibilidade; e
- 6) Desenvolvimento econômico.

2.3.1 Sistema Elétrico de Potência de Aeronaves

Tradicionalmente, nas aeronaves mais antigas, a geração, distribuição e consumo para os equipamentos elétricos, pneumáticos, hidráulicos e mecânicos eram feitos de forma separada. Mais precisamente, os sistemas de iluminação e entretenimento eram fornecidos por matriz de geração elétrica, enquanto os sistemas pneumáticos acionavam o sistema anti-gelo das asas, pressurização da cabine interna e o ar-condicionado. Os combustíveis eram bombeados pelo sistema mecânico. Já

para os atuadores de controle de voo e os serviços auxiliares, a fonte de acionamento era a hidráulica. Todas estas características do SEP das aeronaves limitavam as conversões de energia, que resultavam em menor eficiência, maiores níveis de consumo de combustível e sobrepeso nas aeronaves [17].

Assim, o SEP das aeronaves mais modernas é composto por vários níveis de tensão, de tal forma que os conversores de energia elétrica são responsáveis por acionar as diversas cargas, no âmbito desta premissa de eletrificação do MEA. A eficiência global destes conversores e outros componentes é diretamente afetada pela escolha dos níveis de tensão adotados. Sendo assim, normas como a MIL-STD-704 [18], padronizam os níveis de tensão como descrito abaixo:

- Níveis de tensão CC: 540V ($\pm 270V$), 270V ($\pm 135V$) e 28V;
- Níveis de tensão CA: 115 $V_{\text{fase}}/230 V_{\text{fase}}$ com frequência variável (por exemplo, o Boeing 787 com 350-800Hz), 230 V_{fase} com frequência fixa em 400Hz e 115 V_{fase} com frequência fixa em 400Hz.

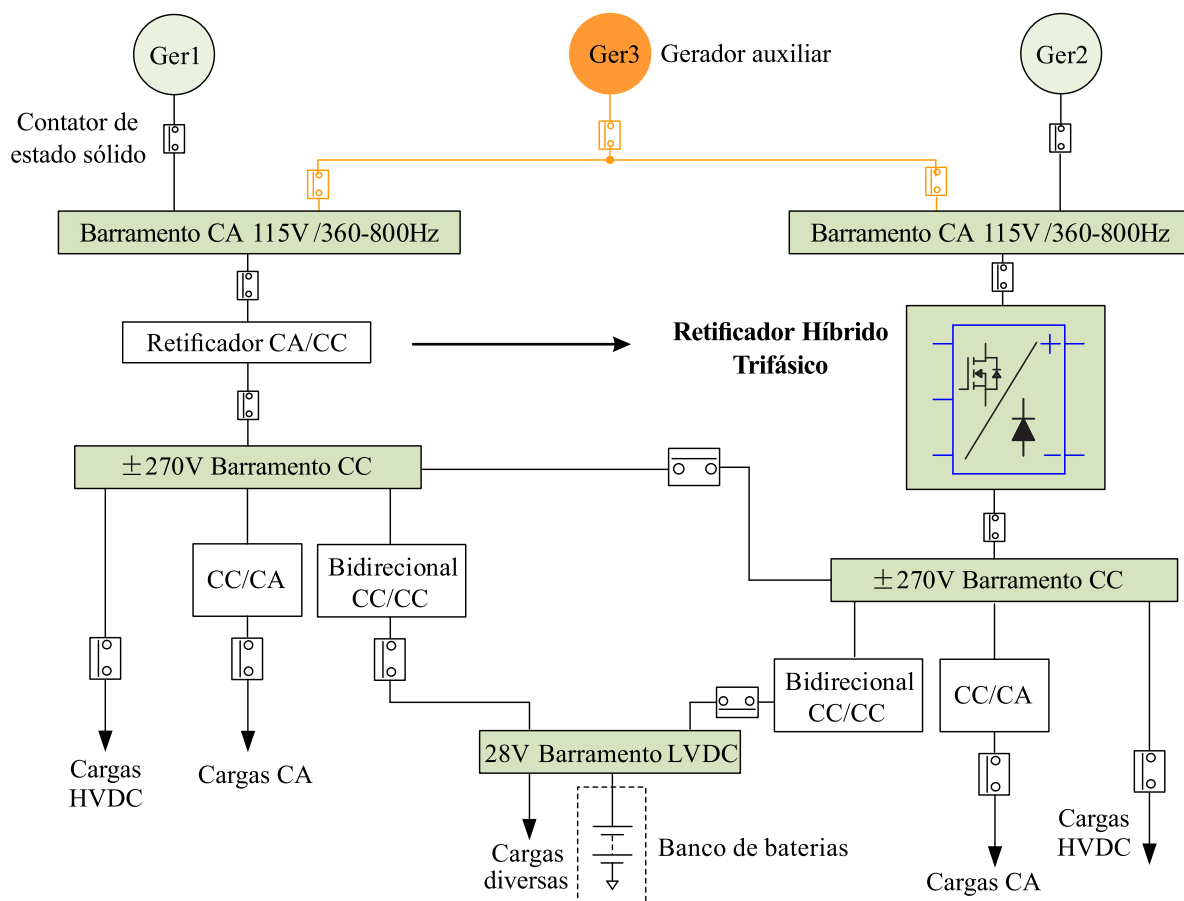
Esta padronização é necessária para a manutenção dos equipamentos e outros componentes (como as baterias e os conversores) que ocorre nos aeroportos [19].

No geral, o SEP é alimentado pelas turbinas da aeronave, que consomem combustível de aviação. Há também, um gerador auxiliar que atua quando a aeronave está em solo. A Figura 6 ilustra um SEP típico, onde há a utilização de níveis de tensão em HVDC e uma possibilidade de interligação entre os barramentos da aeronave, a fim de aumentar a confiabilidade em caso de falha de alguma unidade geradora, no caso uma das turbinas [20]. Cabe ressaltar que a transmissão em CC também é realizada por meio de barramento simétrico de $\pm 270V$, o qual requer um ponto comum à terra no lado CC. Por outro lado, os estudos apresentados em [21], [22] e [23], apontam que há uma tendência em se utilizar 540V, o que motivou o desenvolvimento do conversor proposto nesta tese de doutorado com essa especificação de projeto.

Apesar dos níveis de distribuição em HVDC nas aeronaves apresentar esta característica de redução de peso, a principal preocupação em termos de confiabilidade é a possibilidade de ocorrência de arcos elétricos, em uma eventual situação de falha nos conversores ou seccionamento de algum trecho energizado. Todavia, estudos vêm sendo conduzidos para mitigar este problema com a solução e uso de disjuntores híbridos, que são compostos pela arquitetura mecânica já

consolidada, aliada às novas tecnologias de seccionamento em estado sólido, ou seja, semicondutores [24]. Assim sendo, o emprego de níveis de tensão em HVDC se torna viável ao passo que estas evoluções tecnológicas tendem a se consolidar.

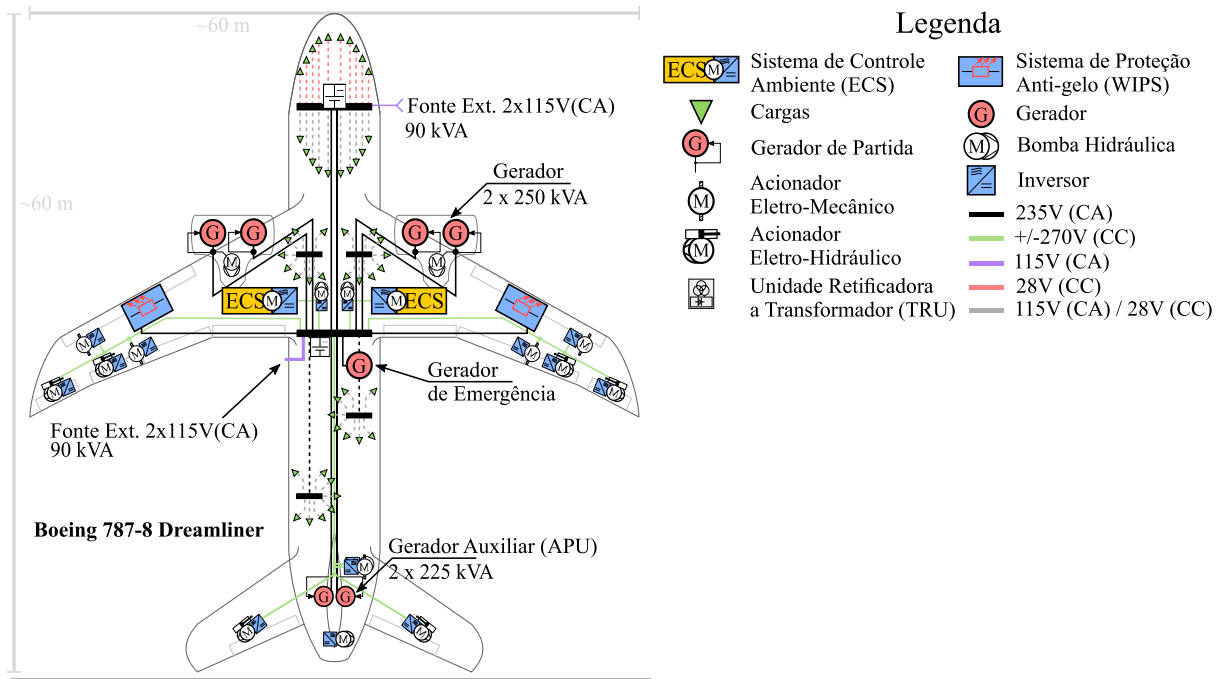
Figura 6 – Sistema elétrico típico de aeronaves em HVDC, com a proposta do Retificador Híbrido Trifásico.



Fonte: Adaptado de [20].

Um exemplo de aeronave que já adota o conceito MEA, é o Boeing 787 *Dreamliner*, que possui uma capacidade de até 250 passageiros para trajetos de cerca de 15.000 km. Relacionado a esta distância máxima de voo, esta aeronave já apresenta uma redução de até 20% no combustível, quando comparado a aeronaves de mesmo porte [4]. Estas características são possíveis pela adoção de um sistema elétrico otimizado, com a presença de níveis de tensão em HVDC, que contribuiu para a redução do peso na aeronave como um todo. A Figura 7 ilustra o Boeing 787 como foco em seu SEP.

Figura 7 – Sistema elétrico de potência do Boeing 787.



Fonte: Adaptado de [3].

2.3.2 Normas do setor de aviação

A abrangência do termo MEA se remete à redução do peso e volume dos elementos acionadores e demais dispositivos em uma aeronave, a fim de reduzir seu peso e, por consequência, o consumo de combustível. Assim, os conversores de energia precisam possuir alta densidade de potência para se enquadrar nestes requisitos.

As normas internacionais MIL-STD-704 [18], DO-160F [25] e ISO-1540 [26], abordam diversos aspectos técnicos e operacionais como: compatibilidade magnética (EMI), testes de vibração, ensaios de variação da frequência de alimentação, tolerância a perda de fase, dentre outros. Além disso, as companhias aéreas podem adotar critérios ainda mais restritivos para garantir padrões de qualidade elevados [27].

A DO-160F estabelece os níveis harmônicos individuais listados na Tabela 1 e ilustrados na Figura 8. O limite harmônico individual se mostra mais restritivo em relação a outras normas como a IEC 61000-3-2, mas suas características consideram

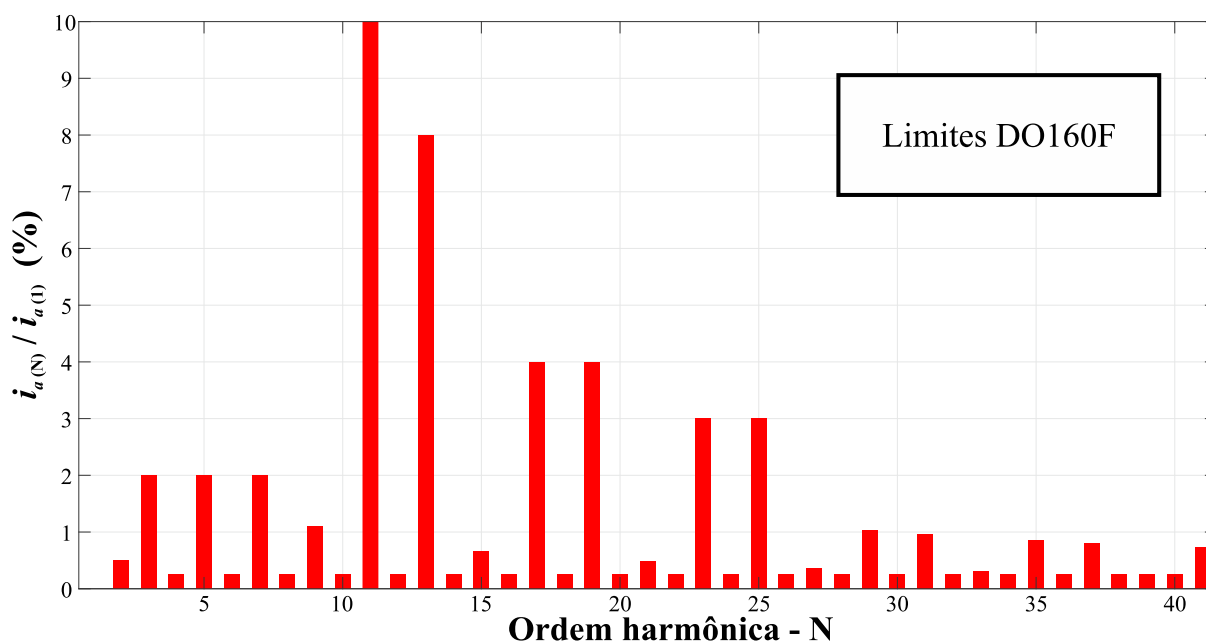
o emprego de retificadores passivos com 12, 18 ou 24 pulsos, amplamente utilizados em aeronaves devido a sua robustez intrínseca.

Tabela 1 – Classificação dos limites harmônicos definidos pela DO-160F.

Ordem Harmônica - N	Limite I_h
3, 5, 7	$I_3 = I_5 = I_7 = 0,02 I_1$
Ímpares múltiplos de três	$I_h = 0,1 I_1/N$
11	$I_{11} = 0,1 I_1$
13	$I_{13} = 0,08 I_1$
Ímpares não múltiplos de três, 17 e 19	$I_{17} = I_{19} = 0,04 I_1$
Ímpares não múltiplos de três, 23 e 25	$I_{23} = I_{25} = 0,03 I_1$
Ímpares não múltiplos de três, 29, 31, 35 e 37	$I_h = 0,3 I_1/N$
Pares 2 e 4	$I_h = 0,01 I_1/N$
Pares > 4 (N = 6, 8, 10, ..., 40)	$I_h = 0,0025 I_1$

Fonte: Adaptado de [25].

Figura 8 – Limites harmônicos definidos pela norma DO-160F.



Fonte: Adaptado de [25].

Além dos níveis e frequência da tensão de alimentação em regime permanente mencionados previamente, a norma DO-160F estabelece testes de variação na frequência de alimentação, a fim de simular condições de variações bruscas na

velocidade das turbinas, especialmente durante o desligamento das mesmas. Estas variações geralmente ocorrem a uma taxa de 100Hz/s à 200Hz/s.

Assim, um dos requisitos impostos por esta norma, é operar em 5 minutos com 115V_{rms} a uma frequência de 360 Hz +5/-0 Hz e, então elevar a frequência para 800Hz +0/-5Hz com uma taxa de 100 Hz/s. Para reduzir dos 800Hz até 360Hz, a taxa de variação é de 200Hz/s. Nesse sentido, as lógicas de controle devem permitir que o conversor apresente uma dinâmica compatível com estas variações vistas na alimentação CA da aeronave.

Em relação às variações da tensão CA de alimentação permitidas segundo a DO-160F, cabe esclarecer que a tensão RMS mínima por fase é de 100V, enquanto as máximas são de 122V, considerando a tensão nominal de 115V_{RMS} por fase e testes em regime permanente.

Por outro lado, no que diz respeito aos transitórios de tensão no lado CA, os conversores retificadores precisam suportar uma sobretensão de até 170V_{RMS} por 30 ms e uma subtensão de 70V_{RMS} pelo mesmo período. Estes ensaios são intercalados em torno da tensão nominal 115V_{RMS} por fase.

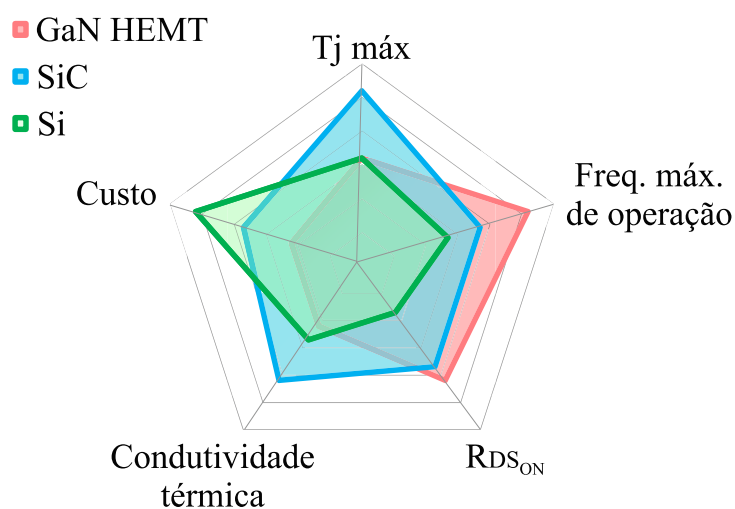
2.4 Comparação entre conversores de potência.

A evolução em eficiência e rendimento dos conversores de energia nos últimos anos apresentou um aumento considerável, principalmente diante o domínio e uso de novas tecnologias de semicondutores. Outro fator importante levado em consideração, é a necessidade de reduzir o volume e peso destes conversores para aplicações envolvendo a eletrificação do setor de transportes.

Este avanço é conseguido graças aos semicondutores que possuem alta largura de banda (do inglês, *Wide Bandgap* - WBG), constituídos primordialmente dos compostos carbeto de silício SiC e nitreto de gálio GaN (também conhecido como GaN HEMT (do inglês, *High Electron Mobility Transistor*), sendo que, ambos os materiais possuem características elétricas superiores ao silício Si [28]. A Figura 9 ilustra o comparativo entre as tecnologias de semicondutores empregadas em conversores chaveados.

Na maioria das aplicações, os dispositivos de SiC possuem tensão máxima de bloqueio na ordem de 650V à 1700V, enquanto os de GaN estão na faixa dos 30V aos 650V, comumente empregados em conversores com baixa tensão de operação e alta capacidade de corrente.

Figura 9 – Propriedades dos materiais GaN HEMT, SiC e Si.



Já o Si, por ser uma tecnologia mais consolidada, apresenta o custo mais atrativo em relação aos outros componentes citados. Com base nestas presunções, alguns conversores chaveados adotam os benefícios de cada tecnologia em apenas uma unidade, otimizando os custos e mantendo elevados níveis de eficiência, em torno de 99%, como é o caso do conversor GaN/Si com potência nominal de 10 kW projetado em [29].

Por outro lado, quando o foco de projeto é a densidade de potência, as soluções que empregam apenas os componentes de SiC ou GaN são as preferíveis. Em [30], um conversor trifásico constituído inteiramente por MOSFETs de SiC, apresenta eficiência máxima de 99,2% e uma densidade de potência de 4,0 kW/dm³, praticamente o dobro de um conversor que utiliza MOSFETs de Si e diodos de SiC citados neste mesmo trabalho.

Assim, além deste comparativo entre densidades de potência, se fazem necessárias outras análises, como o custo envolvido em cada solução adotada para as diversas aplicações dos conversores na eletrônica de potência. Deste modo, estas duas características precisam de um certo equilíbrio, visto que a viabilidade de um

produto, do conversor neste caso, depende das relações entre desempenho, tamanho/peso e custo.

As comparações realizadas a seguir, consideram como premissa básica a densidade de potência e redução de custos, controle empregado e a quantidade de sensores, provenientes de variações dos conversores convencionais. De modo geral, esquemas de conversores multiníveis, modulares ou intercalados são uma solução para elevar a potência em diversas aplicações [31].

2.4.1 Conversores chaveados em alta frequência

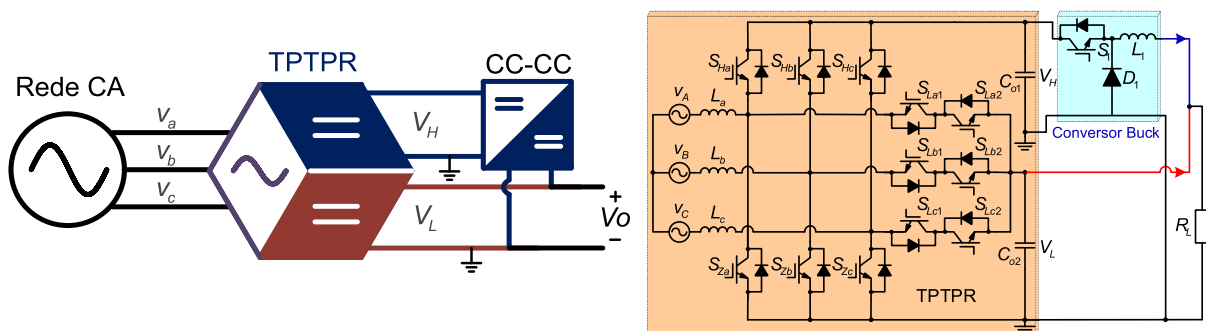
Os conversores chaveados têm sido empregados na indústria e em outros setores, principalmente pela flexibilidade no controle de injeção de corrente e tensão em sua entrada ou saída. Para a corrente drenada ou injetada na rede elétrica, as normas de qualidade de energia estabeleceram nos últimos anos requisitos básicos e qualitativos para a adequada operação destes conversores. Assim, em detrimento dos Retificadores Não-controlados (RNC) convencionais – geralmente pontes de diodos, os conversores chaveados possuem a função de correção ativa do fator de potência (do inglês, *Power Factor Correction* – PFC) e, isto traz inúmeros benefícios para o sistema elétrico ao qual eles estão instalados. Uma revisão completa acerca dos conversores passivos mais simples e os principais chaveados é feita em [32] e [33].

Tendo em vista a categoria de conversores modulares, sejam eles multiníveis, modulares ou multiportas, os quais visam o aumento de densidade de potência, as comparações a seguir consideram esta característica de associação dos conversores, pois o conversor proposto neste trabalho pode ser categorizado como um conversor modular híbrido.

Em [34], com o conversor ilustrado pela Figura 10, os autores propuseram um retificador trifásico de três portas, denominado como TTPR (do inglês, *Three-phase Three-port Rectifier*), baseado no conversor *T-Type* de três níveis [35]. Este conversor nada mais é que uma reconfiguração do conversor citado, com uma das saídas cascadeadas com um *Buck* para controlar um fluxo ótimo de potência, a fim de melhorar a eficiência.

Cabe salientar que, a eficiência máxima atingida é de mais de 97%, mas para uma condição específica de nível de tensão de alimentação e saída. Este trabalho tem como contribuição uma nova estratégia SVPWM (do inglês, *Space Vector Pulse Width Modulation*), todavia este controle é complexo, visto que é preciso controlar dois conversores com o auxílio de 5 sensores de tensão e 3 de corrente, utiliza 4 controladores proporcionais integradores – PI, além da estratégia de disparo de pulsos do SVPWM proposto.

Figura 10 – Esquema simplificado e diagrama elétrico do conversor TPTPR.



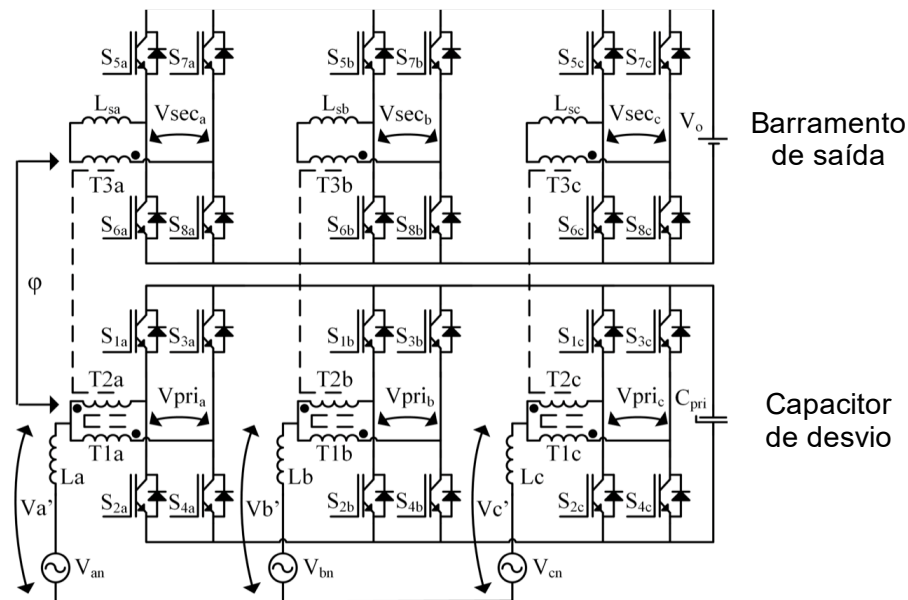
Fonte: Adaptado de [34].

Uma outra categoria de conversores, denominada de estágio único (CA-CC), também é empregada para aumentar a densidade de potência. Sua principal característica é a redução de uma etapa intermediária de filtragem da tensão de ondulação da rede, ou suas harmônicas em baixa frequência, que demanda o uso de capacitores de elevado valor e volume são usados apenas no barramento CC de saída. A principal aplicação destes conversores tem sido em carregadores de carros elétricos, onde a isolamento galvânica entre a alimentação e a saída é mandatória, por motivos de segurança [36].

Em [37], foi proposto um conversor isolado, bidirecional e de estágio único. Juntamente com uma técnica de chaveamento intercalada, é alcançado a característica de Chaveamento em Tensão Nula (do inglês, *Zero Voltage Switching – ZVS*) para determinada condição na modulação proposta. O protótipo utiliza pelo menos 8 sensores, sendo 3 de corrente e 5 de tensão que servem de entrada para os 6 compensadores e a lógica de disparo dos pulsos com uma modulação DBS-AM (do inglês, *Double-Sideband Amplitude Modulation*). A eficiência máxima é entre 92% e 93% para os dois modos de operação com 5 kW de potência. A Figura 11 ilustra o diagrama de potência do conversor de estágio único proposto.

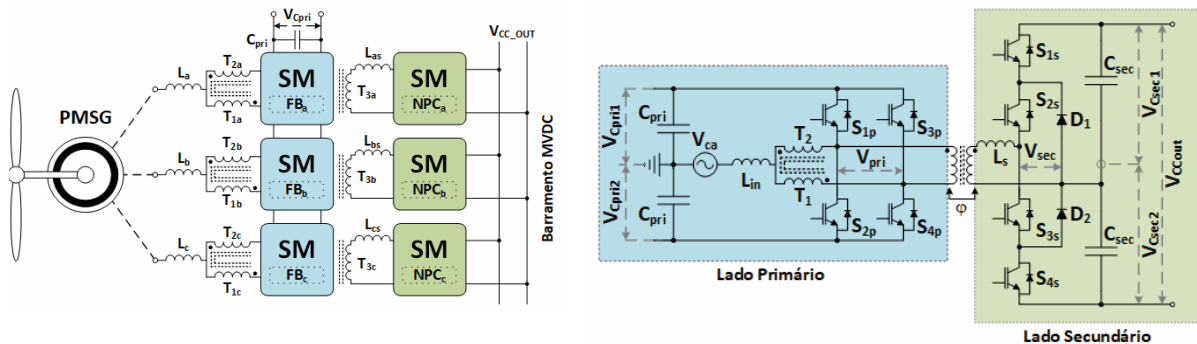
Baseado no mesmo conceito topológico do conversor citado acima, em [38] é estendido à aplicação de usinas eólicas para níveis de tensão MVDC (do inglês, *Medium Voltage Direct Current*). Cada módulo, após o transformador isolado, é composto por conversores multiníveis do tipo NPC (do inglês, *Neutral Point Clamped*), isto confere um aumento significativo da tensão de saída, especialmente se conectados em série por fase. Foram extraídos apenas resultados de simulação, visto que os níveis de potência e tensão dificultam a execução de um protótipo físico e, conseqüentemente, resultados de eficiência. A Figura 12 mostra o diagrama básico e o esquema elétrico por fase deste conversor.

Figura 11 – Diagrama elétrico de potência do conversor CA-CC bidirecional de estágio único.



Fonte: Retirado de [37].

Figura 12 – Diagrama e esquema elétrico do conversor CA-CC monofásico isolado.



Fonte: Retirado de [38].

Outra topologia de conversor multinível, ilustrado na Figura 13, foi proposta em [39] e denominado pelos autores como HMMR (do inglês, *Hybrid Modular Multilevel Rectifier*) para aplicações em HVDC. Uma das vantagens deste conversor é a possibilidade de substituir até 50% dos módulos, sejam eles *full-bridge* ou *half-bridge*, por diodos de alta tensão comutados na frequência de linha CA, elevando a densidade de potência e confiabilidade do conversor.

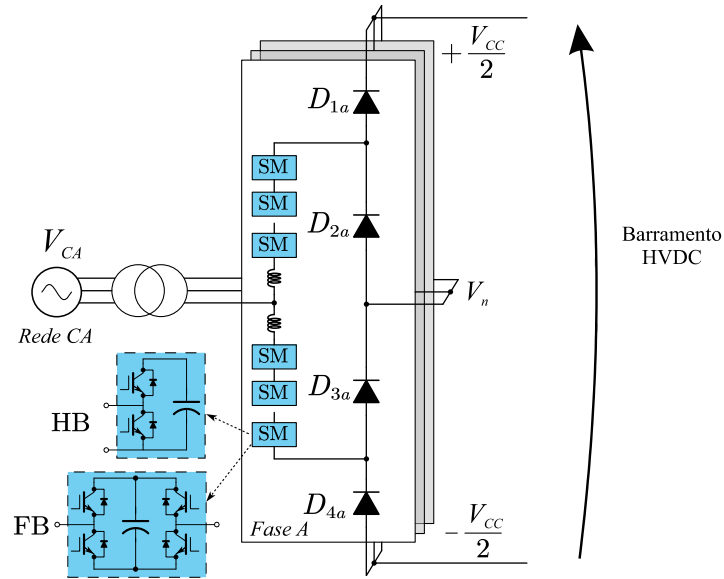
Não foram dadas informações suficientes para contabilizar o número de sensores e os controladores neste trabalho. Da mesma forma, os resultados práticos foram apresentados em baixa tensão, sem curvas de eficiência, mas mostraram a corrente de entrada com baixo conteúdo harmônico.

Em [40], é apresentado um conversor unidirecional multinível (5 níveis), que emprega as duas tecnologias de semicondutores, Si e SiC, a qual é possível obter chaveamento em baixa frequência nos diodos de Si com o emprego de *snubber*. A topologia apresentada na Figura 14, é uma derivação do convencional ANPC (do inglês, *Active Neutral Point Clamped*) de 5 níveis e foi concebida para utilizar módulos semicondutores de potência [41], sendo uma opção que agrega maior densidade de potência quando comparado aos encapsulamentos tradicionais, como por exemplo, o TO-247.

Quanto ao número de sensores empregado, são utilizados 8 (5 de tensão e 3 de corrente) e pelo menos 3 controladores PI, além do modulador pra geração dos pulsos. É importante ressaltar, que este tipo de topologia requer 2 sensores de tensão na saída para equilibrar o balanço de carga dos capacitores ao longo da vida útil do conversor.

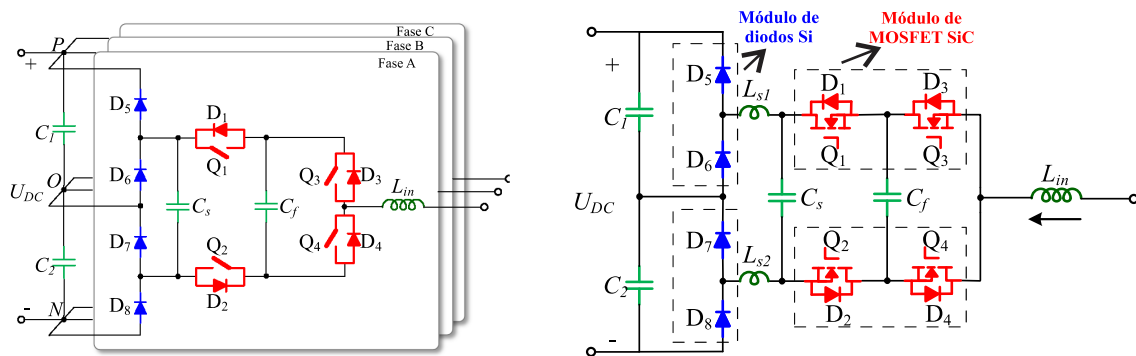
Em [42], os autores propuseram um conversor modular baseado em um *Boost* com duas saídas, concebido como *DV-Rectifier*, cascadeado com dois conversores LLC Série Ressonante (LLCSR). A proposta ilustrada na Figura 15 relata um conversor monofásico, mas em relação aos critérios de sensores e controladores, o mesmo necessita de 2 sensores de tensão na saída do *DV-Rectifier* e 1 no barramento de saída dos LLCSR. Em relação ao controle, os LLCSRs podem operar em 2 modos, tensão ou corrente controladas na saída, por meio de PFM (do inglês, *Pulse Frequency Modulation*).

Figura 13 – Diagrama elétrico de potência simplificado do HMMR.



Fonte: Adaptado de [39].

Figura 14 – Diagrama e esquema elétrico de potência do conversor unidirecional multinível.



Fonte: Adaptado de [40].

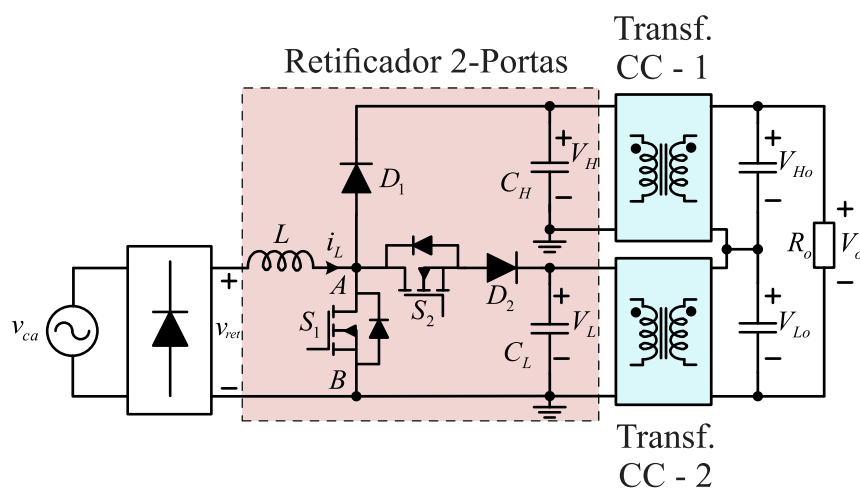
Cabe ressaltar que este conversor apresenta uma característica similar a outros que utilizam o LLC SR, que é a baixa eficiência em baixas cargas. Diversos outros trabalhos contornam este problema com uma modulação específica [43]-[46], mas a contrapartida é que a complexidade do controle aumenta. Contudo, a eficiência máxima relatada neste trabalho ainda é elevada, cerca de 96% em uma faixa de 40% à 100% da potência nominal.

Sabe-se ainda que, a operação na região de ressonância confere aos conversores ressonantes maiores níveis de rendimento. Todavia, esta operação delimita uma estreita faixa de regulação na tensão de saída. Com isso, em [47] foi proposto um algoritmo capaz de calcular o conteúdo harmônico da corrente no circuito

ressonante a fim de rastrear a frequência de ressonância e, por consequência, obter maiores níveis de rendimento.

Por outro lado, uma desvantagem desta família de conversores é o baixo rendimento em baixas cargas, isto decorre da relação entre a corrente de magnetização e a corrente no primário do transformador isolador. Em [48], é realizado um controle capaz de reduzir a corrente de magnetização e mitigar este efeito de baixo rendimento.

Figura 15 – Diagrama elétrico simplificado do conversor *DV-Rectifier*.



Fonte: Adaptado de [42].

Em síntese, uma das desvantagens observadas acerca dos conversores puramente chaveados é a taxa de falha, que tende a ser maior em relação aos retificadores passivos [49]. Essa característica indica uma queda na robustez destes conversores e, quando há falha, na maioria dos casos grande parte do circuito é comprometida, aumentando os custos de manutenção associados, ou mesmo a troca completa do conversor.

2.4.2 Retificadores Híbridos – com comutação na frequência de alimentação CA

Na seção anterior, foram apresentados conversores inteiramente chaveados e suas características para se obter os maiores níveis de eficiência e densidade de potência, especialmente se tratando de conversores modulares e multiníveis, que

visam à operação em níveis de tensão HVDC. Neste contexto, surgem os RH, que são constituídos pela associação de conversores chaveados (mencionados no subtópico acima) com outros que comutam na frequência de linha, ou seja, baixa frequência. Uma revisão completa acerca dos RH foi feita em [8], onde são detalhadas as principais características e evolução histórica destes conversores.

Em [50], cujo conversor é ilustrado na Figura 16, os autores propõem um RH unidirecional, derivado do conversor *Vienna Delta Switch*, cuja proposta foi orientada ao campo de aplicações relativas ao MEA [51]. Da mesma maneira, seu controle e estrutura de potência suportam perda de fase, característica desejável, principalmente do ponto de vista de robustez requeridas pelas normas de aviação.

Dentro das configurações dos RH, quando o terminal da tensão de saída é comum, é necessário um controle específico na corrente de entrada para balancear o processamento de potência entre os conversores e o limite aceitável de distorção harmônica para cada aplicação. O conversor utiliza no total 9 sensores, 5 de tensão e 4 de corrente, responsáveis por alimentar no total 5 controladores. A eficiência máxima do conversor é de cerca de 99%, mas em baixa frequência de chaveamento. A Distorção Harmônica Total de Corrente (DHTi) fica abaixo dos 5% para potências maiores que 40% da nominal, mas é degradado consideravelmente à medida que a carga diminui.

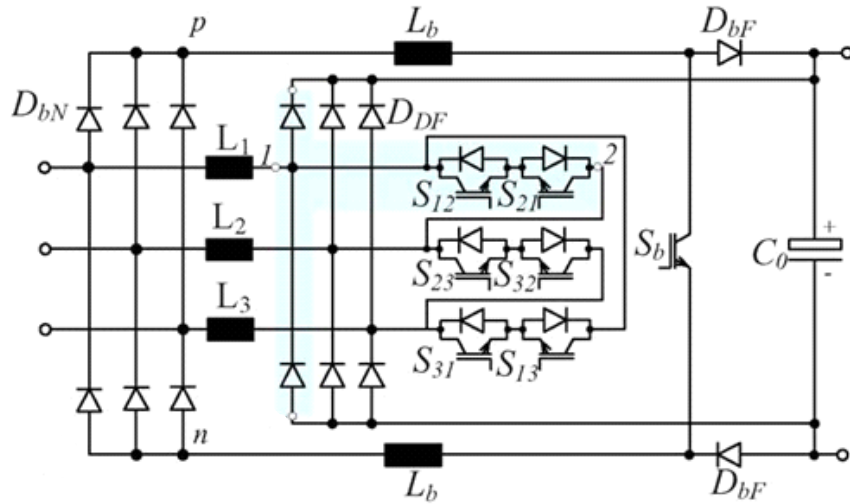
Uma observação importante feita neste trabalho, é que a eficiência dos RH é maior que a do conversor chaveado que o deriva, evidenciando assim, as vantagens em relação à eficiência, robustez e densidade de potência.

Apesar dos RH possuírem um conversor comutado na frequência de linha, isto não implica no emprego exclusivo de semicondutores passivos, como é o caso dos tiristores, que também podem ser comutados em baixa frequência. Em [52], é proposto um RH para aplicações em células de eletrólise, cujo esquema de potência é descrito na Figura 17.

A conexão de saída é comum na célula de eletrólise, o que requer um controle de corrente para o processo químico, aliado ao sensoriamento das correntes CA do Retificador Principal e Auxiliar. Dado que o conversor a tiristores trabalha com os pulsos de gatilho fixos, ou seja, não são controlados, não haveria a necessidade de

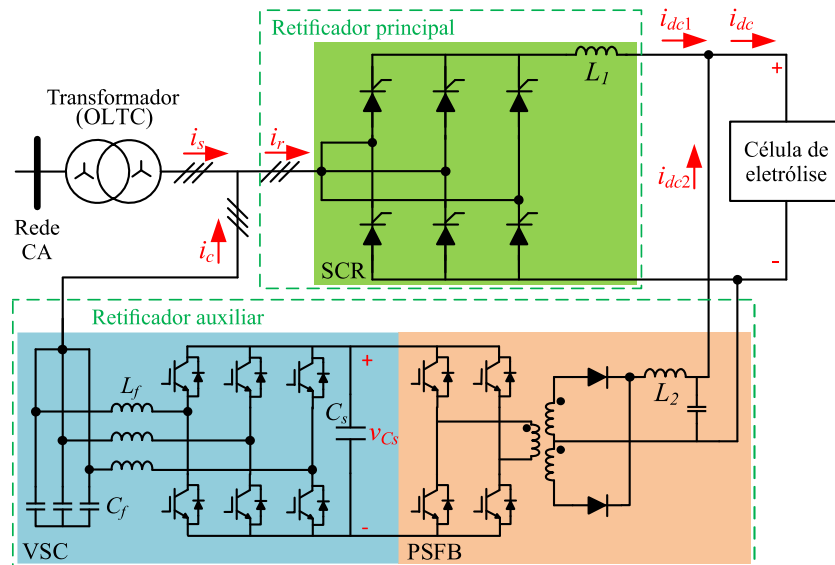
sensoriamento de duas correntes no lado CA, como visto nos trabalhos relatados em [8].

Figura 16 – Diagrama elétrico de potência do RH unidirecional.



Fonte: Retirado de [50].

Figura 17 – Diagrama elétrico de potência do retificador híbrido para aplicações com célula de eletrólise.



Fonte: Adaptado de [52].

Neste sentido, este conversor utiliza 13 sensores, (9 de corrente e 4 de tensão) e pelo menos 4 compensadores, além de um algoritmo de DFT (do inglês, *Discrete Fourier Transform*) para eliminar a ondulação da corrente de saída. Não foram

relatados ensaios de eficiência, mas foi feita uma comparação de custos associados se a aplicação fosse baseada inteiramente com conversores chaveados.

Por outro lado, considerando os trabalhos recentes desenvolvidos no Núcleo de Pesquisas em Eletrônica de Potência (NUPEP) acerca dos RH, a premissa fundamental esteve pautada na redução de sensores e simplificação no controle, aliados ao uso de controladores de corrente mais robustos, como o de histerese, ou o emprego de poucos controladores de tensão e corrente.

À luz destes fatos, uma evolução do conversor híbrido monofásico para aplicações em microrredes CC foi realizado em [53], conforme ilustra a Figura 18. A estrutura do RH apresenta a configuração de composição série no barramento de saída, o que traz benefícios em relação aos esforços de tensão nos semicondutores, mas requer isolamento galvânica entre estes terminais.

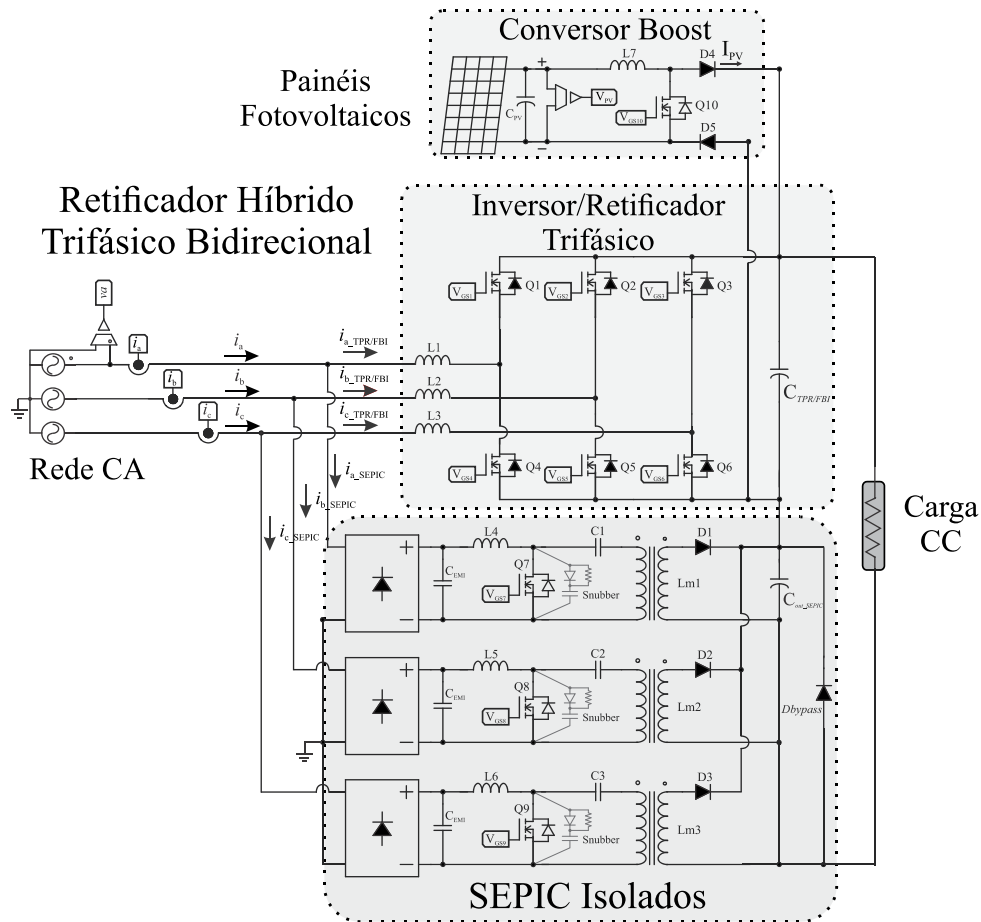
O conversor SEPIC isolado foi adotado pela sua simplicidade, pelo fato de possuir apenas uma chave controlada. Entretanto, apesar de processar uma pequena parcela (27%) da potência nominal de carga, este conversor é uma derivação do *Flyback*, o qual possui limitação de potência devido à sua característica de dispersão de fluxo magnético no transformador de isolamento.

Em relação ao controle e número de sensores, foi adotado um controle descentralizado empregado em microrredes CC, utilizando apenas um compensador de tensão comum para o barramento de saída. No total foram utilizados 5 sensores, sendo 3 de corrente e 2 de tensão.

Como o fluxo em uma microrrede CC, na maioria das vezes é bidirecional, este conversor é capaz de operar nestes dois modos com eficiência de 92,55% na retificação (Retificador Trifásico Não-controlado + SEPICs isolados) e, 96,42% na inversão apenas com o inversor trifásico.

Um aspecto relevante sobre a eficiência na retificação, é que ela poderia ser melhorada com o uso de chaves SiC-JFET [54], que possuem baixa tensão de condução no terceiro quadrante (caracterizado pela condução do diodo de corpo da chave sem pulso de disparo) e a substituição dos SEPICs isolados, que foi uma das propostas desta tese no que se diz respeito a densidade de potência. A Figura 18 ilustra o diagrama de potência para este conversor.

Figura 18 – Diagrama elétrico de potência do Retificador Híbrido Trifásico Bidirecional para microrredes CC.



Fonte: Adaptado de [53].

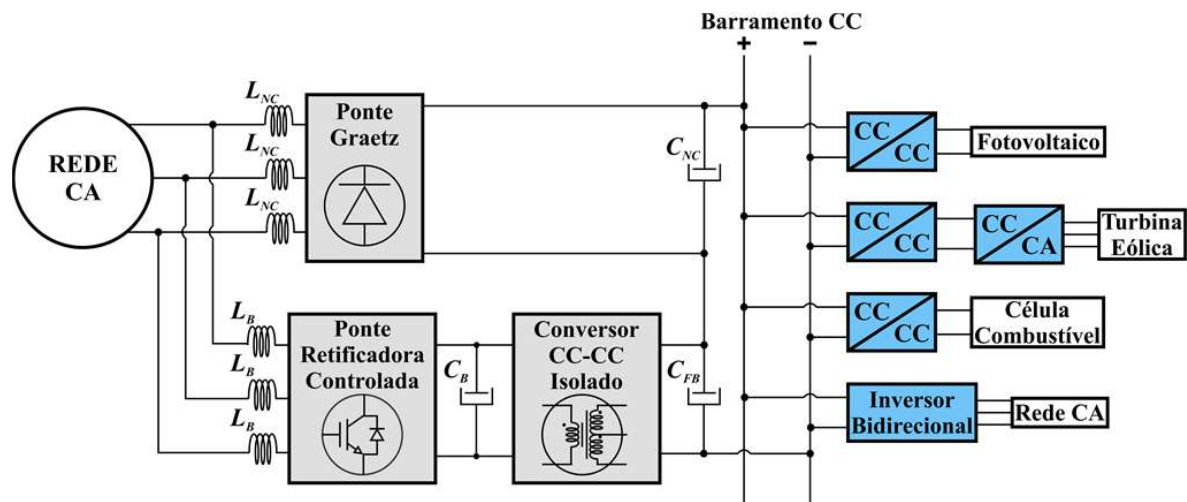
Por fim, o trabalho desta tese está pautado na aprimoração da estrutura de potência e controle do Retificador Híbrido Trifásico previamente desenvolvido no NUPEP [55]. A estrutura de potência deste conversor está ilustrada na Figura 19, a qual é possível abstrair uma configuração similar ao trabalho citado anteriormente, no que se diz respeito a composição de correntes na entrada CA e compensação série no barramento CC de saída. Esta característica é desejável, pois reduz os esforços de corrente na etapa CA e os de tensão na etapa CC de saída.

O controle proposto, apresentou como uma de suas contribuições, uma técnica de perturbação na corrente de entrada, com o conversor operando em malha aberta, a fim de extrair uma função aproximada para controlar a tensão de saída da Ponte Retificadora Controlada. De maneira análoga, uma perturbação também foi aplicada ao conversor CC-CC isolado para o controle do barramento de saída, totalizando o

uso e projeto de 2 controladores. Para tanto, foram utilizados 5 sensores de tensão e 3 de corrente.

O protótipo apresentou rendimento de 86,5% em potência nominal, fato este, que motivou a busca de uma variação desta topologia para atingir maiores níveis de rendimento exigidos pelo conceito MEA.

Figura 19 – Diagrama elétrico simplificado do Retificador Híbrido Trifásico e conversores interligados no barramento CC.



Fonte: Retirado de [55].

2.4.3 Retificador Híbrido proposto

Neste sentido, a partir das características desejáveis para conversores modernos no âmbito da aplicação em MEA, eles possuem um grande papel no funcionamento da aeronave, pois precisam ser confiáveis, compactos e eficientes. Assim, os RH se apresentam como uma alternativa para se elevar a densidade de potência e robustez almejadas, principalmente se tratando de conversores modulares, nos quais são empregados, na maioria das vezes, um elevado número de dispositivos semicondutores ativos.

O conversor proposto, denominado de Retificador Híbrido Trifásico para aplicações em MEA com barramento de saída HVDC (RHT-HVDC-MEA), é composto pela associação de três conversores: um *Boost* trifásico de dois níveis; um LLC Série Ressonante (LLCSR) e, uma ponte de diodos trifásica nomeada como Retificador Não-controlado (RNC).

A rede CA da aeronave alimenta as entradas dos conversores RNC e *Boost*, sendo o último responsável por realizar o PFC, com funcionalidades análogas aos de filtros ativos. Já na porta de saída do conversor, a configuração é em série entre os conversores RNC e LLC SR. Ambas as configurações contribuem para redução do estresse térmico nos semicondutores, visto que os esforços de tensão e corrente são menores por esta configuração em série empregada.

A estrutura de potência derivada do trabalho dos autores [55], se mostrou eficaz na correção do FP e no controle da tensão de saída, porém seu potencial ainda não foi completamente explorado. Com isso, este trabalho apresenta as seguintes melhorias em desempenho e contribuições:

Quanto a estrutura híbrida de potência:

- Projeto da estrutura de potência e controle com componentes SMD, projeto das placas de circuito impresso (PCI) seguindo a norma IPC2221 em um *layout* de 4 camadas otimizado para operação em alta frequência.
- Utilização de sensores de baixo custo. Em especial, o sensor de corrente pelo efeito Magneto-Resistivo com alta largura de banda (1,5MHz), com capacidade de detecção de falha por sobrecorrente.
- Conversor *full-bridge* LLC Série Ressonante:
 - ✓ Operação em ZVS (no primário) e ZCS (do inglês, *Zero Current Switching*) no secundário para qualquer condição de carga, com isso alto rendimento e alta eficiência (maior frequência de chaveamento), além de uma redução significativa nos ruídos de chaveamento gerados e EMI;
 - ✓ Baixas perdas por condução (R_i^2), visto que os níveis de tensão na saída são maiores, aproximadamente 260V;
 - ✓ Operação em malha aberta, o conversor é dimensionado apenas na condição de frequência fixa e na ressonância.
 - ✓ Dispensa o uso de componentes externos adicionais para a capacitância parasita das chaves e o indutor ressonante,

Quanto ao controle proposto:

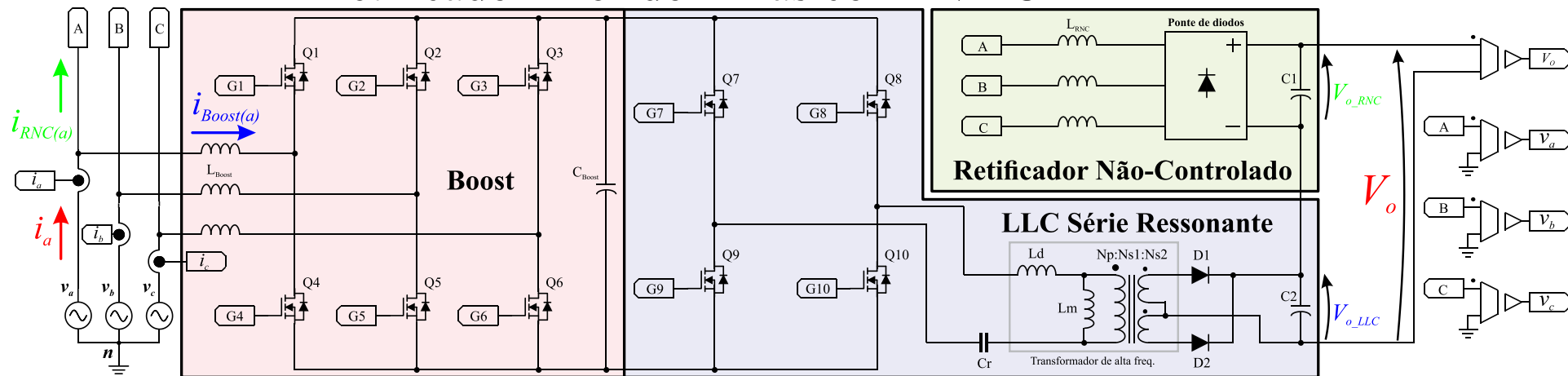
- ✓ Redução de um sensor de tensão;

- ✓ Eliminação do controle em frequência variável do conversor LLC SR, a única malha externa de tensão é realimentada apenas a lógica de disparo do *Boost* trifásico, ou seja, utiliza-se apenas um controlador PI;
- ✓ Nova proposta empregada a RH associada ao controlador de corrente com o intuito de reduzir o ciclo ativo de comutação de cada chave do *Boost* em 120° , mitigando as perdas por chaveamento do conversor;
- ✓ Controle otimizado na transferência de variáveis internas ao DSP para melhoria no desempenho do controlador de corrente por histerese com elevada frequência de chaveamento. Cabe destacar que, 3 dos 4 núcleos do DSP possuem a função exclusiva de processar o controlador de corrente em cada uma das fases de alimentação;

A Figura 20 ilustra elétrico de potência e o número de sensores utilizados no RHT-HVDC-MEA.

Figura 20 – Diagrama elétrico de potência do Retificador Híbrido Trifásico para aplicações em HVDC no contexto MEA.

Retificador Híbrido Trifásico - HVDC - MEA



Fonte: Dados de autoria própria.

2.5 Considerações Finais

A partir das informações acima, um conversor projetado no âmbito da proposta MEA precisa atender a critérios de desempenho, alta densidade de potência assegurada pela elevação da frequência de chaveamento, confiabilidade e robustez garantidos pelo uso de RH.

Além das melhorias e contribuições citadas, este trabalho está pautado na busca de melhorias no rendimento e redução de custos.

Contudo, um novo cenário e desafios práticos precisaram ser enfrentados ao se tratar de um sistema com alimentação em frequência variável e com tecnologia de semicondutores mais suscetível a ruídos.

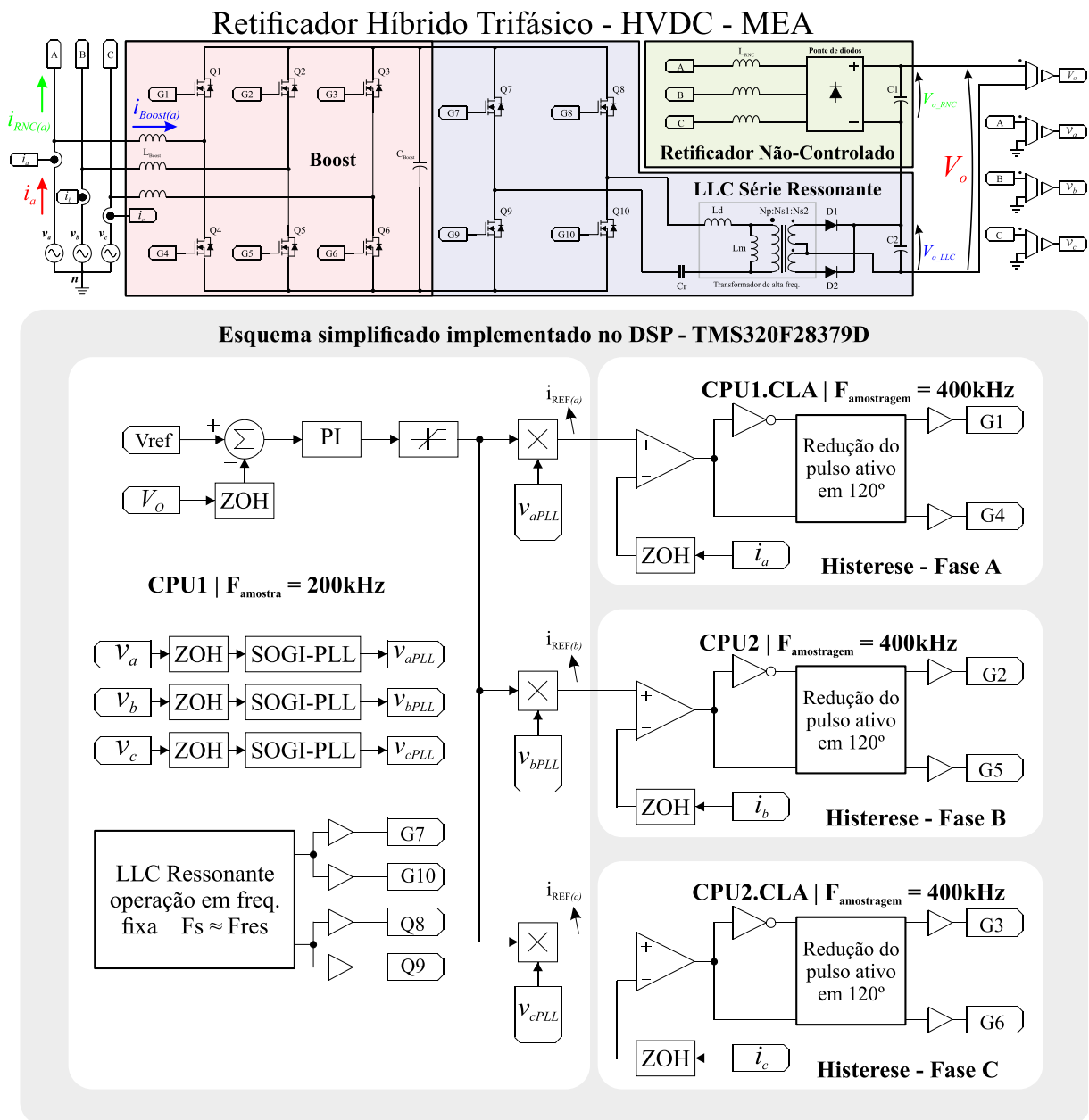
CAPÍTULO III

Retificador Híbrido Trifásico

3.1 Considerações Iniciais

Neste capítulo, serão descritas as principais características e princípios básicos de funcionamento relativos à estrutura de potência e controle do conversor RHT-HVDC-MEA. A Figura 21 ilustra os diagramas em questão.

Figura 21 – Diagrama de potência e controle do RHT-HVDC-MEA.



Fonte: Dados de autoria própria.

3.2 Estrutura de potência

A Figura 21 ilustrou a estrutura de potência, de controle e os sensores utilizados, três para corrente e quatro para tensão. Observa-se que não há necessidade de sensoriar a tensão no barramento CC do *Boost* trifásico e usar técnicas de controle para equilíbrio de carga nos dois capacitores de saída do RHT-HVDC-MEA. Em contraste, sensores de tensão são obrigatórios na maioria dos conversores modulares e multiníveis [31], evidenciando-se esta melhoria no conversor proposto.

Para que um conversor se encaixe nas especificações de RH [8], é preciso haver uma ponte de diodo (ponte de *Graetz*) ou mesmo um conversor baseado em tiristor comutado em baixa frequência, ou seja, na frequência da linha [56]. Uma breve discussão sobre os conversores que compõem a estrutura RHT-HVDC-MEA, bem como suas principais características operacionais são descritas abaixo.

3.2.1 Conversor *Boost* trifásico

Este conversor é uma das topologias de retificadores com função de PFC mais populares, com módulos comercialmente otimizados e amplamente disponíveis. É importante salientar que, para esta aplicação, o conversor que realizará o PFC precisa de ser bidirecional para cumprir os requisitos DHTi estabelecidos pela norma DO-160F.

O *Boost* trifásico é um conversor de dois níveis, sendo assim, a ondulação esperada na corrente de entrada é maior quando comparado à outras possíveis topologias que poderiam ser empregadas para fazer o PFC. O conversor *T-Type* de três níveis poderia ser utilizado nesta aplicação, apresentando maiores níveis de rendimento, todavia ele possui mais chaves e seria necessário controlar a tensão em seu barramento, para balancear a carga nos capacitores como é feito na maioria dos conversores multiníveis.

3.2.2 Retificador Não-controlado (RNC)

Este conversor é composto por uma unidade de ponte de diodos trifásica de baixa frequência (passiva e comutada na frequência de alimentação) com baixos níveis de EMI, alta eficiência e robustez [8], [32]. Seu objetivo no RHT-HVDC-MEA é fornecer cerca de metade da potência nominal exigida pela carga e, assim, reduzir os requisitos de potência dos semicondutores utilizados para implementar o *Boost* cascadeado com o LLC SR.

3.2.3 LLC Série Ressonante (LLCSR)

O conversor LLC, para este trabalho, se enquadra na família de conversores série ressonante. Este conversor permite uma ampla faixa de comutação suave e, como consequência, reduzidas perdas por chaveamento. Utilizando a tecnologia de semicondutores e-GaN, circuitos comerciais chegam a apresentar densidade de potência de 1227W/in³ e operam com rendimento máximo de 97,5% para uma frequência de chaveando em 1MHz [57]. Cabe salientar que, rendimentos na faixa de 97-98,5% são encontrados na literatura para esta topologia de conversor [58]-[61].

Este conversor está configurado em cascata com o conversor *Boost* e o seu isolamento elétrico é essencial para o correto funcionamento da composição de tensão série na saída, como também observado em [55]. Sua etapa de projeto é fundamental para alcançar elevados níveis de eficiência. Destaca-se que este conversor assegura a característica operacional que possibilitou atingir 97% de eficiência na carga nominal com uma configuração do conversor *Boost* e o LLC SR em cascata.

Sendo assim, o ganho de tensão deste conversor é composto por três fatores:

- 1) Topologia no lado primário (*full-bridge* ou *half-bridge*):

A respeito das diferentes topologias empregadas no primário (*half-bridge/full-bridge*) e secundário (retificação em onda completa com *tape* central / retificação em ponte) do LLC SR, é preciso considerar alguns aspectos no que diz respeito a melhor escolha de configuração, a fim de extrair maiores níveis de eficiência e rendimento.

Assim, a Tabela 2 mostra a comparação entre a utilização de um *half-bridge* e um *full-bridge*, assumindo o mesmo modelo de MOSFET e núcleo do transformador.

A tensão de alimentação do transformador para o *half-bridge* é a metade do *full-bridge*, com isso o fluxo magnético do transformador também é reduzido e há a possibilidade de reduzir pela metade o número de espiras no primário. Todavia, essa redução vem ao custo de maiores perdas nos MOSFETs e no cobre. As perdas magnéticas são menores, mas as perdas elétricas limitam a operação do *half-bridge* a circuitos onde as perdas por condução são predominantes [62].

Tabela 2 – Parâmetros qualitativos do half-bridge comparado ao full-bridge.

I_{RMS}	I_{RMS}^2	Nº de MOSFETS	Perda por condução (MOSFET)	N_P	R_P	Perdas no cobre (1º do transf.)
$\times 2$	$\times 4$	$\div 2$	$\times 2$	$\div 2$	$\div 2$	$\times 2$

Fonte: Adaptado de [62].

Assim, optou-se para a topologia *full-bridge* no primário, a fim de reduzir as perdas de condução, tanto nos MOSFETs quanto no enrolamento primário do transformador, com o intuito de permitir que este conversor opere em maiores níveis de potência, desde que projetado para tal.

Já a Tabela 3 mostra a comparação na etapa de retificação do secundário e a configuração dos enrolamentos do transformador.

Para o circuito de retificação em ponte, é observado o dobro das perdas por condução, visto que ambos conduzem a mesma corrente. Entretanto, os esforços máximos de tensão nos diodos são o dobro para o caso em onda completa com tape central. Outro aspecto sobre a configuração em tape central, é o desbalanço entre a indutância de dispersão referida ao primário, tornando os aspectos construtivos mais sensíveis à disposição dos enrolamentos.

Uma das principais considerações sobre equilíbrio de perdas é feita entre as perdas nos enrolamentos e nos diodos. Para operação em alta tensão –como é o caso do RHT-HVDC-MEA– pode ser vantajosa a escolha da terminação em onda completa com tape central, visto que é possível a utilização de dois diodos em apenas um encapsulamento TO-247-3 [63].

Tabela 3 – Onda completa com tape central comparado à retificação em ponte.

Tensão máx. no diodo	Nº de diodos	Perdas nos diodos	Nº de enrolamentos no sec.	R_{Sec} por enrolamento	I_{RMS} por enrolamento	Perdas no cobre (2º do transf.)
$\times 2$	$\div 2$	$\div 2$	$\times 2$	$\times 2$	$\times \sqrt{0.5}$	$\times 2$

Fonte: Adaptado de [62].

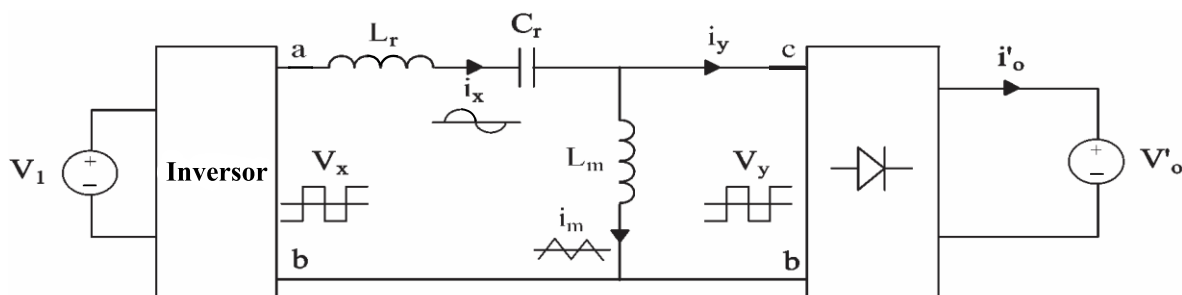
2) Relação de transformação do transformador isolado em alta frequência:

Assim como transformadores convencionais com alimentação CA em baixa frequência possuem uma relação de transformação de tensão correlacionada aos seus enrolamentos, há também uma categoria de conversores CC-CC isolados, denominados transformadores de corrente contínua do (inglês, *DC Transformer – DCX*), que também se valem desta relação de transformação [64]-[66]. Essa configuração em conversores CC-CC apresenta diversas vantagens, visto que é possível projetar estes conversores com menor dependência nas tolerâncias dos componentes, simplificação de controle e melhor desempenho.

3) Resposta em frequência do circuito do tanque-ressonante:

A análise de conversores ressonantes é avaliada sob a ótica da resposta em frequência do circuito tanque-ressonante [67],[68]. Para a modulação PFM, é considerado uma razão cíclica menor que 50% e a adição de um tempo morto para a realização do ZVS nas chaves do primário. Assim, é possível simplificar o sistema para a análise de primeira ordem em relação a frequência de chaveamento. A Figura 22 ilustra o circuito do conversor LLC SR com o secundário devidamente refletido ao primário para a simplificação descrita acima.

Figura 22 – Circuito simplificado do LLC SR para aproximação de primeira ordem.



Fonte: Adaptado de [68].

A frequência de ressonância é definida pelos elementos L_r e C_r . Para a topologia série ressonante, a indutância de magnetização L_m não influencia no cálculo

da ressonância, mas sim nas perdas magnéticas no núcleo; nas perdas elétricas devido a i_m e, no tempo de descarga das capacitâncias intrínsecas das chaves. A eq. (1) descreve a condição de ressonância.

$$f_r = \frac{1}{2\pi\sqrt{L_r C_r}} \quad (1)$$

A relação entre a indutância de dispersão e a magnetizante é definida pela eq. (2). Esta relação fornece um conceito de flexibilidade na regulação da tensão de saída. Assim, valores elevados possibilitam uma ampla faixa da regulação na saída. Neste trabalho, entretanto, são buscados valores reduzidos desta variável pois possibilita projetar o conversor com o transformador em alta frequência e a L_r em apenas uma unidade física, o que torna a curva de resposta plana próxima à frequência ressonante [68].

$$\lambda = \frac{L_r}{L_m} \quad (2)$$

A escolha de valores elevados de indutância de magnetização diminui a corrente de magnetização, como consequência disso, as perdas por condução nos MOSFETs e no enrolamento do primário do transformador são menores. Entretanto, é preciso considerar a influência no tempo de descarga das capacitâncias intrínsecas dos MOSFETs para o correto ZVS. Assim, L_m deve obedecer a eq. (3), onde t_d é o tempo morto entre os pulsos de acionamento, f_s é a frequência de chaveamento e C_{total} é a capacitância intrínseca das chaves mais os outros elementos parasitas [59].

$$L_m = \frac{t_d}{16f_s C_{total}} \quad (3)$$

A frequência normalizada f_n é definida pela eq. (4), onde f_r é a frequência ressonante do circuito do tanque.

$$f_n = \frac{f_s}{f_r} \quad (4)$$

O fator de qualidade Q , é definido pela eq. (5) e está relacionado com a resistência de saída refletida para o estágio do circuito oscilador R_{ac} (eq. (6)) e a capacitância do circuito tanque C_r , juntamente com L_d .

$$Q = \frac{\sqrt{\frac{L_r}{C_r}}}{R_{ac}} \quad (5)$$

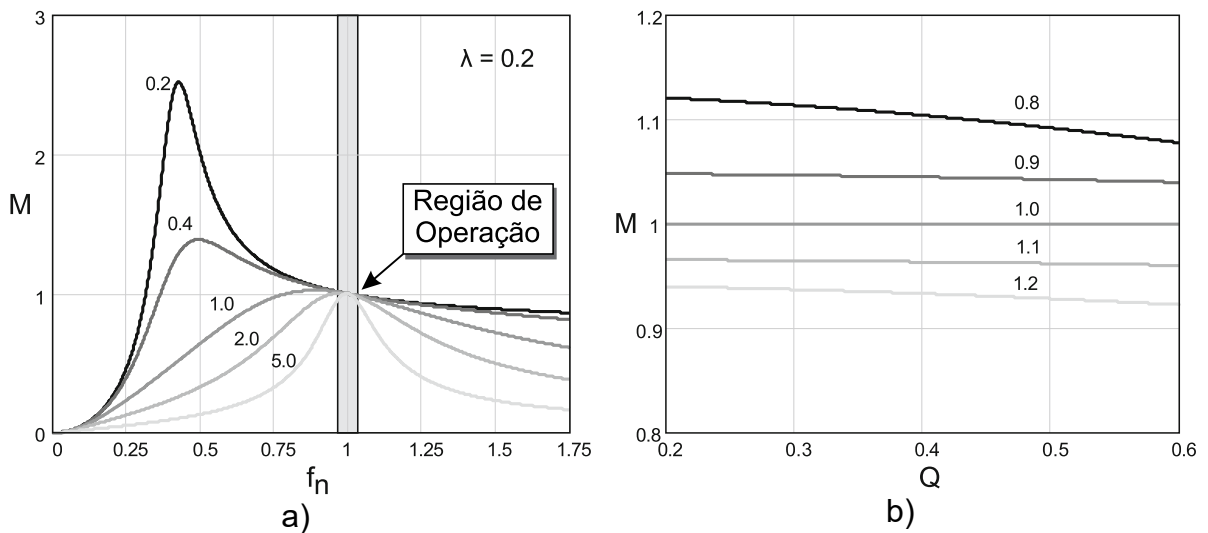
$$R_{ac} = \frac{8}{\pi^2} R'_o \quad (6)$$

Finalmente, considerando (3), (4), (5) e (6) o ganho de tensão M , considerando a primeira aproximação harmônica é definido na eq. (7) [68].

$$M = \frac{f_n^2}{\sqrt{[f_n^2(\lambda+1)-\lambda]^2 + [f_n Q(f_n^2-1)]^2}} \quad (7)$$

É possível observar que para f_n unitário, ou seja, operação na faixa de ressonância, o conversor apresenta ganho unitário e, por consequência, comutação suave. A Figura 23 a) ilustra o gráfico do ganho de tensão em relação a frequência nominal. A Figura 23 b) mostra a independência da carga refletida (fator Q) sobre a tensão de saída. Novamente, na ressonância o conversor apresenta ganho unitário de tensão.

Figura 23 – Ganho de tensão em relação a) a frequência nominal com a variação paramétrica do fator de qualidade Q ; b) ao fator de qualidade com a variação paramétrica da frequência normalizada f_n .



Fonte: Adaptado de [68].

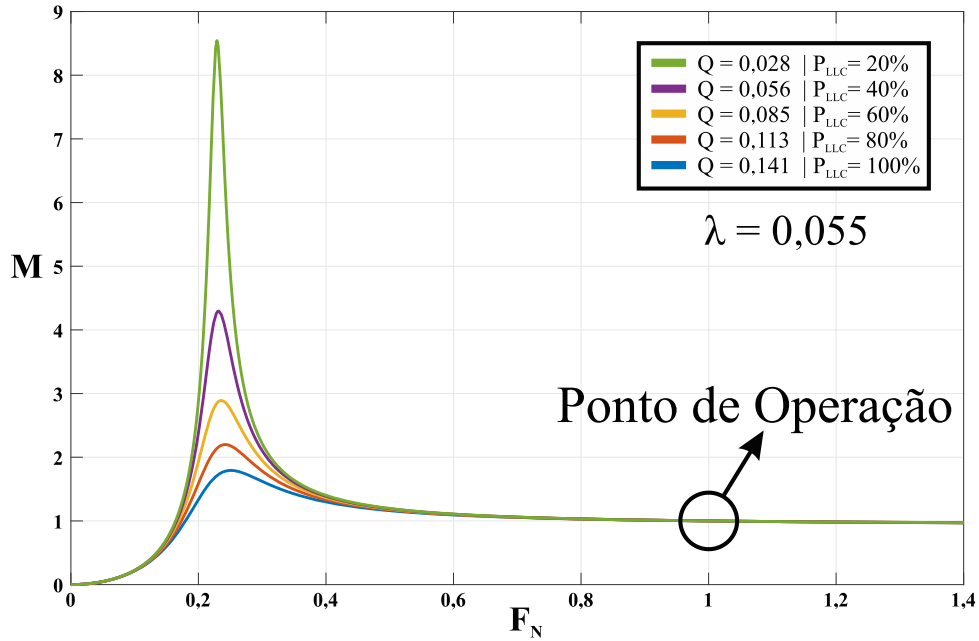
Portanto, pode-se concluir que o LLC SR está atuando como um transformador de CC com ganho fixo (DCX), conforme já citado em [64]-[66]. Esta característica destaca a vantagem da operação LLC SR em malha aberta no regime de maior eficiência e, deste modo, elimina a necessidade de controladores específicos para o conversor LLC SR, além de não ser necessário o sensoramento da tensão de saída do *Boost* para o RHT-HVDC-MEA.

Nessas circunstâncias, o único fator determinante para o ganho de LLC SR é a taxa de transformação $N_p:N_{s1}:N_{s2}$. Esta relação, por sua vez, é determinada de tal

forma a fornecer tensão suficiente para o *Boost* ser capaz de impor corrente e compor a tensão de saída do RHT-HVDC-MEA.

A Figura 24 mostra o ganho de tensão para o LLC SR projetado neste trabalho, a curva de ganho é bem estável para região de operação escolhida.

Figura 24 – Ganho de tensão M em relação a frequência nominal com variação paramétrica do fator de qualidade Q para $\lambda = 0,055$ para o RHT-HVDC-MEA.



3.2.4 Composição das correntes de entrada

De acordo com a Figura 21, a corrente instantânea da linha da entrada é dada pelas eqs. (8)-(10). Como retratado na Figura 25, pode-se notar que as correntes $i_{RNC(a)}$, $i_{RNC(b)}$ e $i_{RNC(c)}$, possuem uma ondulação considerável. Esta premissa de projeto foi adotada pelo fato de que o fator de qualidade dos indutores L_{RNC} , e sua respectiva resistência dos enrolamentos internos, se traduzem em um indutor fisicamente menor. Assim, a eficiência do conversor RHT-HVDC-MEA como um todo é otimizada.

$$i_a(t) = i_{RNC(a)}(t) + i_{Boost(a)}(t) \quad (8)$$

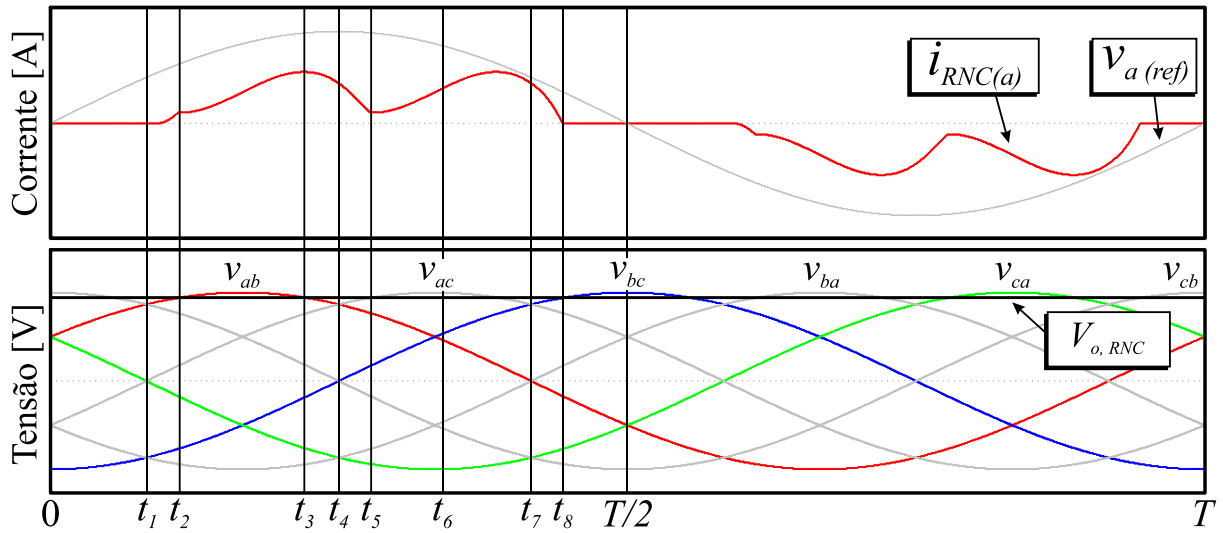
$$i_b(t) = i_{RNC(b)}(t) + i_{Boost(b)}(t) \quad (9)$$

$$i_c(t) = i_{RNC(c)}(t) + i_{Boost(c)}(t) \quad (10)$$

As correntes de linha de entrada do RNC, no domínio do tempo, são obtidas resolvendo equações diferenciais e usando métodos computacionais. Os períodos (t_1 , t_2 , ..., t_8) descritos na Figura 25, são estabelecidos pelos estados de comutação do RNC em relação às tensões de linha.

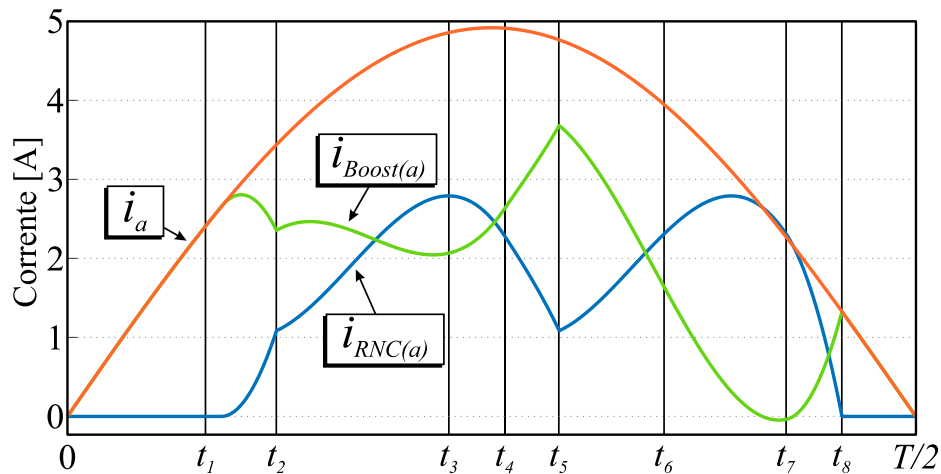
O resultado da composição de correntes visto da entrada do RHT-HVDC-MEA para a fase A, por exemplo, é mostrado na Figura 26. Por uma questão de escopo do trabalho, a solução detalhada das equações diferenciais não será demonstrada neste trabalho, visto que já foram definidas em [55].

Figura 25 – Na entrada do RNC: na parte superior - corrente de linha de entrada e tensão de linha a neutra; na parte inferior - tensões de linha a linha destacando o intervalo de tempo relacionado aos estados de comutação da ponte de diodos trifásica.



Fonte: Dados de autoria própria.

Figura 26 – Composição de corrente de linha de entrada teórica baseada em soluções diferenciais e computacionais.



Fonte: Dados de autoria própria.

Como esperado, pode-se observar que $i_{RNC(a)}$ é a corrente encontrada na entrada de um retificador composto por ponte de diodos trifásica e um filtro indutivo no lado CA. Uma vez que a principal função do controlador de corrente da entrada é impor correntes senoidais na rede CA, a corrente do *Boost*, $i_{Boost(a)}$, assume a forma de onda para este objetivo ser alcançado, de acordo com as eqs. (8)-(10). De tal maneira que o papel do conversor *Boost* é impor uma corrente complementar para se obter fator de potência (FP) próximo à unidade e correntes de linha na entrada CA com DHTi reduzidas. Portanto, pode-se concluir que, de fato, a soma de $i_{RNC(a)}$ e $i_{Boost(a)}$ resulta em uma corrente de entrada senoidal com baixa DHTi.

3.2.5 Composição série de tensão na saída

Novamente, pela representação da Figura 21, a composição das tensões no barramento de saída é definida pela eq. (11).

No regime permanente, a potência média processada por cada conversor é dada pela relação entre sua tensão de saída e a do barramento HVDC. Assim, é importante notar que, para compensação de séries de saída, a quantidade de energia processada para cada conversor é dada pelas eqs. (12) e (13), considerando o conversor RHT-HVDC-MEA sem perdas.

Para a maioria dos RH apresentados com o barramento de saída comum [8], a potência nominal de cada grupo retificador requer um algoritmo adicional para o controlador de corrente de entrada, a fim de estabelecer um nível ótimo de DHTi, conforme mencionado anteriormente.

$$V_{out}(t) = V_{out,RNC}(t) + V_{out,LLCSR}(t) \quad (11)$$

$$P_{Boost} = P_{LLCSR} = \left(\frac{V_{out,LLCSR}}{V_{out}} \right) \times P_{out} \quad (12)$$

$$P_{RNC} = \left(\frac{V_{out,RNC}}{V_{out}} \right) \times P_{out} \quad (13)$$

Para a aplicação HVDC, a quantidade de potência processada pelo RNC determina o nível de robustez e está relacionada com uma maior densidade de potência do RHT-HVDC-MEA. Por exemplo, para 400V no barramento CC (níveis típicos de microrredes CC), a parcela de processamento de potência do RNC pode

atingir cerca de 73% da potência nominal [55], mas a suposição de redução de peso dos condutores seria desconsiderada, devido à menor tensão de saída no barramento CC para as aplicações no MEA.

3.3 Dimensionamento do RHT-HVDC-MEA

O dimensionamento e as etapas de operação dos conversores que compõem o RHT-HVDC-MEA, exceto pelo LLC SR, já foram descritos em [55]. Desta maneira, o foco deste trabalho está no desenvolvimento do LLC SR, além de considerações relevantes à operação com a frequência da rede CA mais elevada e requisitos do capacitor de saída do *Boost*. Os tópicos a seguir, apresentam os parâmetros utilizados para o dimensionamento dos conversores.

3.3.1 Especificação do RNC e *Boost* trifásico

Para a aplicação no MEA, os conversores RNC e *Boost* são responsáveis pela conexão no lado CA do barramento de alimentação da aeronave, para retificação em níveis de tensão HVDC, sendo que apenas o RNC apresenta conexão direta na saída CC, como exposto anteriormente.

De acordo com os níveis de tensão descritos na eq. (11) e o processamento de potência dos conversores descritos nas eqs. (12) e (13), adotou-se a premissa de que todos os conversores foram dimensionados para aproximadamente 600W. Desta maneira, o RHT-HVDC-MEA foi projetado para 1200W de potência nominal.

Visto que as etapas de operação do RNC e *Boost* são idênticas ao apresentado em [55], exceto pela frequência variável, que foi considerada no dimensionamento dos componentes passivos, a Tabela 4 a seguir descreve os parâmetros de projeto adotados para estes conversores. Desta forma, os parâmetros de projeto e seu respectivo dimensionamento, foram adotados considerando o equacionamento da referência [55].

Tabela 4 – Especificações de projeto do RNC e Boost trifásico.

Parâmetro	Valor
Valor de pico das tensões de fase-neutro – v_{an} , v_{bn} e v_{cn}	162,6 V
Tensão média no barramento CC do RNC em 400Hz – $V_{out,RNC}$	264 V
Tensão média no barramento CC do Boost em 400Hz – $V_{out,Boost}$	425 V
Ondulação de tensão no barramento CC do RNC em 400 Hz – $\Delta V_{out,RNC}$	0,2 V
Ondulação de tensão no barramento CC do Boost em 400Hz – $\Delta V_{out,Boost}$	0,3 V
Potência média do RNC e Boost trifásico – P_{RNC} e P_{Boost}	600 W
Frequência da rede – f	400 – 800 Hz
Frequência angular da rede – ω	2513,3 – 5026,6 rad/s
Frequência máxima de chaveamento do Boost - $F_{smax(Boost)}$	200 kHz

A fim de se obter os valores próximos aos da Tabela 4 de especificação dos conversores, as Tabelas 5 e 6 mostram os valores adotados experimentalmente dos componentes dos conversores RNC e Boost, além dos níveis teóricos máximos de operação em regime permanente para 400Hz dos semicondutores empregados.

Tabela 5 – Resumo de projeto do conversor RNC.

Componente	Parâmetro	Valor
Indutor – L_{RNC}	Indutância	500 μ H
Capacitor – C1	Capacitância	1mF
Diodos da ponte trifásica retificadora	Tensão de pico	264 V
	Corrente de pico	3,50 A
	Corrente média	0,76 A

Tabela 6 – Resumo de projeto do conversor Boost.

Componente	Parâmetro	Valor
Indutor – L_{Boost}	Indutância	1mH
Capacitor – C_{Boost}	Capacitância	500 μ F
Chaves Q1 – Q6	Tensão de pico	425 V
	Corrente de pico	4,85 A
	Corrente média	1,54 A

3.3.2 Especificação do LLC SR

Como mencionado anteriormente, o LLC SR é um conversor amplamente difundido e utilizado em diversas aplicações [64]-[66]. Neste sentido, este trabalho não apresentará as etapas de operação deste conversor, que podem ser conferidas em [68].

Um dos critérios de desempenho do LLC está diretamente ligado à ondulação de saída do *Boost*, a respeito do dimensionamento do capacitor C_{Boost} . Isto ocorre, pois a frequência fundamental de ondulação na saída do *Boost* é 6 vezes a de alimentação (400Hz à 800Hz), ou seja, no máximo 4,8kHz. Esta ondulação por sua vez, é vista pelo circuito ressonante com um ganho maior quando comparado com a operação em 60Hz (360Hz de ondulação) e, isso traduz em uma ondulação de corrente perceptível nos diodos de saída D1 e D2.

Desta forma, para manter a suportabilidade de corrente dos diodos na saída do LLC SR em níveis aceitáveis, é adotado uma ondulação de tensão reduzida na entrada do LLC SR, de acordo com a ondulação de tensão no barramento do *Boost* mostrado na Tabela 4. Além disso, quando a corrente que circula pelos diodos no secundário apresenta menor ondulação, seu valor eficaz é reduzido, reduzindo por consequência, os requisitos de dimensionamento do fio *Litz* do transformador de alta frequência.

A Figura 27 ilustra a resposta em frequência (Diagrama de Bode) para uma entrada em tensão senoidal com amplitude unitária.

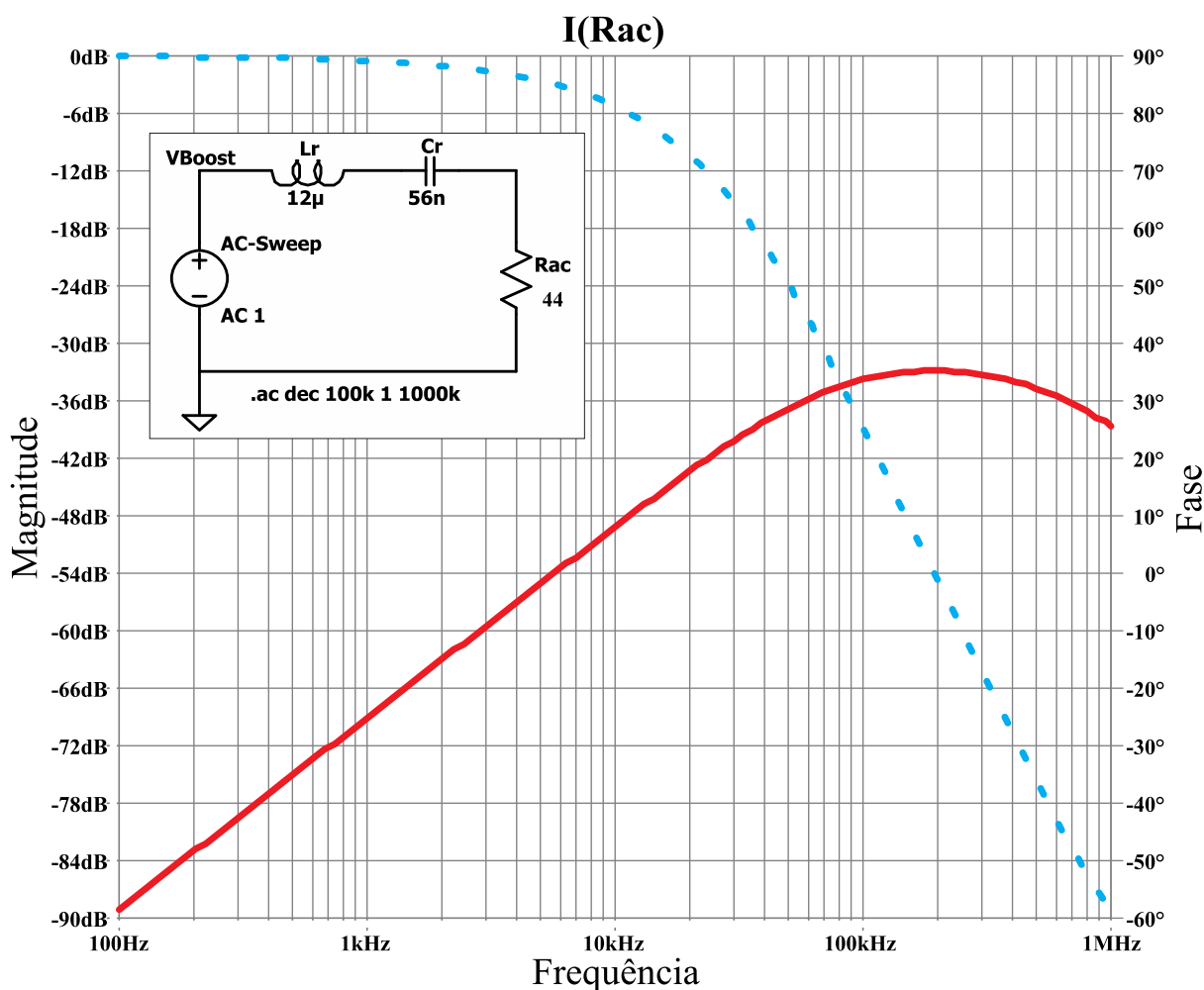
Considerando a operação da rede CA em 800 Hz, observa-se que a ondulação de corrente ocorre com uma frequência seis vezes maior que a frequência fundamental, resultando em uma frequência de ondulação de 4,8 kHz na entrada do LLC SR, com uma atenuação de aproximadamente 55 dB. Por outro lado, quando a frequência da rede é de 360 Hz, correspondendo a seis vezes a frequência fundamental de 60 Hz, a atenuação obtida é superior, alcançando cerca de 78 dB. Tal diferença implica em um ganho superior a 20 dB na atenuação para a operação em 800 Hz, quando comparada aos sistemas convencionais de CA em 60 Hz.

Em outras palavras, quanto maior for frequência da tensão de ondulação, maior será a ondulação de corrente que circula pelo transformador isolado em alta frequência, o que introduz oscilações em baixa frequência (até 4,8kHz) e maiores

perdas neste conversor para aplicação no MEA. No geral, almeja-se mitigar a ondulação de tensão na entrada do LLC SR, para não influenciar na dinâmica do circuito série ressonante.

Uma vez definido o valor de capacitância na saída do *Boost*, para cumprir com uma ondulação de corrente reduzida nos diodos D1 e D2, é preciso estabelecer os limites de tensão de operação do *Boost*, visto que a proposta deste trabalho possui a premissa de não ser necessário o sensoriamento de tensão no barramento do *Boost*.

Figura 27 – Diagrama de Bode da resposta em frequência do circuito *tank*-ressonante



Fonte: Dados de autoria própria.

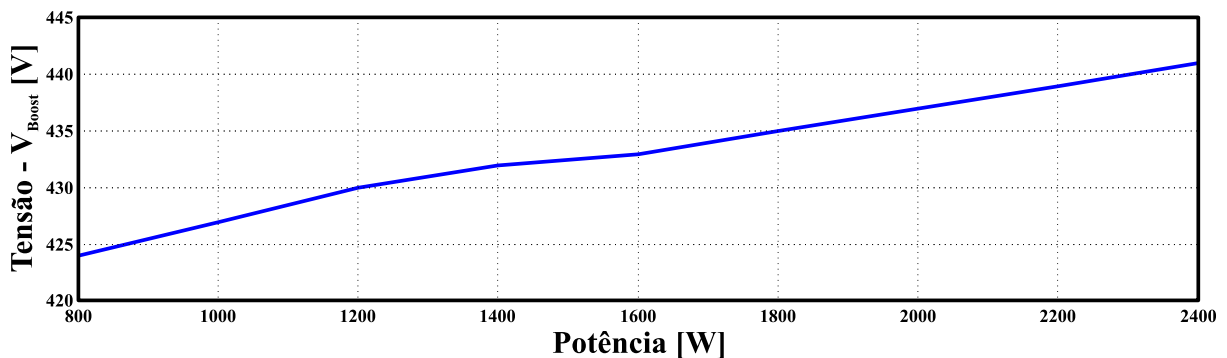
Desta forma, a partir do exposto anteriormente e, da definição do número de espiras do transformador isolado em alta frequência, o controle do conversor atua para regular apenas a saída do RHT-HVDC-MEA. Com isso, a tensão de saída do *Boost* se eleva ligeiramente com o aumento de carga, para ser capaz de impor correntes

maiores na entrada CA e compensar as perdas dos conversores que compõem o RHT-HVDC-MEA.

A Figura 28 ilustra a variação da tensão (V_{Boost}), a qual apresenta comportamento próximo ao linear com o aumento de potência. Dessa forma, uma extrapolação de potência de até duas vezes a potência nominal é feita, considerando os mesmos valores de componentes e perdas internas do RHT-HVDC-MEA. Assim, é possível garantir que mesmo na ausência de sensoriamento na tensão de saída do *Boost*, o conversor pode operar dentro de uma faixa delimitada de potência definida previamente em projeto. Para o projeto do RHT-HVDC-MEA com 1,2 kW, a variação da tensão no barramento do conversor *Boost* é de 424V para 430V, ou seja, uma elevação de cerca de 1,5%.

Cabe salientar que, caso ocorra alguma falha no barramento de saída, ou mesmo um aumento excessivo de potência, o sensoriamento da corrente de entrada e tensão de saída devem ser suficientes para determinar a interrupção do funcionamento do conversor.

Figura 28 – Relação entre a potência do RHT-HVDC-MEA e tensão na saída do *Boost*



Fonte: Dados de autoria própria.

A variação de tensão no barramento do *Boost*, conforme mostrado na Figura 28, deve ser considerada caso o conversor venha a ser projetado para níveis de potência superiores. Assim, como as perdas magnéticas do LLC SR estão relacionadas com a magnetização do transformador isolado em alta frequência, que por sua vez são influenciadas pela magnitude da tensão de saída do *Boost*, é razoável alterar a relação de espiras do transformador para adequar o projeto do conversor como um todo, quando for considerado maiores níveis de potência.

Devido ao efeito pelicular, referente a corrente em alta frequência que circula pelo transformador do LLC SR, torna-se necessário a utilização de fio *Litz* nas espiras deste transformador. As considerações de cálculo da quantidade de condutores em paralelo e o diâmetro mínimo do condutor adotado estão descritas em [69].

A Tabela 7 apresenta os critérios básicos de projeto e especificação do LLC SR. Já a Tabela 8, mostra os valores dos componentes adotados, com base na teoria exposta para assegurar a correta operação na condição de ressonância do LLC SR.

Tabela 7 – Especificações de projeto do LLC SR

Parâmetro	Valor
Tensão média no barramento CC do <i>Boost</i> – $V_{out,Boost}$	425 V
Tensão média no barramento CC do LLC SR – $V_{out,LLCt}$	276 V
Potência média do LLC SR – P_{LLC}	600 W
Frequência de chaveamento e ressonância – f_s, f_r	200 kHz

Tabela 8 – Resumo de projeto do conversor LLC SR

Componente	Parâmetro	Valor
Capacitor ressonante – C_r	Capacitância	56nF
Capacitor de saída – C_2	Capacitância	1mF
Transformador de alta frequência	Indutância de dispersão – L_d	12μH
	Indutância de magnetização – L_m	220μH
	Relação de transformação – $N_p:N_{s1}:N_{s2}$	29:19:19
	Tipo e dimensão do núcleo	PQ50-50
	Material	N87
	Fio <i>Litz</i> (AWG38 em paralelo)	N_p (84) $N_{s1,2}$ (70)
Chaves Q7 – Q10	Tensão de pico	425 V
	Corrente de pico	5,5 A
	Corrente média	4,2 A
Diodos retificadores – D1 e D2	Tensão de pico	552 V
	Corrente de pico	5,5 A
	Corrente média	4,2 A

3.4 Considerações Finais

Este capítulo abordou os principais aspectos teóricos sobre os conversores que compõem a estrutura de potência, com um foco maior no conversor LLC SR, que corroborou a sua configuração com pulsos de disparos em razão cíclica constante no regime de maior eficiência na ressonância.

A partir da configuração e associação entre os conversores, foram apresentados os principais conceitos para se definir o processamento de potência (robustez), além das divisões de correntes vistas pela entrada CA de alimentação.

Por fim, foram apresentados os principais parâmetros dos componentes que compõem o RHT-HVDC-MEA, além de considerações de projeto necessárias para o correto funcionamento da proposta.

CAPÍTULO IV

Controle Digital e Processamento Paralelo entre Núcleos

4.1 Considerações Iniciais

Conversores chaveados modernos com alta largura de banda têm demandado controladores cada vez mais rápidos, compactos e com custo reduzido para as mais diversas aplicações na eletrônica de potência.

Neste capítulo, uma breve comparação sobre as especificidades acerca de DSPs (do inglês, *Digital Signal Processor*) e FPGAs (do inglês, *Field-Programmable Gate Array*) são feitas para corroborar a escolha do processador utilizado, além do controle empregado e projeto do único controlador de tensão.

Adicionalmente, é abordado o procedimento adotado para garantir o processamento com alta largura de banda por meio do processamento paralelo entre os núcleos do DSP.

4.2 Considerações sobre DSPs e FPGAs

Os dispositivos semicondutores SiC e GaN são capazes de operar com frequências em torno de dezenas de MHz, a depender da topologia e técnicas de comutação suave empregadas [70]. Com isso, a necessidade em acompanhar estes avanços tecnológicos é inevitável. O uso de DSPs com alto poder de processamento, geralmente com *clock* de funcionamento em cerca de 200MHz e capaz de realizar operações paralelas (*multi-thread*), são empregados em sistemas embarcados e conversores chaveados modernos no geral [71].

Outros controladores digitais com a mesma função também são empregados, os FPGA, os quais já possuem a filosofia de processamento paralelo através das matrizes de blocos lógicos configuráveis (CLB – *Configurable Logic Blocks*). Todavia, sua implementação pode ser complexa e a maioria das plataformas de aprendizado possuem um custo mais elevado em comparação aos DSPs [72].

Os FPGAs são mais aplicados em sistemas com elevada taxa de amostragem (na faixa dos MHz), a exemplo de osciloscópios e outros equipamentos, onde os mesmos se beneficiam de altas taxas de transmissão de dados, programação dos CLBs e processar atividades repetitivas [73]. Na maioria das vezes, o FPGA consegue executar as mesmas tarefas de um DSP, mas como mencionado anteriormente, seu custo pode ser elevado para aplicações mais consolidadas na eletrônica de potência, como por exemplo, o controle de conversores chaveados.

Em [74], é utilizado um controlador FPGA para acionar um dispositivo GaN em um conversor, mas o autor justifica ao final do texto que o custo do controle pode não se justificar dependendo da aplicação. Também em [75], é utilizado um FPGA com um PWM de alta resolução (Módulo HRPWM – *High Resolution PWM*), para o qual houve o emprego de ADCs externos com um FPGA Cyclone V – 5CEFA9F23C8N. Seu custo gira em torno de U\$ 273 e sua plataforma de desenvolvimento cerca de U\$ 1200.

Atualmente, com o desenvolvimento dos periféricos dos DSPs modernos, como o já citado HRPWM, há também um periférico essencial para o paralelismo de processamento no DSP utilizado neste trabalho, a CLA (do inglês, *Control Law Accelerator*). Ela auxilia na execução das tarefas e cálculos matemáticos essenciais nas rotinas de controle, executa instruções na mesma frequência de *clock* e de maneira paralela ao CPU do DSP, porém possui algumas particularidades, sendo necessária sua configuração prévia [76].

Em [77], um conversor de topologia entrelaçada operando com frequência de chaveamento de 250kHz começa a se beneficiar dos periféricos do DSP. O conversor ADC faz amostragens na faixa de 1MHz sobre a corrente sensoriada, utilizando um sensor de alta largura de banda.

Nesse sentido, na linha de pesquisa relacionada à extração de maiores níveis de processamento de sinais, seja por melhorias nos sistemas de controle ou por processamento digital de sinais com paralelismo, o DSP TMS320F28379D da *Texas Instruments®* apresenta características híbridas de um DSP com quatro núcleos de processamento independentes (200MHz cada) e configurações internas capazes de reproduzir os CLBs de um FPGA.

As informações necessárias para a configuração dos quatro núcleos e a correta alocação das variáveis do DSP podem ser encontradas no site do fabricante. Há um vasto conteúdo incluindo *workshops* [78] e explicação de todos os periféricos da família dos DSPs C2000 [79]. Os *workshops* de destaque são o “*Control Law Accelerator Hands-on Workshop*”[76] e o “*F2837xD Microcontroller Multi-Day Workshop*”[80]. Adicionalmente, as análises de *datasheet* e o manual técnico de referência [71] do DSP, são de suma importância para a compreensão dos periféricos e das capacidades e suportabilidades elétricas do DSP.

Cabe destacar que a metodologia de transferência de variáveis entre os núcleos do DSP proposta neste trabalho, adotou uma abordagem diferente ao que preconiza a própria fabricante do DSP, a qual indica o protocolo de comunicação entre CPU, denominado IPC (*Inter-Processor Communication*). Estas medidas visaram uma melhoria na resposta do controlador de corrente por histerese, todavia não foi avaliada a comparação da metodologia proposta no trabalho e a metodologia do protocolo IPC.

4.3 Estratégia de controle

O algoritmo para este trabalho, foi desenvolvido em linguagem C e incorporado no DSP multinúcleos TMS320F28379D da *Texas Instruments*. Ele possui um *clock* de 200MHz e quatro unidades de processamento paralelo - 2 CPUs e 2 CLAs associadas a cada CPU. Além disso, ele possui também uma Unidade Matemática Trigonométrica que otimiza a largura de banda do controlador, especialmente com funções senoidais presentes no algoritmo de PLL (do inglês, *Phase-Locked Loop*).

O esquema de controle é mostrado na Figura 29, onde G1-G10 corresponde aos sinais enviados aos *gate drivers* responsáveis pelo acionamento dos interruptores Q1-Q10. Como mencionado anteriormente, o conversor LLC SR é otimizado para operar na ressonância (frequência constante) e com sinais do *gate driver* com razão cíclica constante, em malha aberta, o que facilita o controle geral do RHT-HVDC-MEA e elimina a necessidade de sensoriar a tensão de saída do conversor *Boost*.

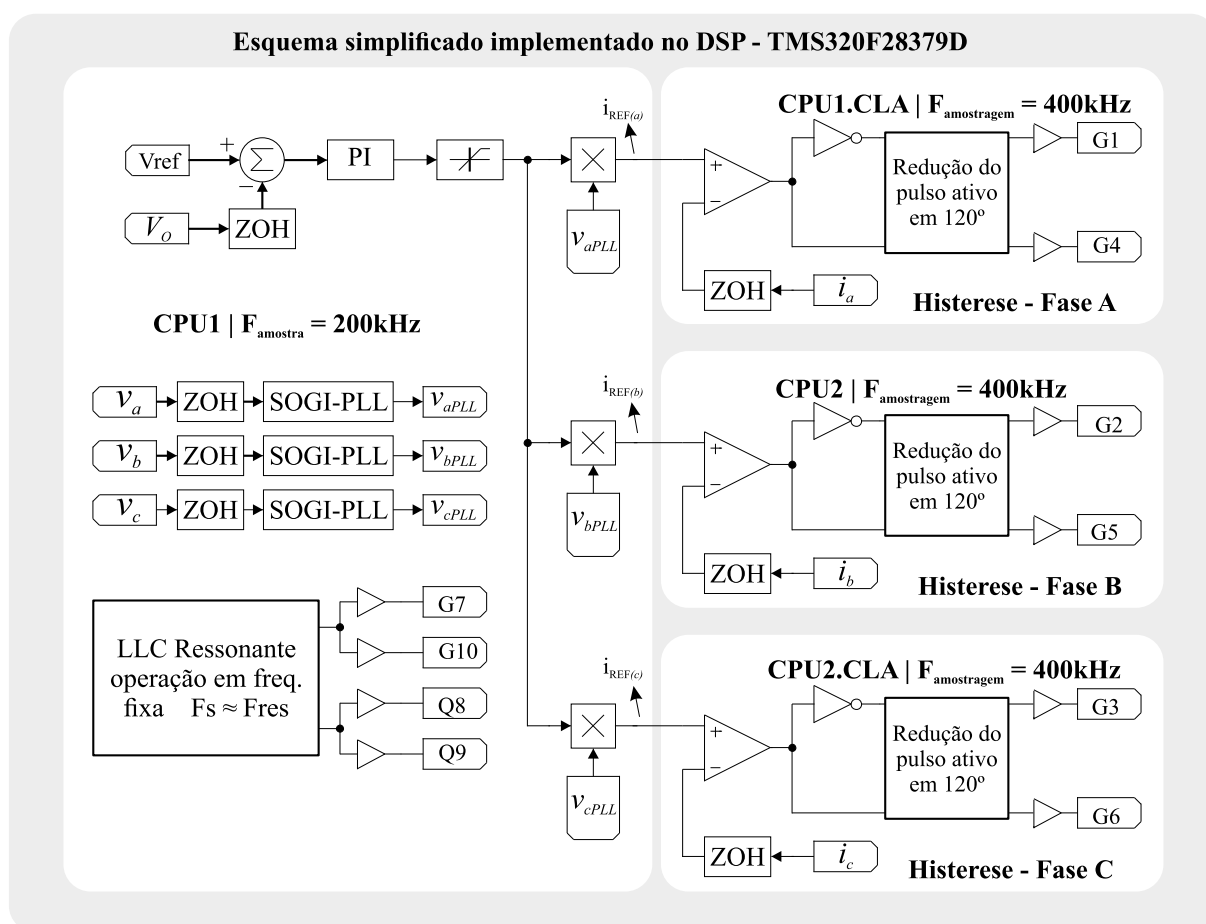
Assim, cada núcleo de processamento é disparado pelas interrupções dos quatro ADCs disponíveis no DSP. O CPU1 é amostrado a uma taxa de 200kHz e é responsável pela execução da malha externa de tensão, gerando as correntes de

referência, os sinais do PWM para o conversor LLC SR e executando três *Second Order Generalized Integrator-PLL* (SOGI-PLL) monofásicos. Neste trabalho, o SOGI-PLL monofásico foi utilizado não apenas por sua excelente resposta a transitórios e oscilações de baixa frequência [81], mas sua principal função é fornecer referências unitárias das tensões de fase para a técnica de Redução de Pulso Ativo (RPA) em 120° realizada nos núcleos remanescentes.

Com a ajuda da CLA, os outros núcleos –CPU1.CLA, CPU2, CPU2.CLA– são atribuídos à rotina de RPA e do controlador de histerese a uma taxa de amostragem de 400kHz.

Vale ressaltar que essa alta taxa de amostragem melhora a resposta do controlador de corrente e limita a frequência máxima de comutação em 200kHz no

Figura 29 – Esquema de controle implementado no DSP.



Fonte: Dados de autoria própria.

conversor *Boost*, que por sua vez, é predominantemente influenciada pelo valor do L_{Boost} e atrasos como: a largura de banda do sensor de corrente, a duração da janela de aquisição do ADC, a execução do código e o tempo morto, o atraso de propagação e a imunidade ao ruído do *gate driver* UCC5350MC [82]. Estes fatores reforçam a necessidade da operação paralela entre os núcleos para garantir a DHTi requerida pela norma DO-160F.

A estratégia de RPA, semelhante ao aplicado em [83], consiste em duas comparações. A primeira é o sinal de referência do PLL, e a segunda é o limiar em relação ao valor absoluto do PLL definido pela eq. (14).

$$Limiar > \text{seno}(60^\circ) \quad (14)$$

A Figura 28 ilustra o processo de comparação descrito para o sinal de referência da fase A. Deste modo, dois sinais distintos são comparados para gerar uma lógica de grampeamento dos pulsos do *gate driver* para as chaves Q1, Q4, conectados à fase A.

Nestes momentos, a corrente na fase A é controlada indiretamente pelas fases B e C, totalizando uma redução de 120° do pulso aplicado por período, a fim de mitigar as perdas de chaveamento. Para um sistema equilibrado trifásico, isto é, sem corrente fluindo através do neutro, aplicando as leis de Kirchhoff das correntes no neutro, a corrente na fase A é definida pela eq. (15).

É importante ressaltar que a composição das correntes mostradas na Figura 26, também descrita pelas eqs. (8), (9) e (10), é a mesma com ou sem a aplicação do algoritmo de RPA. Portanto, essa estratégia altera apenas a corrente de comutação retratada nos períodos indicados na Figura 30.

$$i_a = -(i_b + i_c) \quad (15)$$

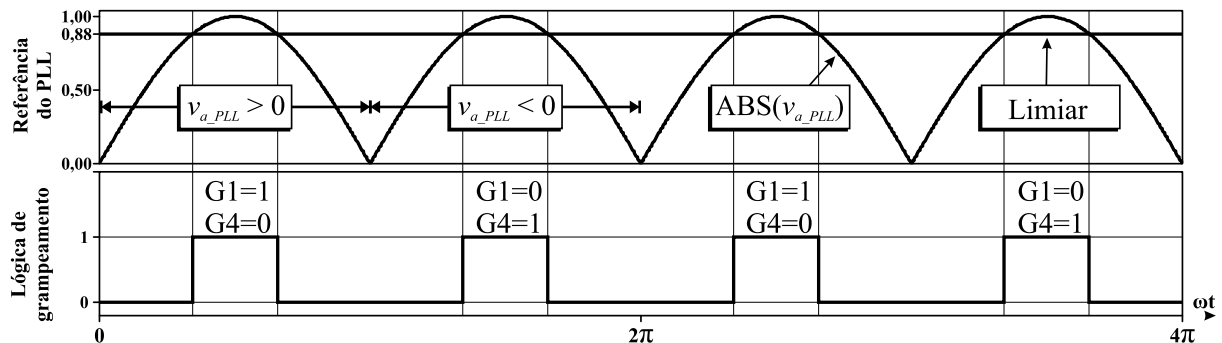
Um dos critérios que permite a flexibilidade do controlador de corrente é o ajuste correto do SOGI-PLL. Desta forma, o Filtro Passa-Baixa (FPB) característico do PLL é responsável pela resposta dinâmica com deslocamento de fase mínimo e é ajustado de acordo com a eq. (16), garantindo operação estável do conversor em toda a faixa de variação de frequência da fonte de alimentação CA esperada em uma aeronave (400Hz a 800Hz), conforme descrito no Capítulo II

$$FPB_{PLL}(s) = K_{PLL} \left(1 + \frac{1}{sT_{PLL}} \right) \quad (16)$$

Onde: $K_{PLL} = 7$, é o ganho do FPB.

$T_{PLL} = 0,005$, é a constante de tempo do FPB.

Figura 30 – Lógica do algoritmo de Redução Ativa de Pulso.



Fonte: Dados de autoria própria.

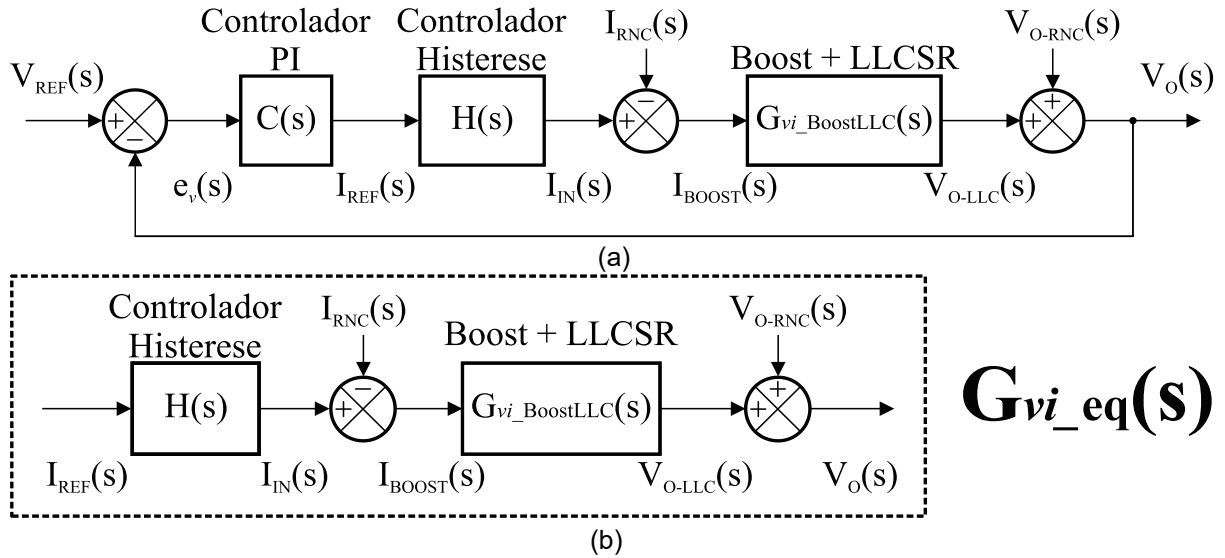
Um aspecto relevante para a malha de corrente, é que os sinais de referência para as correntes *Boost* são os provenientes do SOGI-PLL ($v_{a,PLL}$, $v_{b,PLL}$, $v_{c,PLL}$). Desta forma, se o SOGI-PLL for projetado incorretamente, permitindo oscilações de fase elevadas, a DHTi poderia aumentar ou mesmo impedir o funcionamento correto da RPA sob a ocorrência de variações de frequência na rede CA da aeronave. Muito embora os resultados subsequentes relativos ao SOGI-PLL comprovem sua estabilidade, este trabalho não tratará do projeto do PLL, cabendo a esta etapa, uma das propostas de continuidade desta pesquisa.

4.3.1 Projeto do controlador PI

Após o embasamento teórico necessário para a premissa de controle do RHT-HVDC-MEA, destacando-se ainda a simplicidade no controle do conversor LLC SR que opera em malha aberta na condição de maior eficiência e eliminou a necessidade de sensoriamento no barramento de saída do *Boost*, o controle global da estrutura utilizou a metodologia empregada em [55] e é explicado em maior detalhe a seguir.

Visto que a imposição de corrente na entrada CA se dá a partir da comparação direta entre a corrente de entrada e sua respectiva referência senoidal (Controlador Histerese), não é necessário o projeto de um controlador para a malha de corrente. Portanto, o objetivo principal da metodologia de projeto se baseia na especificação do controlador de tensão na saída do RHT-HVDC-MEA.

Figura 31 – Diagramas de blocos do sistema equivalente (a) do conversor RHT-HVDC-MEA em malha fechada e (b) do sistema equivalente em malha aberta, representado por $G_{vi_eq}(s)$.



Fonte: Dados de autoria própria.

Assim, o diagrama de blocos do sistema equivalente do RHT-HVDC-MEA que será controlado (*Boost* + LLC SR) pode ser representado conforme ilustrado na Figura 31 a), em que permite-se projetar o controlador de tensão com base na análise da função de transferência equivalente do sistema em malha aberta $G_{vi_eq}(s)$, a qual relaciona a tensão controlada no barramento CC ($V_{OUT}(s)$ – variável controlada) com a manipulação da amplitude da corrente trifásica da rede CA de alimentação (I_{IN}) imposta a partir da variação da amplitude da referência senoidal de corrente ($I_{REF}(s)$ – variável manipulada).

Deste modo, para levantamento da função de transferência do sistema equivalente – $G_{vi_eq}(s)$, utilizou-se o software *PSIM*® para implementação do controlador de corrente empregado no acionamento dos MOSFETs do conversor *Boost*.

O esquema simplificado referente à perturbação aplicada na fase A é ilustrado na Figura 32, mas o equivalente é aplicado à todas as fases simultaneamente. Um degrau na referência de corrente de amplitude 0,5A ($I_{REF}(inicial) = 5$), para ($I_{REF}(final) = 5,5$) no instante 0,05s foi aplicado, a fim de se verificar o comportamento da resposta da tensão de saída (V_{OUT}) e da corrente de entrada (i_a). Os resultados obtidos são apresentados na Figura 33.

A partir dos resultados obtidos na Figura 33, percebe-se que a resposta do sistema em malha aberta pode ser aproximada a uma resposta de sistemas de

primeira ordem, podendo ser obtidas as informações necessárias para se estimar a função de transferência do Sistema Equivalente – $G_{vi_eq}(s)$, a saber: os valores médios de V_{OUT} em regime permanente antes e após a perturbação ($V_{OUT(initial)}$ e $V_{OUT(final)}$) e o tempo necessário para a resposta da tensão V_{OUT} atingir 63% do seu valor em regime permanente ($T_{(63\%)}$). Dessa forma, tem-se as eqs. (17), (18) e (19) a seguir:

$$G_{vi_eq}(s) = \frac{V_{OUT}(s)}{I_{REF}(s)} = k \frac{a}{s+a} \quad (17)$$

sendo:

$$k = \frac{V_{OUT(final)} - V_{OUT(initial)}}{I_{REF(final)} - I_{REF(initial)}} \quad (18)$$

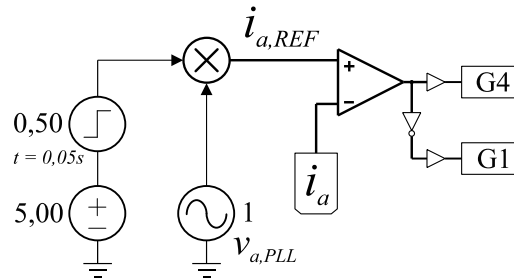
$$a = \frac{1}{T_{(63\%)}} \quad (19)$$

onde:

a - frequência do polo do sistema de primeira ordem.

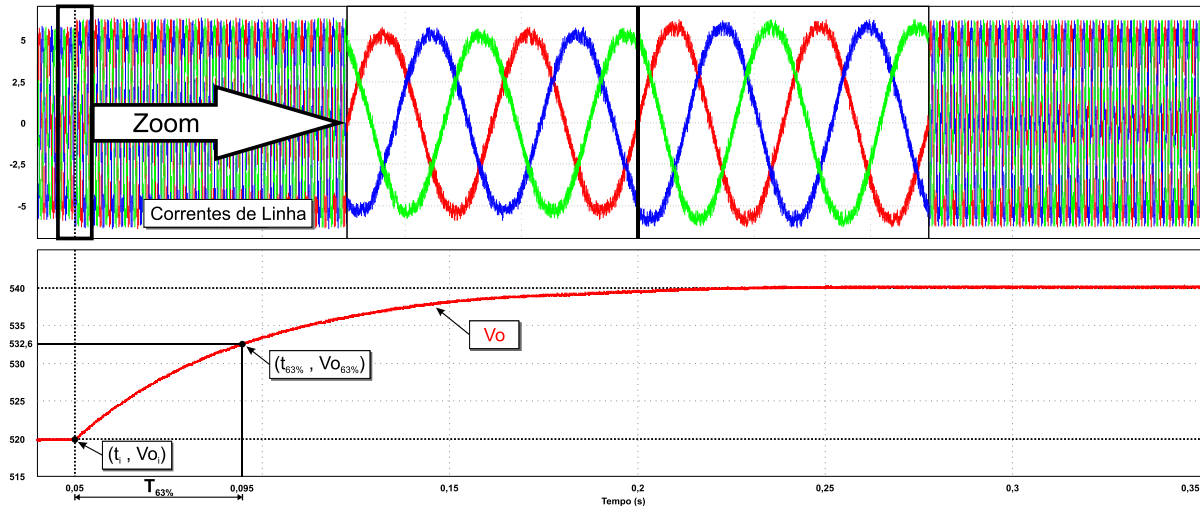
k - ganho do sistema de primeira ordem.

Figura 32 – Controlador de corrente utilizado no ensaio de resposta transitória do sistema, representado para a fase A.



Fonte: Dados de autoria própria.

Figura 33 – Resposta transitória da corrente de entrada e tensão de saída do RHT-HVDC-MEA. Perturbação com 1500W de potência na saída.

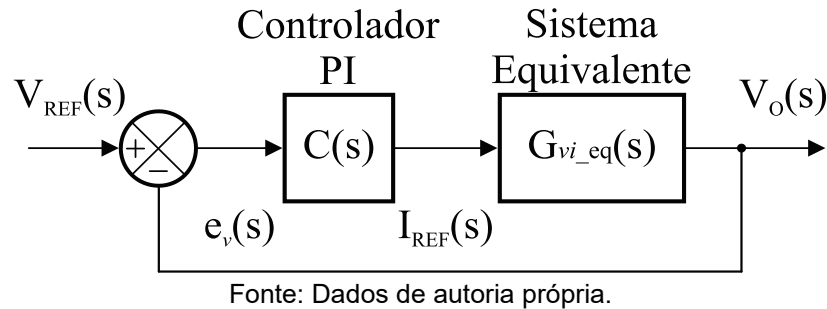


Fonte: Dados de autoria própria.

Dessa forma, o diagrama de controle em malha fechada do sistema pode ser representado conforme ilustrado no diagrama da Figura 34. A função de transferência do Sistema Equivalente é dada pela eq. (20).

$$G_{vi_eq}(s) = \frac{888,0}{s+22,2} \quad (20)$$

Figura 34 – Diagrama de blocos do sistema equivalente aproximado do conversor RHT-HVDC-MEA em malha fechada.



Utilizando o software Matlab®, projetou-se um controlador PI capaz de reduzir a ultrapassagem percentual (UP) da resposta do sistema para um valor abaixo de 10%, garantindo uma margem de fase maior que 45°, bem como um tempo de acomodação em torno de 100 ms.

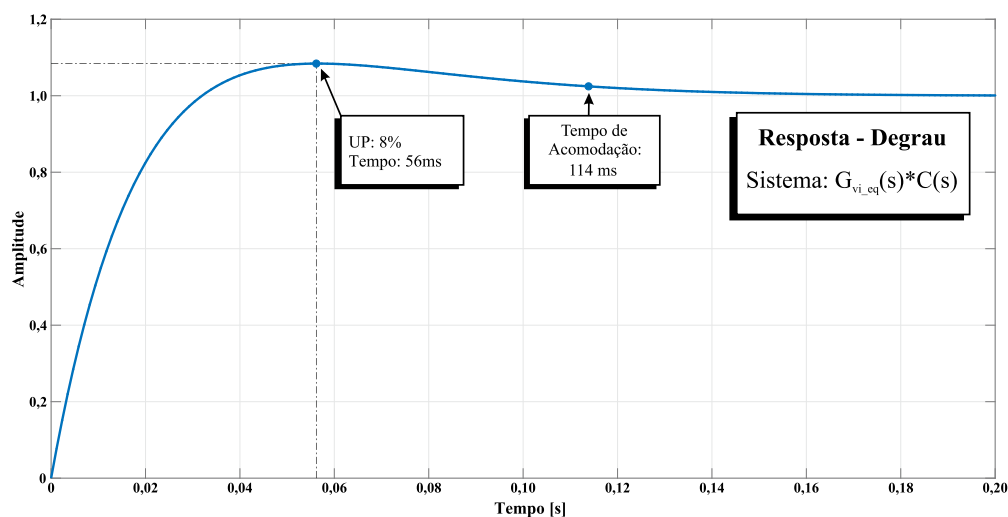
A função de transferência do controlador PI é representada pela eq. (21) e a Figura 35 a) e b) ilustra a resposta ao degrau unitário do sistema em malha fechada compensado, bem como o Diagrama de Bode em malha aberta. Verifica-se que a resposta do sistema se manteve rápida, apresentando um tempo de acomodação de 114 ms, com uma UP de 8%, garantida pela margem de fase de 78,7°.

A partir dos coeficientes da função de transferência no domínio de Laplace do PI pela eq. (22), é realizado o processo de discretização pelo método de Tustin. O PSIM® possui um utilitário que faz a conversão direta e apresenta como um dos parâmetros a frequência de amostragem da malha de controle, sendo um dos fatores que definem as constantes a_1 , b_0 , b_1 . A eq. (23) representa a equação de diferenças implementada no DSP.

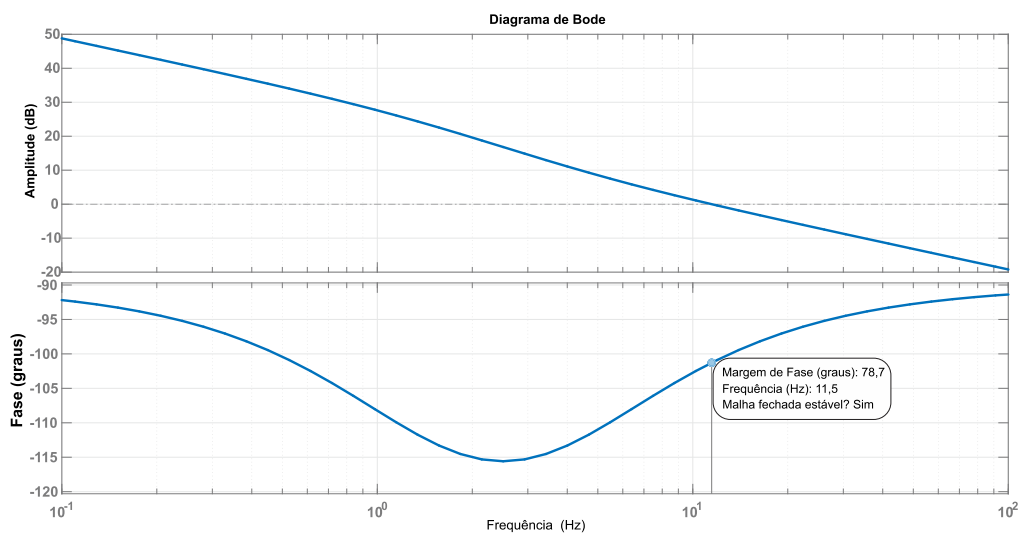
Como a representação do conversor apresentou características de um sistema de primeira ordem, com um polo em 22,2 rad/s. Assim, a estratégia de projeto do PI se baseou em alocar um zero em aproximadamente 2 vezes o valor do polo da planta, a fim de garantir uma resposta ao degrau unitário de acordo com as especificações

de projeto acima mencionadas. Todavia, o auxílio de um filtro passa-baixa na tensão de saída, implementado em domínio digital no DSP, foi utilizado na prática para atenuar a ondulação na tensão de saída.

Figura 35 – a) Resposta ao degrau unitário do sistema em malha fechada compensado b) diagramas de Bode em malha aberta.



a)



b)

Fonte: Dados de autoria própria.

A largura de banda do conversor em malha fechada é de apenas 11,5Hz, o que garante a atenuação das oscilações na tensão de saída vistos pela malha de controle e assegurando uma operação com alto FP.

A Figura 36 ilustra o Lugar das Raízes para o Sistema Equivalente em malha fechada, onde é possível observar o polo do sistema e o zero e polo do compensador PI para a resposta almejada.

$$C(s) = \frac{I_{REF}(s)}{e_v(s)} = 0,15 \frac{(0,025s+1)}{0,025s} = 0,15 \frac{(s+40)}{s} \quad (21)$$

$$C(s) = 0,15 \frac{(0,025s+1)}{0,025s} \rightarrow C(z) = \frac{b_0+b_1z^{-1}}{1+a_1z^{-1}} \quad (22)$$

$$I_{REF}[z] = -I_{REF}[z-1]a_1 + e_v[z]b_0 + e_v[z-1]b_1 \quad (23)$$

Onde:

$I_{REF}[z]$, é a amostra presente da corrente de referência no domínio Z;

$I_{REF}[z-1]$, é a amostra passada da corrente de referência no domínio Z;

$e_v[z]$, é a amostra presente do sinal de erro;

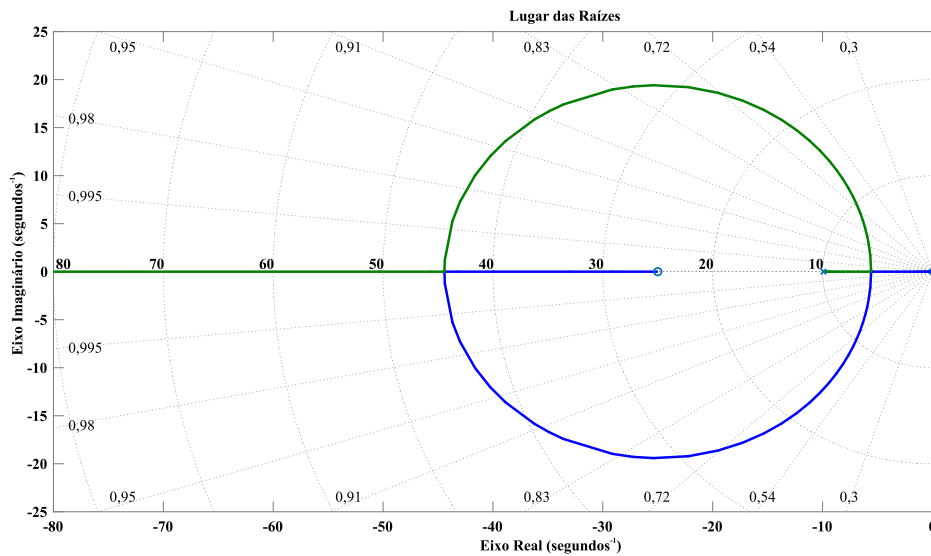
$e_v[z-1]$, é a amostra passada do sinal de erro;

$a_1 = -1$, é o coeficiente obtido pelo método de discretização;

$b_0 = 0,150015$, é o coeficiente obtido pelo método de discretização;

$b_1 = -0,149985$, é o coeficiente obtido pelo método de discretização.

Figura 36 – Lugar das Raízes para o sistema simplificado em malha fechada.



Fonte: Dados de autoria própria.

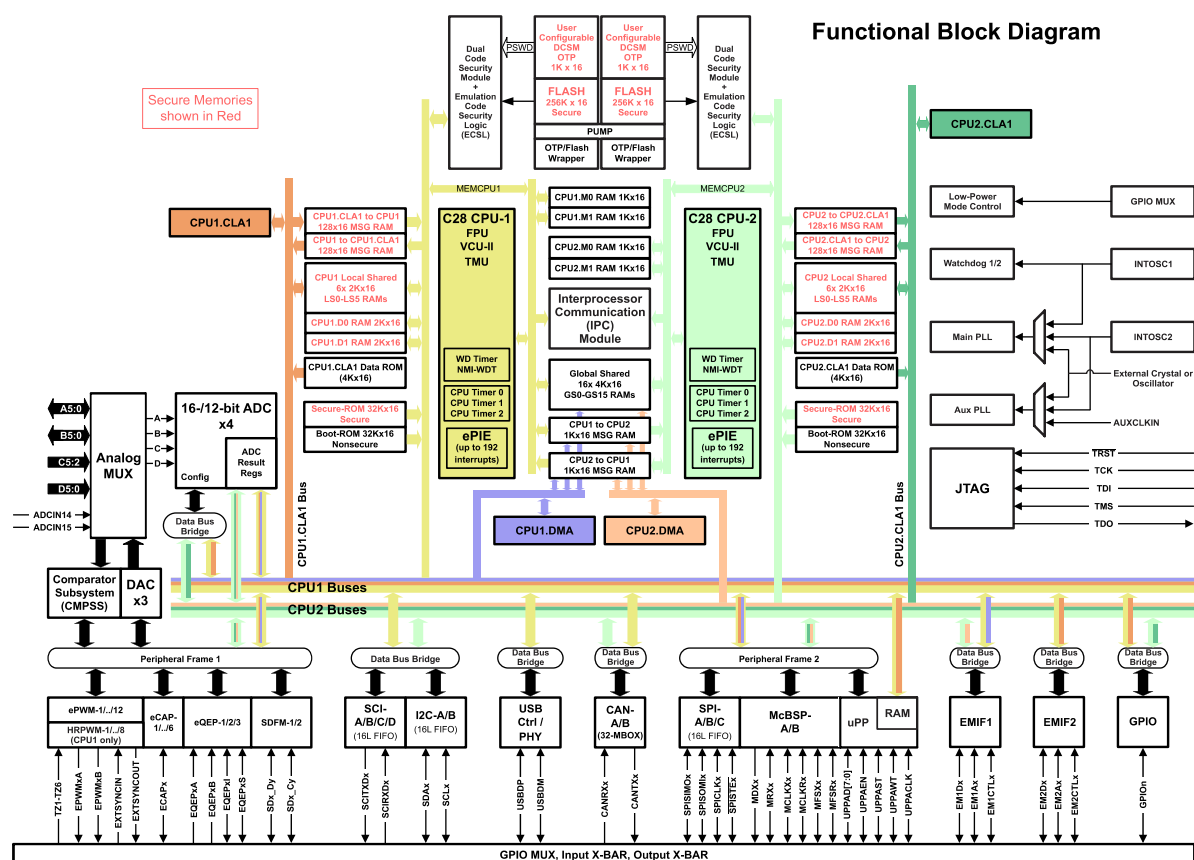
4.4 Processamento Paralelo entre Núcleos

Após a contextualização do algoritmo de controle e projeto do controlador PI, uma das melhorias deste trabalho se baseia no processamento com alta largura de banda. Para tanto, uma série de considerações são feitas para configurar os registradores e assegurar a correta comunicação das variáveis entre os núcleos do DSP.

4.4.1 Configuração dos Registradores

Um dos requisitos para a configuração dos registradores e periféricos, é a compreensão sucinta sobre a arquitetura do DSP, a qual está ilustrada na Figura 37 por meio de um diagrama de blocos funcional. Neste diagrama é possível visualizar os periféricos, bancos de memórias, barramento de dados e os barramentos de comunicação entre os quatro núcleos de processamento, já mencionadas anteriormente: CPU1, CPU1.CLA, CPU2, CPU2.CLA.

Figura 37 – Diagrama de blocos do DSP TMS320F28379D



Copyright © 2017, Texas Instruments Incorporated

Fonte: Folha de dados do DSP TMS320F379D [71].

Um dos procedimentos fundamentais para a aplicação com qualquer DSP é a configuração correta de seus periféricos. A seguir, serão descritos os principais procedimentos para tal configuração em relação à proposta multinúcleos.

O CPU1, é o núcleo principal e a ele cabe a inicialização da sua respectiva CLA (CPU1.CLA), do *clock* do sistema, redirecionar e vincular os módulos ePWM(9,10) e ADC(C e D) para domínio do CPU2. Os módulos ePWM 9 e 10 são responsáveis por

iniciar os eventos das conversões dos ADCs C e D, respectivamente. Desta maneira, as primeiras linhas de código do *Main* do CPU1 são:

```
//--- Inicialização da CPU1
asm(" EALLOW");
DevCfgRegs.CPUSEL0.all = 0x0300; //transf. o domínio do ePWM_9,10 p/ CPU2
DevCfgRegs.CPUSEL11.all = 0x000C; //transf. o domínio do ADC(C,D) p/ CPU2
asm(" EDIS");
```

Por padrão, a inicialização dos módulos ePWM e ADC são feitas pela CPU1. Assim, após a inicialização do ePWM para os pulsos de disparo do LLC SR e os eventos da interrupção dos ADCs A e B para o CPU1, é realizada a configuração da CPU1.CLA. A sequência correta de inicialização é dada a seguir:

- 1) Inicializar e configurar os domínios de memória, bem como as memórias de programa (onde o código é escrito e alocado) e as memórias de dados (onde as variáveis são alocadas). O código a seguir mostra o procedimento para a CPU1. Nesta etapa, optou-se pela alocação do código (memória de programa), referente a malha de corrente da fase A, apenas na memória RAM LS3. Por outro lado, as outras memórias RAM LS1, 2, 4 e 5 serão destinadas à memória de dados.

```
//--- Configuração de memória - Domínio entre CPU e CLA
MemCfgRegs.LSxMSEL.bit.MSEL_LS0 = 1; // 0=CPU 1=CPU e CLA
MemCfgRegs.LSxMSEL.bit.MSEL_LS1 = 1; // 0=CPU 1=CPU e CLA
MemCfgRegs.LSxMSEL.bit.MSEL_LS2 = 1; // 0=CPU 1=CPU e CLA
MemCfgRegs.LSxMSEL.bit.MSEL_LS3 = 1; // 0=CPU 1=CPU e CLA
MemCfgRegs.LSxMSEL.bit.MSEL_LS4 = 1; // 0=CPU 1=CPU e CLA
MemCfgRegs.LSxMSEL.bit.MSEL_LS5 = 0; // 0=CPU 1=CPU e CLA

//--- Configuração de memória - Seleção entre dados da CLA e programa da CLA
MemCfgRegs.LSxCLAPGM.bit.CLAPGM_LS0 = 0; // 0= dados-CLA 1= programa-CLA
MemCfgRegs.LSxCLAPGM.bit.CLAPGM_LS1 = 0; // 0= dados-CLA 1= programa-CLA
MemCfgRegs.LSxCLAPGM.bit.CLAPGM_LS2 = 0; // 0= dados-CLA 1= programa-CLA
MemCfgRegs.LSxCLAPGM.bit.CLAPGM_LS3 = 1; // 0= dados-CLA 1= programa-CLA
MemCfgRegs.LSxCLAPGM.bit.CLAPGM_LS4 = 0; // 0= dados-CLA 1= programa-CLA
MemCfgRegs.LSxCLAPGM.bit.CLAPGM_LS5 = 0; // 0= dados-CLA 1= programa-CLA
```

- 2) Inicializar os vetores de interrupção das *Tasks*. Neste caso foram configuradas apenas 2 *Tasks* (temo utilizado como analogia a um tipo de interrupção que é executada pela CLA). De fato, uma das *Tasks* é utilizada para inicialização de variáveis como a corrente de referência e os valores calibrados da respectiva corrente e é executada apenas uma vez. Já a outra *Task*, é disparada pela interrupção do ADCAINT1 como descrito a seguir:

```
//--- Inicialização dos vetores de interrupção da CLA
Cla1Regs.MVECT1 = (uint16_t)(&Cla1Task1);
Cla1Regs.MVECT8 = (uint16_t)(&Cla1Task8);

//--- Seleção do evento (interrupção ADCAINT1) para a Task
DmaClaSrcSelRegs.CLA1TASKSRCSEL1.bit.TASK1 = 1; // 1=ADCAINT1
```

- 3) Por último é preciso forçar a execução da *Task8*, que inicializará as variáveis e ativar a opção de interrupção da *Task1* que executará a malha de corrente para a fase A.

```
//--- Habilita a inicialização de Task por software (IACK)
Cla1Regs.MCTL.bit.IACHE = 1; // Habilita IACHE para iniciar task por software
//--- Força a inicialização da Task8
Cla1Regs.MIER.all = 0x0080; // Habilita a interrupção 8 da CLA
asm(" IACK #0x0080"); // IACK - força a task da CLA
asm(" RPT #3 || NOP"); // Espera pelo menos 4 ciclos
while(Cla1Regs.MIRUN.bit.INT8 == 1); // Espera até a task terminar

//--- Habilita as interrupções da task CLA
Cla1Regs.MIER.all = 0x0001; // Habilita a interrupção da Task 1 e desabilita a Task 8
```

Após a inicialização da CLA do CPU1, o módulo IPC (*Inter-Processor Communication*) é utilizado para avaliar se a condição referente a inicialização da CPU2 foi efetivada, inclusive a configuração da CLA (CPU2.CLA). A partir desta confirmação, os dois CPUs estarão ativos com todos os módulos ePWM sincronizados, como mostra a configuração das linhas de código abaixo:

```
//--- Limpa os flags do registrador IPC
IpcRegs.IPCCLR.all = 0xFFFFFFFF;
//--- Espera até que o CPU2 esteja pronto
while (IpcRegs.IPCSTS.bit.IPC17 == 0) ; // Espera o CPU2 acionar o bit IPC17
IpcRegs.IPCACK.bit.IPC17 = 1; // Reconhece e limpa o bit IPC17
asm(" EALLOW"); // Habilita a escrita no registrador
CpuSysRegs.PCLKCR0.bit.TBCLKSYNC = 1; // Habilita o TBCLK nos ePWMs
asm(" EDIS"); // Desabilita a escrita no registrador //-
Habilita as interrupções globais
asm(" CLRC INTM, DBGM"); //Habilita as interrupções globais e o debug
```

Para que o código funcione de maneira adequada, é preciso alterar o arquivo **2837x_RAM_Ink_cpu1.cmd** e considerar as configurações de memórias, seja de programa ou de dados, previamente estabelecidas na configuração da CLA. Na alteração deste arquivo .cmd, também é possível fazer otimizações na organização dos bancos de memória, a fim de aumentar a capacidade de pontos dos gráficos

exibidos no *software Code Composer Studio*. A configuração para o arquivo *.cmd* está descrita a seguir:

MEMORY

```
{
PAGE 0:      /* Memórias de Programa */
BEGIN_M0      : origin = 0x000000, length = 0x000002
RAMLS3        : origin = 0x009800, length = 0x000800
RAMLS4        : origin = 0x00A000, length = 0x000800
RAMLS5        : origin = 0x00A800, length = 0x000800
RAMGS0123     : origin = 0x00C000, length = 0x004000
BEGIN_FLASH   : origin = 0x080000, length = 0x000002
FLASH_A       : origin = 0x080002, length = 0x001FFE
FLASH_BCDEFGHIJKLMN : origin = 0x082000, length = 0x03E000
RESET         (R) : origin = 0x3FFFC0, length = 0x000002

PAGE 1:      /* Memórias de Dados */
BOOT_RSVD     : origin = 0x000002, length = 0x00004E
RAMM0         : origin = 0x000050, length = 0x0003B0
RAMM1         : origin = 0x000400, length = 0x000400
CLA1_MSGRAMLOW : origin = 0x001480, length = 0x000080
CLA1_MSGRAMHIGH : origin = 0x001500, length = 0x000080
RAMLS0        : origin = 0x008000, length = 0x000800
RAMLS1        : origin = 0x008800, length = 0x000800
RAMLS2        : origin = 0x009000, length = 0x000800

RAMD0         : origin = 0x00B000, length = 0x000800
RAMD1         : origin = 0x00B800, length = 0x000800
RAMGS4        : origin = 0x010000, length = 0x001000
RAMGS5        : origin = 0x011000, length = 0x001000
RAMGS6        : origin = 0x012000, length = 0x001000
RAMGS7        : origin = 0x013000, length = 0x001000
RAMGS89ABCDEF : origin = 0x014000, length = 0x008000

CPU2TOCPU1RAM : origin = 0x03F800, length = 0x000400
CPU1TOCPU2RAM : origin = 0x03FC00, length = 0x000400
}
```

SECTIONS

```
{
/* Seção das memórias de programa (PAGE 0) */
.text      : > RAMGS0123,          PAGE = 0
.cinit     : > RAMGS0123,          PAGE = 0
.const     : > RAMGS0123,          PAGE = 0
.econst    : > RAMGS0123,          PAGE = 0
.pinit     : > RAMGS0123,          PAGE = 0
.reset     : > RESET,              PAGE = 0, TYPE = DSECT
.switch    : > RAMGS0123,          PAGE = 0

/* Seção da memória de dados (PAGE 1)*/
.bss       : > RAMM0,              PAGE = 1
.ebss      : > RAMM0,              PAGE = 1
.cio       : > RAMM0,              PAGE = 1
.stack     : > RAMM1,              PAGE = 1
.systemem  : > RAMM1,              PAGE = 1
.esystemem : > RAMM1,              PAGE = 1
}
```

```
#ifdef __TI_COMPILER_VERSION__
```

```

#if __TI_COMPILER_VERSION__ >= 15009000
    .TI.ramfunc : {} > RAMGS0123,          PAGE = 0
#else
    ramfuncs      : > RAMGS0123          PAGE = 0
#endif
#endif
codestart          : > BEGIN_M0,          PAGE = 0
Cla1ToCpuMsgRAM    : > CLA1_MSGRAMLOW,    PAGE = 1
CpuToCla1MsgRAM    : > CLA1_MSGRAMHIGH,   PAGE = 1
.scratchpad        : > RAMLS0,           PAGE = 1
Cla1Prog           : > RAMLS3,           PAGE = 0
Cla1Data1          : > RAMLS1,           PAGE = 1
Cla1Data2          : > RAMLS2,           PAGE = 1
Cla1Data3          : > RAMGS89ABCDEF,    PAGE = 1

Grafico1           : > RAMGS89ABCDEF,    PAGE = 1
Grafico2           : > RAMGS89ABCDEF,    PAGE = 1
Grafico3           : > RAMGS89ABCDEF,    PAGE = 1
dmaMemBufs         : > RAMGS4,          PAGE = 1
CPU1toCPU2         : > CPU1TOCPU2RAM,    PAGE = 1
}

```

A Figura 38 mostra a alocação referente às memórias de programa e dados. Para a aquisição de um vetor com elevada quantidade de pontos no DSP, é preciso adequar a seção `.ebss` (relativa as variáveis globais) com o maior espaço possível. Uma breve descrição sobre das principais seções é feita a seguir:

Código de programa (`.text`): consiste na sequência de instruções usadas para manipular dados, inicializar configurações do sistema, etc. O código do programa deve ser definido após a redefinição do sistema (energização do DSP). Devido a esta restrição básica do sistema, geralmente é necessário colocar o código do programa em memória não volátil, como FLASH ou EPROM.

Constantes (`.cinit` – dados inicializados): contém constantes ou valores iniciais para as variáveis, sendo similares ao código do programa e se encontram geralmente na FLASH ou EPROM.

Variáveis (`.ebss` – dados não inicializados): Esse tipo de variável é manipulada e alterada pelo programa em tempo real. Ao contrário do código do programa, dados não inicializados ou variáveis devem residir na memória volátil, como a RAM. Estas memórias podem ser modificadas e atualizadas, suportando sua utilização em fórmulas matemáticas, linguagens de alto nível, entre outros. Cada variável deve ser declarada com uma diretiva a fim de reservar espaço na memória para guardar seu valor [80].

Compiler Section Names

Name	Description	Link Location
.text	code	FLASH
.cinit	initialization values for global and static variables	FLASH
.econst	constants (e.g. const int k = 3;)	FLASH
.switch	tables for switch statements	FLASH
.pinit	tables for global constructors (C++)	FLASH

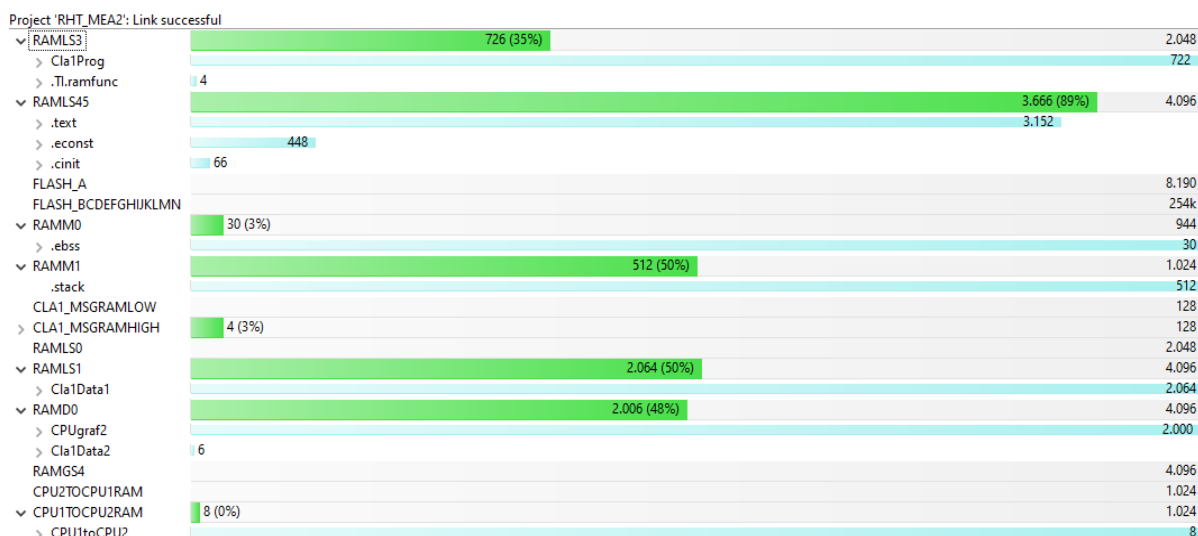
Name	Description	Link Location
.ebss	global and static variables	RAM
.stack	stack space	low 64Kw RAM
.esysmem	memory for far malloc functions	RAM

Após a compilação do código em ambas as CPUs, o *Code Composer Studio* fornece uma janela com a alocação de memória. Isso permite uma resposta da otimização de variáveis dentro do programa, uma vez que pode ser necessária a alteração das mesmas para visualização e adequações nos pontos exportados por meio de vetores para visualização de gráficos. As Figuras 39 e 40 mostram a alocação de memória para a CPU1 e CPU2, respectivamente.

Project 'RHT_MEA1': Link successful		
✓ RAMLS3	748 (36%)	2,048
> Cla1Prog		748
RAMLS4		2,048
RAMLS5		2,048
✓ RAMGS0123	9,799 (59%)	16,384
> .text		9,036
> .econst	454	
> .cinit	305	
> .L1ramfunc	4	
FLASH_A		8,190
FLASH_BCDEFGHIJKLMNOP		254k
BOOT_RSVD		78
✓ RAMM0	290 (30%)	944
> .ebss		290
✓ RAMM1	512 (50%)	1,024
.stack		512
CLA1_MSGRAMLOW		128
CLA1_MSGRAMHIGH		128
RAMLS0		2,048
✓ RAMLS1	20 (0%)	2,048
> Cla1Data1		20
✓ RAMLS2	2,000 (97%)	2,048
> Cla1Data2		2,000
RAMD0		2,048
RAMD1		2,048
RAMGS4		4,096
RAMGS5		4,096
RAMGS6		4,096
RAMGS7		4,096
✓ RAMGS89ABCDEF	6,004 (18%)	32,768
> Grafico1		2,000
> Grafico2		2,000
> Grafico3		2,000
> Cla1Data3	4	
CPU2TOCPU1RAM		1,024
✓ CPU1TOCPU2RAM	8 (0%)	1,024
> CPU1toCPU2		8

86

Figura 40 – Alocação dos bancos de memória para o CPU2.



Fonte: Dados de autoria própria.

O processo de configuração do CPU2 é análogo ao CPU1, a diferença consiste na fonte de interrupção da *Task2* (ADCCINT3) vinculada ao CPU2.

```
//--- Seleção da fonte interrupção para a Task
DmaClaSrcSelRegs.CLA1TASKSRCSEL1.bit.TASK2 = 13;           //ADCCINT3
```

4.4.2 Comunicação de Variáveis entre os Núcleos do DSP

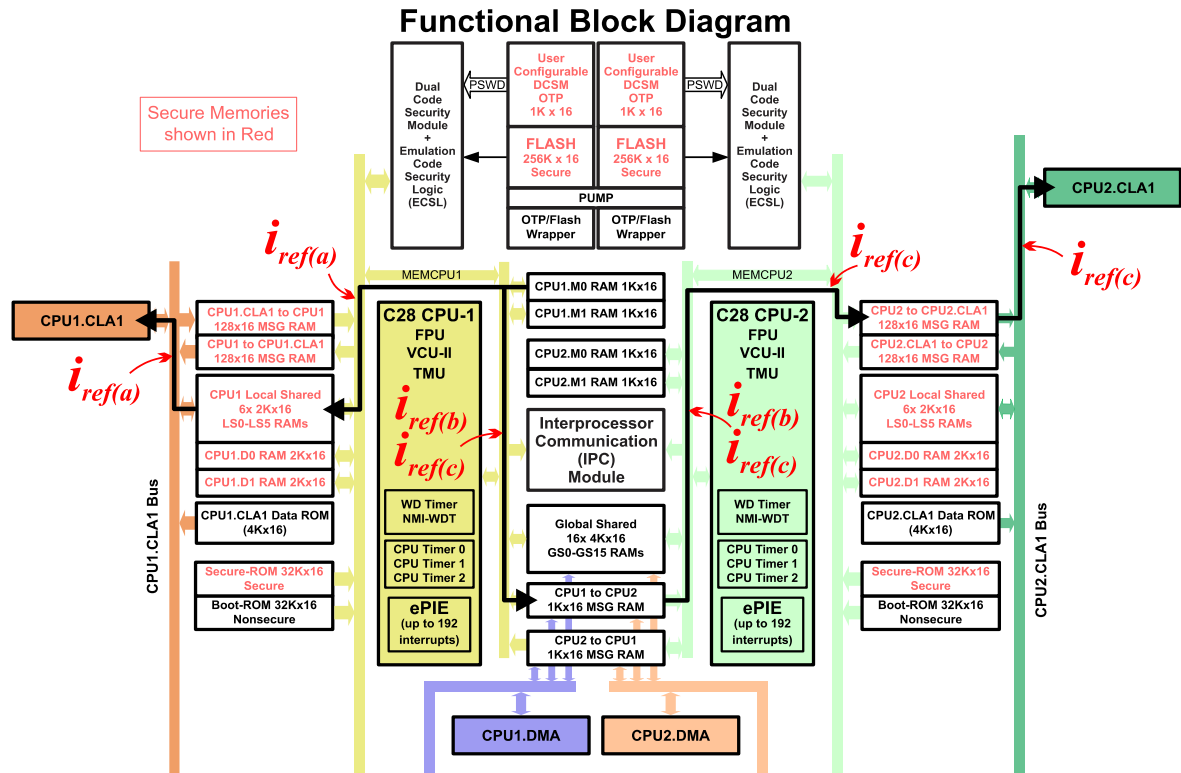
Retomando o esquema simplificado de controle da Figura 29 já explicado anteriormente, a principal preocupação em manter uma alta largura de banda do controle, isto é, ser possível executar todo o código de controle o mais rápido possível, é a correta comunicação das variáveis de controle entre os núcleos sem utilizar os módulos de comunicação IPC disponíveis no manual técnico do DSP.

É importante ressaltar, que o módulo IPC é a maneira indicada pela *Texas Instruments* para transferência de dados via CPUs. Entretanto, este protocolo requer uma série de cuidados que podem limitar a largura de banda do controle, como por exemplo: verificar *flags* e o destino correto das variáveis, prejudicando o desempenho do controlador de corrente por histerese.

A Figura 41 mostra a transição das variáveis realizada pelo Diagrama de Blocos Funcional do DSP. É preciso observar, que cada banco de memória possui um sentido

no fluxo de dados, demonstrando que seu respectivo acesso de escrita e/ou leitura pode ser restrito.

Figura 41 – Fluxo de dados das variáveis *float32*.



Fonte: Adaptado de [71].

Nesse sentido, o fluxo de variáveis localizada no banco CPU1.M0 RAM é do CPU1 (que executa toda a malha externa de tensão e os sinais dos três SOGI-PLL) para os núcleos de processamento remanescentes, ou seja, CPU1.CLA, CPU2 e CPU2.CLA. A Figura 42 ilustra o fluxo das variáveis *float32* (i_{ref} e v_{PLL}), seu destino, a interrupção de ADC e sua respectiva taxa de amostragem.

Figura 42 – Fluxo de dados das variáveis *float32*.

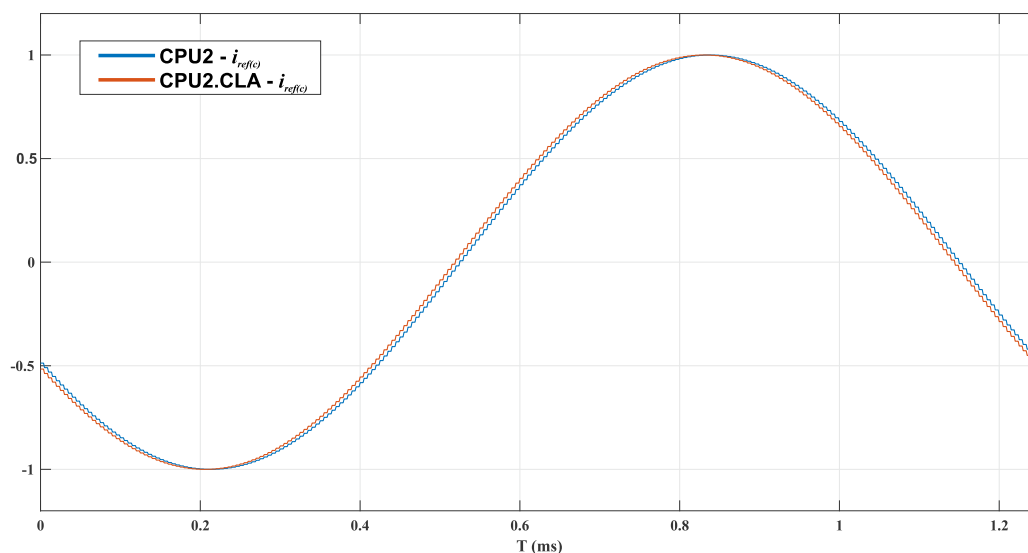
Fluxo de Dados (Float32)			
RAMLS1	CPU1.M0	CPU1toCPU2	CPU2toCPU2.CLA1
CPU1.CLA	CPU1	CPU2	CPU2.CLA
Malha de Corrente Fase A	Malha de Tensão	Malha de Corrente Fase B	Malha de Corrente Fase C
ADCA 400kHz	ADCB 200kHz	ADCD 400kHz	ADCC 400kHz

Fonte: Dados de autoria própria.

Uma das considerações deste procedimento de transferência de dados –não listado pelos arquivos da TI– é na transferência da variável $i_{ref(c)}$. A mesma percorre os barramentos para os bancos de memória do CPU1 e CPU2 antes de ser processada no destino (CPU2.CLA). Com isso, a fim de verificar se houveram atrasos, foi traçado um gráfico pela CPU2 (Figura 43) da corrente $i_{ref(c)}$ nos domínios da CPU2 e CPU2.CLA.

O gráfico foi traçado com a frequência fundamental de 800Hz em 1k pontos com amostragem de 800kHz. O *MatLab* interliga os pontos por uma reta, mas é possível perceber a digitalização do sinal, pois em determinado instante há 4 pontos com o mesmo valor, considerando a amostragem de $i_{ref(c)}$ no CPU1 (200kHz) 4 vezes menor que a do CPU2. Houve um atraso em 1 período de 200kHz, mas foi corrigido por meio de uma compensação em fase no PLL, garantindo alto FP em todas as fases.

Figura 43 – 800Hz Iref, vetor de 1000 pontos.



Fonte: Dados de autoria própria.

Por fim, as variáveis transferidas entre CPU1 e CPU2 são alocadas na memória RAM CPU1toCPU2, a qual o CPU1 tem acesso de escrita e leitura e o CPU2 apenas o acesso de leitura, como esperado. A Figura 44, ilustra a perspectiva de *debug* dos 2 núcleos, é possível perceber que pela perspectiva do CPU2, o mesmo não possui acesso (*identifier not found*) a algumas variáveis localizadas no CPU1. Já para o banco de memória CPU1toCPU2, ele é acessível a ambos os CPUs e a alocação de memória foram feitas nos endereços 0x0003FC00 até 0x0003FC06.

Algumas variáveis booleanas responsáveis pela estratégia de RPA foram transmitidas pelo barramento do periférico GPIO, essa medida foi adotada para não interferir na largura de banda do barramento de dados *Float32*, já que este periférico é acessível por ambas as CPUs.

Figura 44 – Domínio e alocação das variáveis na perspectiva de *debug*.

Núcleo: CPU1			Núcleo: CPU2		
Expression	Type	Value	Expression	Type	Value
&contadorADC	unsigned long *	0x0000162 (1797)	&contadorADC	unknown	identifier not found: ...
&contadorTask	unsigned long *	0x0000880A (1797)	&contadorTask	unknown	identifier not found: ...
&contador2ADC	unknown	identifier not found: ...	&contador2ADC	unsigned long *	0x0000005A (1797)
&contador2Task	unknown	identifier not found: ...	&contador2Task	unsigned long *	0x00008808 (1797)
&lref_a	float *	0x00008812 {0.0}	&lref_a	unknown	identifier not found: ...
&Va_PLL	float *	0x00008802 {1.0}	&Va_PLL	unknown	identifier not found: ...
&lref_b	float *	0x0003FC00 {0.0}	&lref_b	float *	0x0003FC00 {0.0}
&Vb_PLL	float *	0x0003FC02 {1.0}	&Vb_PLL	float *	0x0003FC02 {1.0}
&lref_c	float *	0x0003FC06 {0.0}	&lref_c	float *	0x0003FC06 {0.0}
&Vc_PLL	float *	0x0003FC04 {1.0}	&Vc_PLL	float *	0x0003FC04 {1.0}
&CLA_lref_c	unknown	identifier not found: ...	&CLA_lref_c	float *	0x00001500 {0.0}
&CLA_Vc_PLL	unknown	identifier not found: ...	&CLA_Vc_PLL	float *	0x00001502 {1.0}
Add new expression			Add new expression		

Fonte: Dados de autoria própria.

4.4.3 Largura de Banda e Processamento

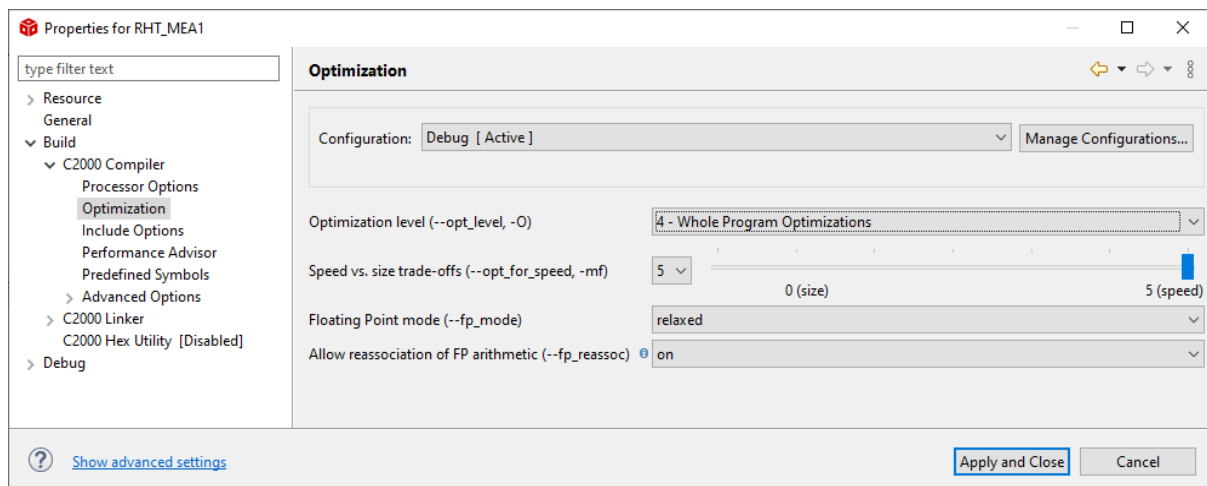
As análises acerca da estratégia de controle corroboraram até agora a importância da utilização dos quatro núcleos do DSP, sendo um deles responsável pela execução da malha de tensão e os outros responsáveis pela execução da malha de corrente.

O código da malha de tensão foi elaborado e, logo em seguida, avaliou-se a possibilidade de aumento da frequência de amostragem, a qual só foi possível por um ajuste nas propriedades do projeto como ilustra a Figura 45.

Nesse sentido, há uma relação de compromisso em velocidade de execução do código e na capacidade de alocação das variáveis e processamento da perspectiva de *debug*.

Outro ponto a ser considerado é o atraso necessário para que a interrupção de ADC ocorra, isso limita em certa medida a largura de banda da interrupção no CPU. Para a arquitetura CLA, sua execução de código consegue atingir maiores níveis de aproveitamento, mas o processo de compilação não contempla todos os operadores utilizados na linguagem C. Como por exemplo, na CLA não há o operador “%”, resto da divisão.

Figura 45 – Otimização em largura de banda e execução de código.



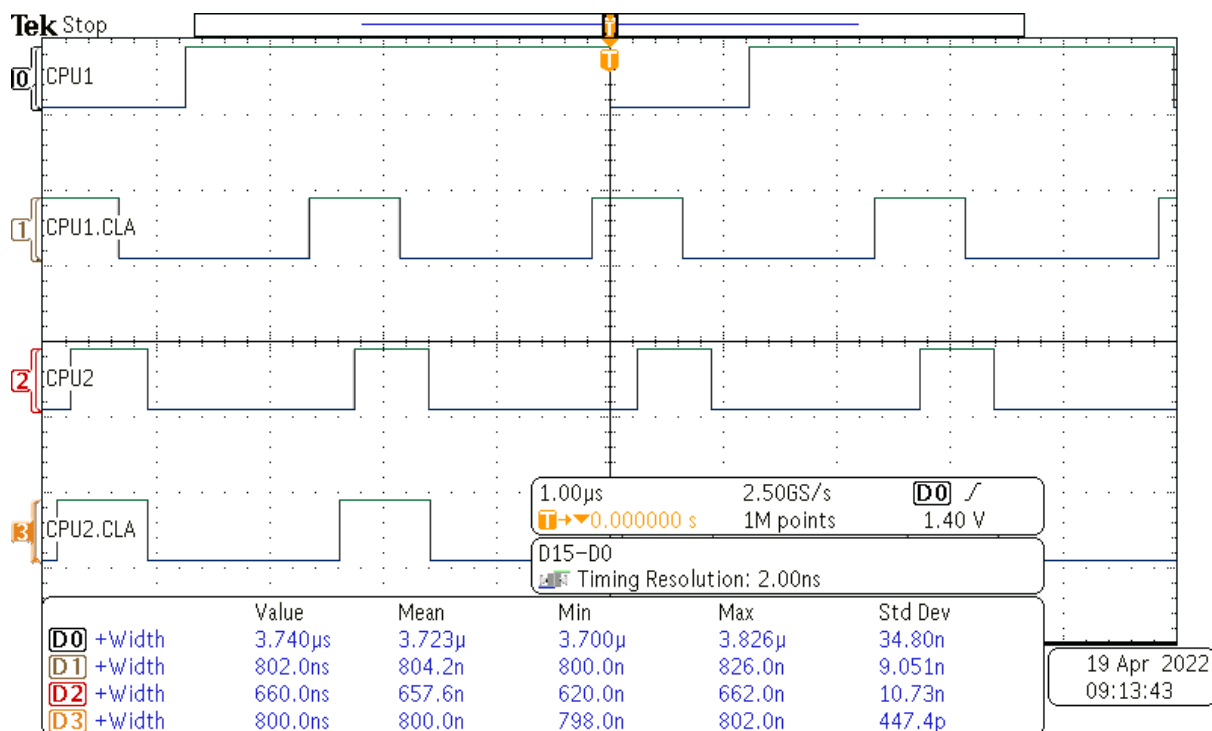
Fonte: Print de tela do *Code Composer Studio*.

As Figuras 46 e 47 mostram o tempo de execução de código para diferentes amostragens na malha de corrente, com 400kHz e 800kHz respectivamente. É possível observar que o tempo de execução não se altera, pois o *clock* de 200MHz é constante. Para a malha de tensão executada pelo CPU1, não é possível obter ganhos significativos em largura de banda, a frequência de amostragem é fixada em 200kHz, como mencionado anteriormente.

Outro detalhe importante relacionado ao aumento na frequência de amostragem das malhas de corrente, para 800kHz por exemplo, é que não há melhorias significativas na máxima frequência de chaveamento pelo controlador de histerese. Como mencionado previamente, fatores como atraso na aquisição de corrente, tempo de aquisição e atraso nos pulsos do *gate driver* limitam a máxima frequência de chaveamento.

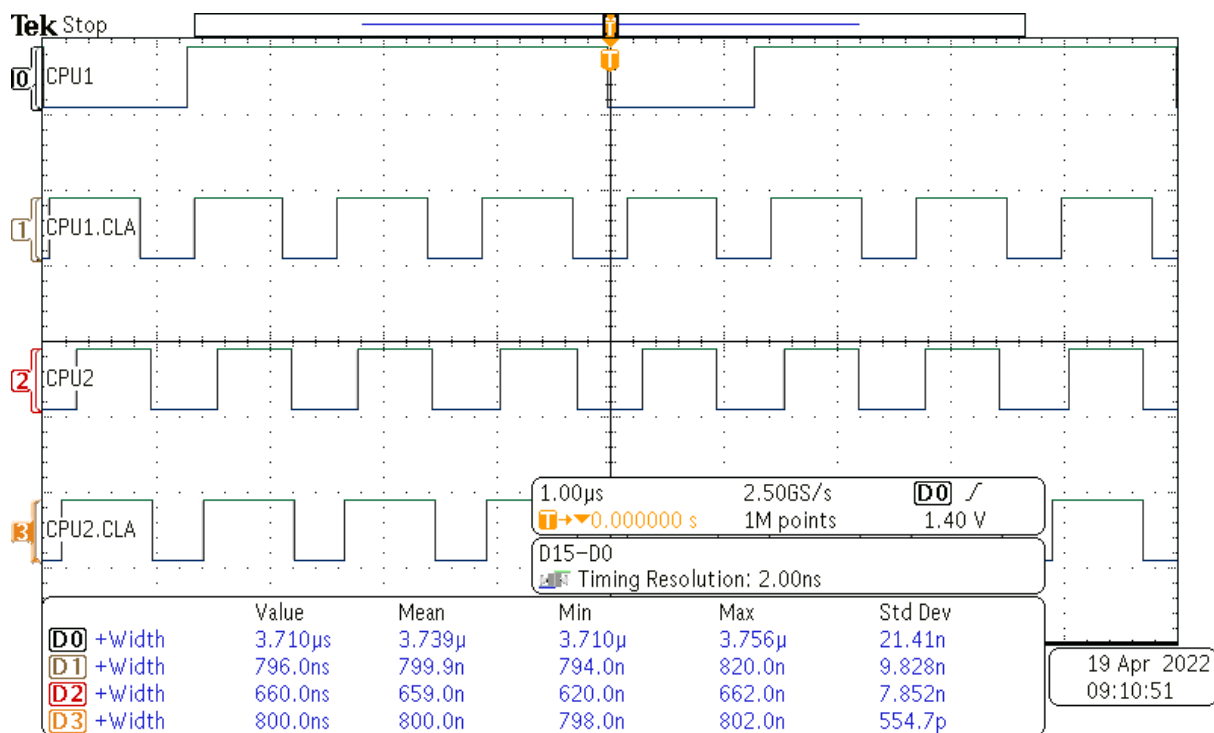
Nesse sentido, a utilização de núcleos paralelos auxilia na execução do código com alta largura de banda, especialmente para ser viável a amostragem da malha externa de tensão em 200kHz, mas de certa forma, esta estratégia ainda possui fatores limitantes para se aumentar a frequência de chaveamento do conversor. Outras estratégias podem ser adotadas para mitigar estes atrasos e serão discutidas como proposta de trabalhos futuros.

Figura 46 – Largura de banda para cada núcleo, com amostragem em 400kHz malhas de corrente e 200kHz malha de tensão.



Fonte: Dados de autoria própria.

Figura 47 – Largura de banda para cada núcleo, com amostragem em 800kHz malhas de corrente e 200kHz malha de tensão.



Fonte: Dados de autoria própria.

4.5 Considerações Finais

De acordo com as informações apresentadas neste capítulo, a estratégia de controle, corroborada pela estrutura de potência, foi desenvolvida para considerar o projeto de apenas um controlador PI de tensão. Além disso, o ensaio de levantamento da função de transferência equivalente do RHT-HVDC-MEA pode ser realizado em âmbito prático, o que possibilita maior precisão dos elementos não ideais do conversor.

Adicionalmente, o algoritmo de RPA foi demonstrado, evidenciando a estratégia para mitigar as perdas por chaveamento no conversor, visto que o mesmo foi projetado para operação com frequência de chaveamento maiores.

Para garantir um alto desempenho do controlador de corrente por histerese, foi adotado um procedimento específico de configuração dos registradores e comunicação das variáveis nos 4 núcleos do DSP, garantindo assim, a elevada frequência de chaveamento e, por consequência, elevada densidade de potência.

CAPÍTULO V

Resultados de Simulação

5.1 Considerações Iniciais

Para corroborar e validar os aspectos teóricos acerca do conversor, foram realizadas simulações nos *softwares* *PSim*[®] e *LTSpice*[®]. O primeiro, amplamente utilizado na eletrônica de potência, auxiliou na validação do controle e estrutura de potência. Já o segundo, desempenhou um papel fundamental para elucidar os desafios enfrentados no acionamento dos dispositivos de SiC, com foco em análises de alta largura de banda.

5.2 Resultados de simulação do *PSim*

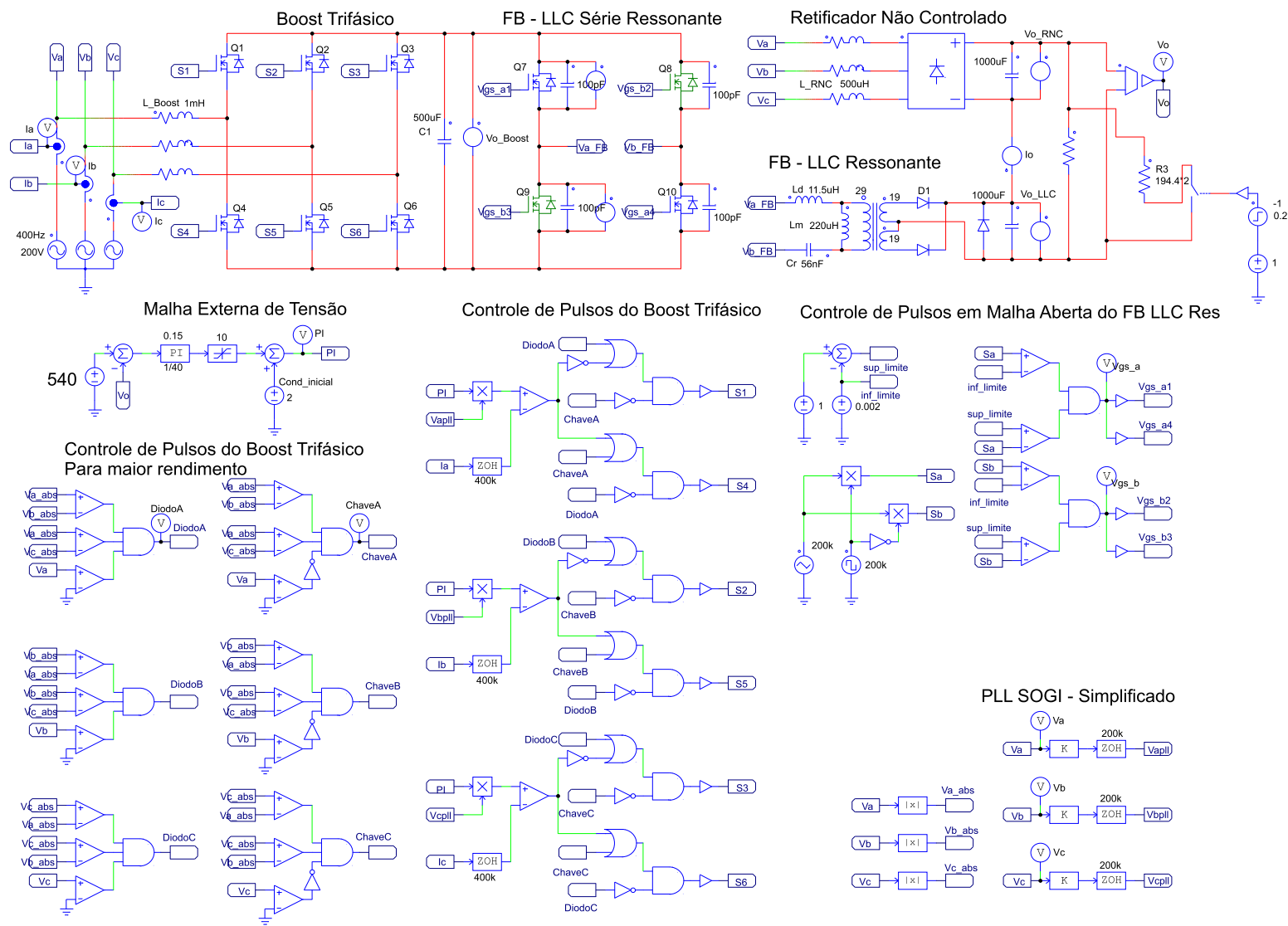
A Figura 48, ilustra os diagramas completos de controle e potência, considerando alguns parâmetros não-ideais das chaves e demais resistências internas dos componentes. Com o objetivo de obter fluidez nas simulações, todo o controle da estratégia de RPA e disparo dos sinais de gatilho do LLC SR foram realizados por meio de circuitos lógicos combinacionais, além da simplificação do SOGI-PLL por fontes ideais senoidais.

Esta prática de otimização na simulação é fundamental, quando da utilização do controle por histerese, visto que a frequência de amostragem ZOH (do inglês, *Zero-Order Hold*) da corrente de entrada é de 400kHz, traduzindo em um período mínimo de integração de 50 μ s para o *Psim*. O único controlador PI está representado na malha externa de tensão, como pode ser observado na Figura 48.

5.2.1 Corrente de entrada

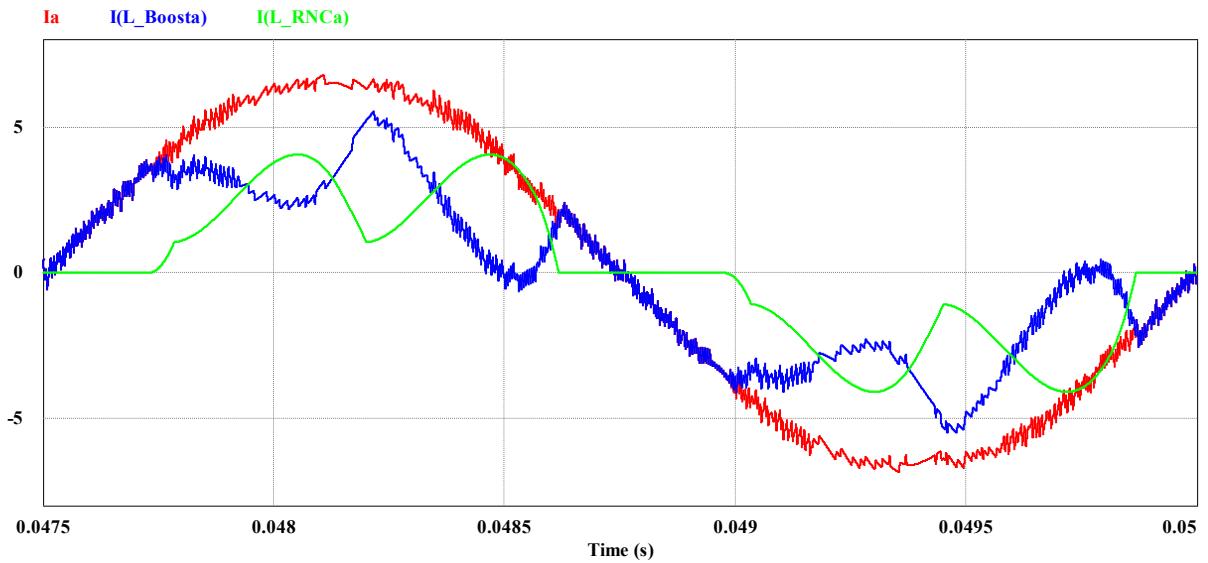
A Figura 49 ilustra a composição de correntes para a frequência de 400Hz, é possível notar que a corrente do *Boost* assume valores de pico próximos aos da corrente de entrada, pois como mencionado no Capítulo III, o indutor do RNC é projetado para uma condição com elevada ondulação. Esta condição otimiza as perdas por condução no RNC, entretanto o projeto do indutor do *Boost* precisa considerar uma corrente de saturação maior.

Figura 48 – Diagrama completo da estrutura de potência e controle simulados no *PSim*.



Fonte: Captura de tela do *PSim*.

Figura 49 – Composição de correntes na entrada do RHT-HVDC-MEA.

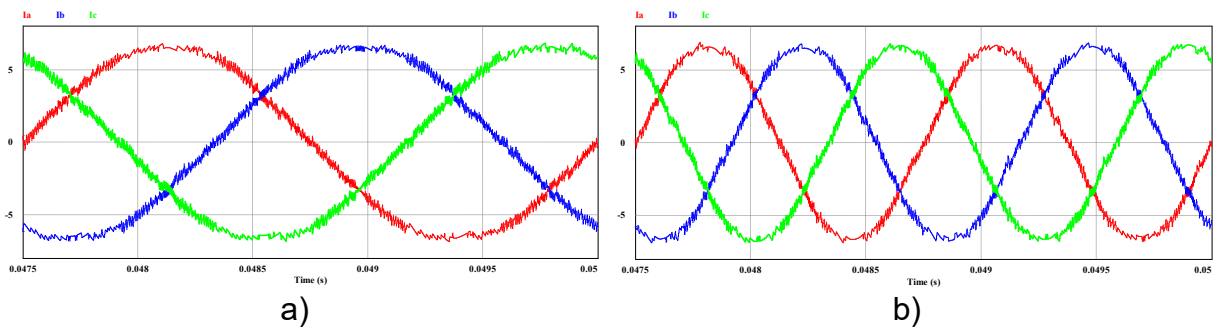


Fonte: Captura de tela do *PSim*.

A Figura 50 a) e b) mostra as correntes de linha para 400Hz e 800Hz, respectivamente. O aspecto próximo ao senoidal é mantido para ambas as frequências de alimentação. As Figuras 51 e 52 mostram o conteúdo harmônico em 400Hz e 800Hz, respectivamente, onde a DHTi em ambos os casos é inferior à norma DO-160F.

Embora a técnica de RPA contribua para a eficiência global da estrutura, as harmônicas de baixa ordem, especialmente a 5ª, são mais proeminentes e implicam em ligeiras imperfeições na forma de onda de corrente.

Figura 50 – Correntes de linha para frequência de a) 400Hz e b) 800Hz.



Fonte: Captura de tela do *PSim*.

Figura 51 – Espectro harmônico para a corrente da fase A em 400Hz.

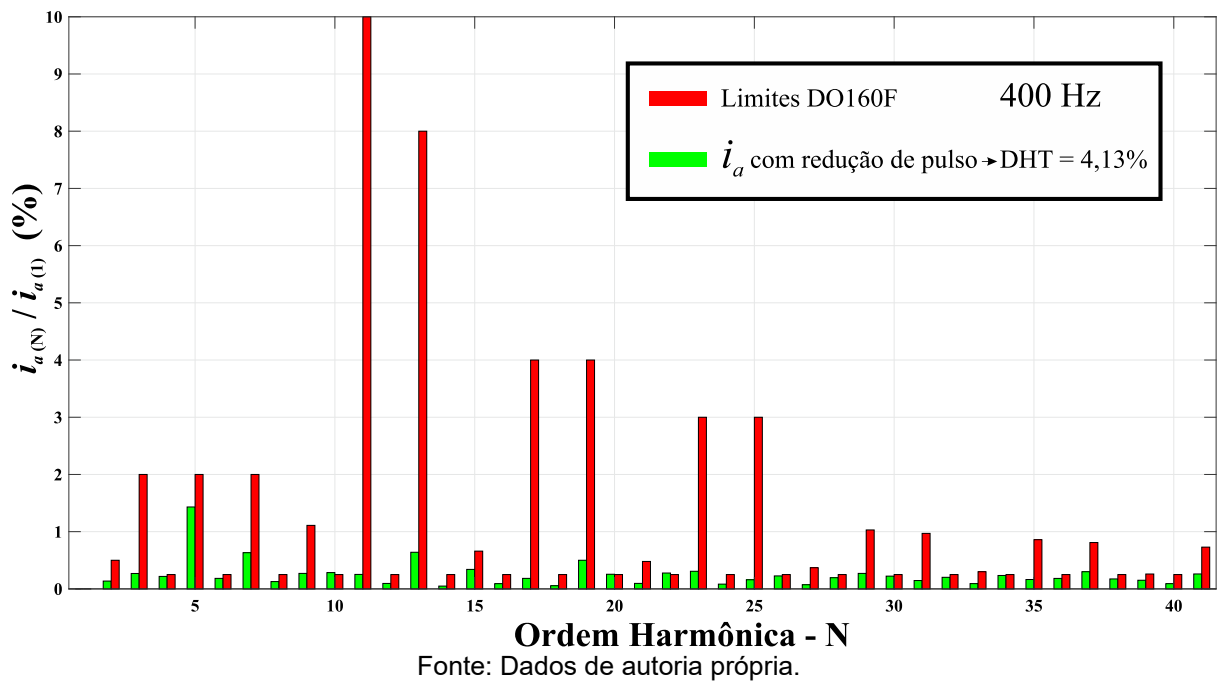
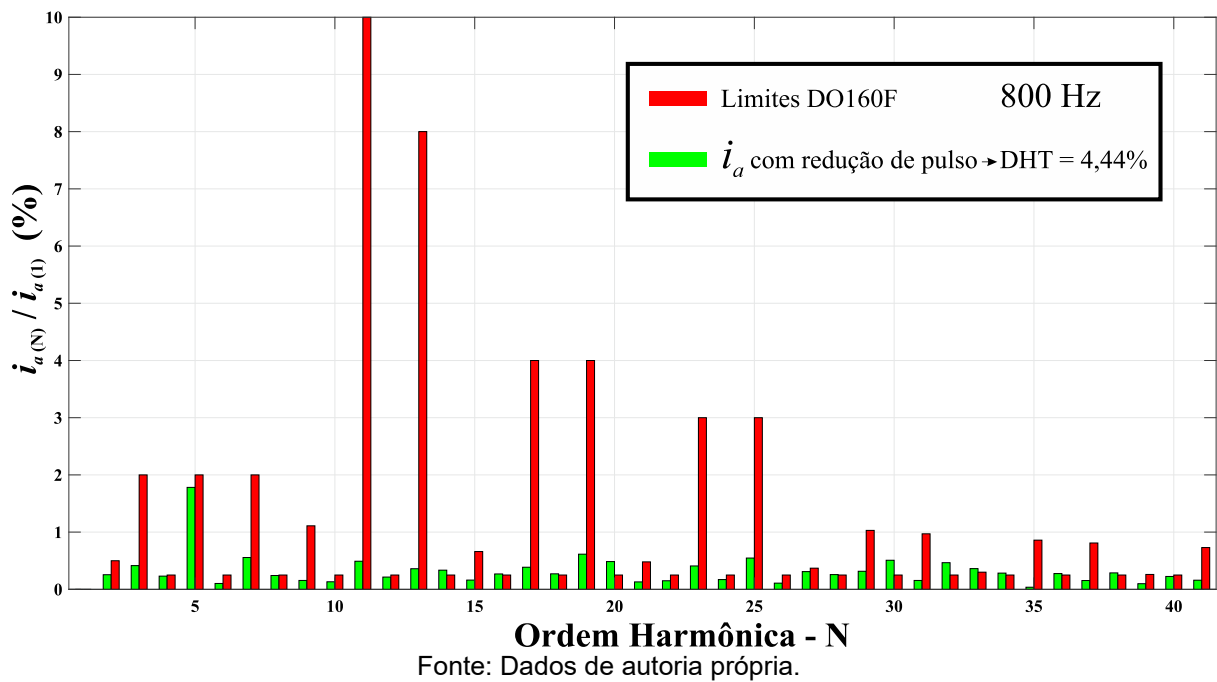


Figura 52 – Espectro harmônico para a corrente da fase A em 800Hz.



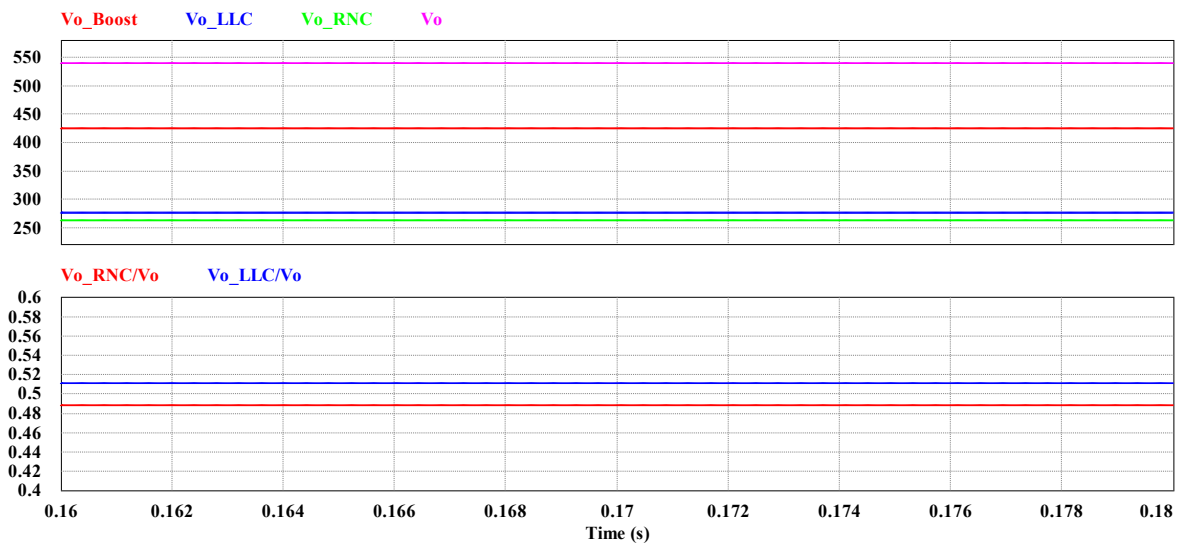
5.2.2 Composição de tensões na saída

Uma das características que define a robustez da topologia, é a compensação série de tensão na saída. Para os níveis de tensão em HVDC, definidos em 540V a partir da proposta MEA, a relação de processamento de potência do conversor

permanece praticamente inalterada mediante as duas frequências de alimentação, como observado nas Figuras 53 e 54. Isto ocorre, pois a tensão média de saída do RNC é consideravelmente estável, característica desta classe de conversores.

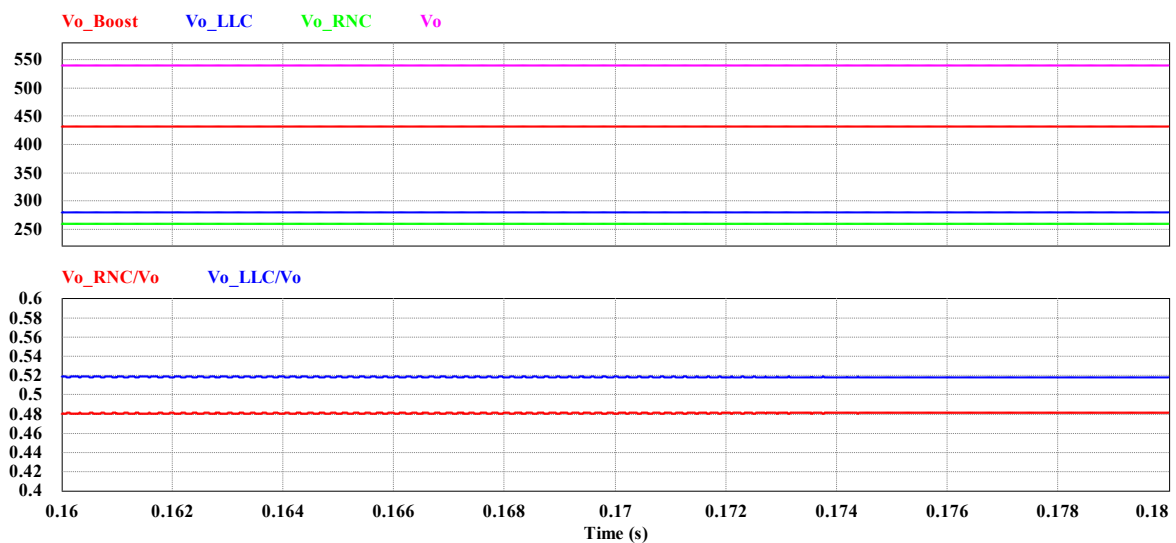
Nesse sentido, a taxa de processamento de potência teórica máxima esperada para o conversor é de cerca de 52% para os conversores cascadeados *Boost* e LLC SR para a condição mais severa de alimentação, em 800Hz.

Figura 53 – Tensões nas saídas dos conversores e relação de processamento de potência em 400Hz, onde as tensões médias são: $V_{o_Boost} = 425V$, $V_{o_LLC} = 276V$, $V_{o_RNC} = 264V$, $V_o = 540V$.



Fonte: Captura de tela do *PSim*.

Figura 54 – Tensões médias nas saídas dos conversores e relação de processamento de potência em 800Hz, $V_{o_Boost} = 431V$, $V_{o_LLC} = 280V$, $V_{o_RNC} = 260V$, $V_o = 540V$.



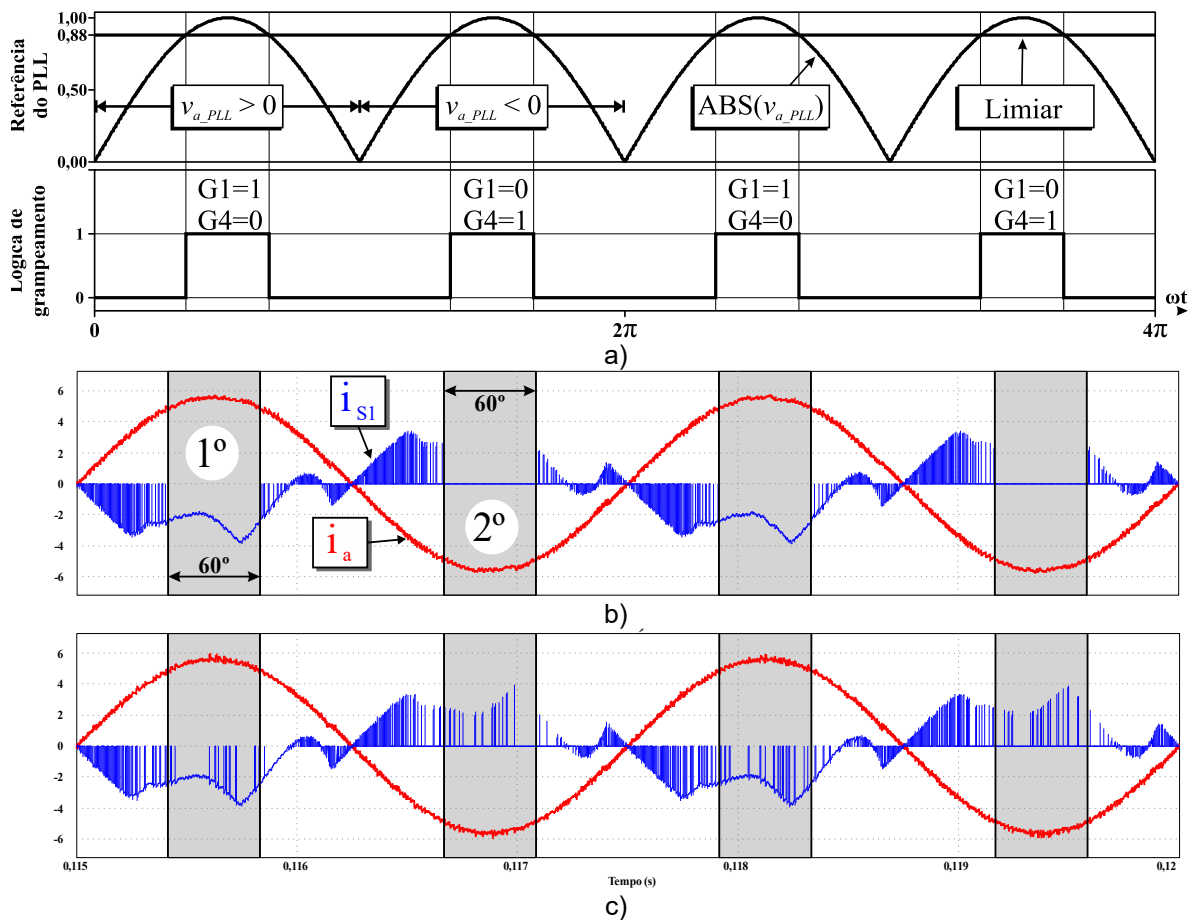
Fonte: Captura de tela do *PSim*.

5.2.3 Estratégia de Redução Pulso Ativo – RPA

A estratégia de RPA possui a premissa de mitigar as perdas por chaveamento, no período ao qual não é necessário o controle das três correntes de linha simultâneas. A Figura 55, ilustra o processo de comparação dos sinais, tomando como base o sincronismo do SOGI-PLL.

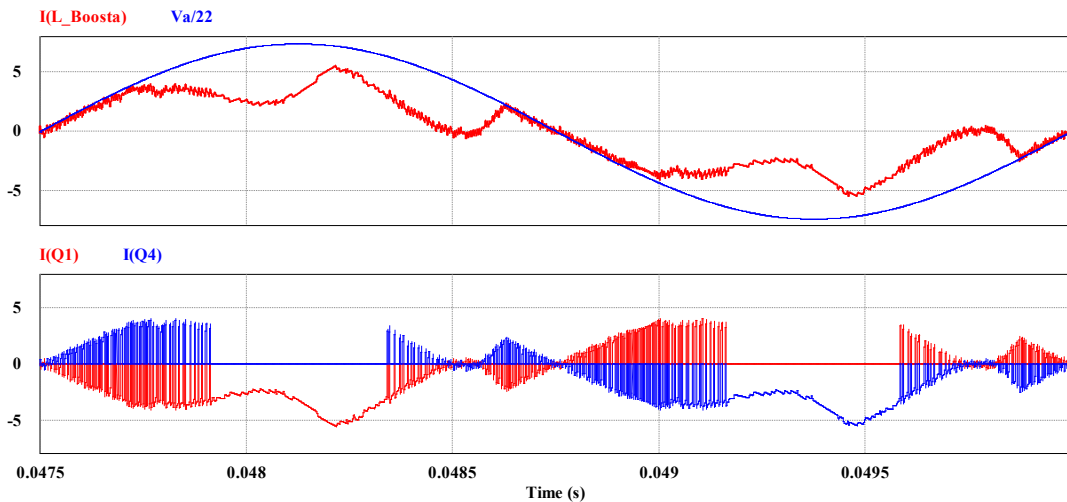
É possível notar pela simulação, que a apesar de não haver chaveamento nos 120° indicados na figura, a frequência de chaveamento nos outros intervalos pode ser maior quando há a aplicação do algoritmo. Este fato pode ser investigado em um trabalho futuro, mas os resultados práticos extraídos no artigo [84] comprovaram valores de eficiência e DHTi maiores com a utilização do algoritmo. A Figura 56 mostra o resultado da corrente da fase A e sua subdivisão nas chaves (Q1 e Q4) do braço A.

Figura 55 – a) Esquema para redução de pulsos ativos em 120° , b) aplicação do algoritmo na fase A, c) sem a aplicação do algoritmo.



Fonte: Dados de autoria própria.

Figura 56 – Corrente da fase A e correntes complementares nas chaves do braço do *Boost* com a aplicação do algoritmo da RPA.



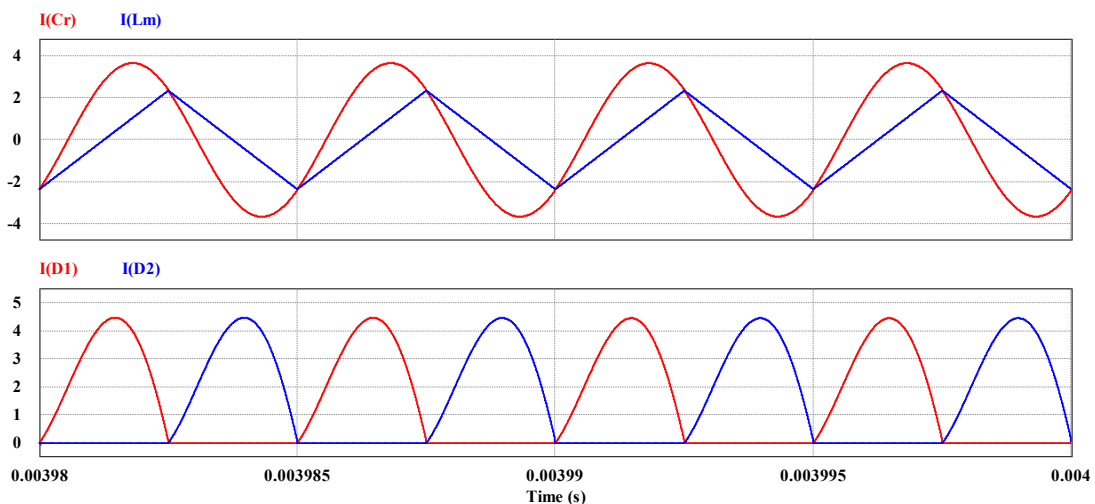
Fonte: Captura de tela do *PSim*.

5.2.4 LLC Série Ressonante

As análises no *PSim* referentes ao desempenho do LLC SR foram simplificadas, visto que o mesmo trabalha com a concepção de pulsos de disparo com frequência e razão cíclicas constantes, ou seja, sem um controlador específico. A premissa foi configurá-lo com a frequência desejada para a ressonância e com um tempo morto mínimo baseado na eq. (3).

A Figura 57 mostra as correntes no primário e secundário do transformador do LLC SR, é possível observar que a corrente de magnetização é praticamente triangular

Figura 57 – Correntes no primário e secundário do LLC SR, sendo $I(Cr) = 2,6Arms$ e $I(Lm) = 1,36Arms$.



Fonte: Captura de tela do *PSim*.

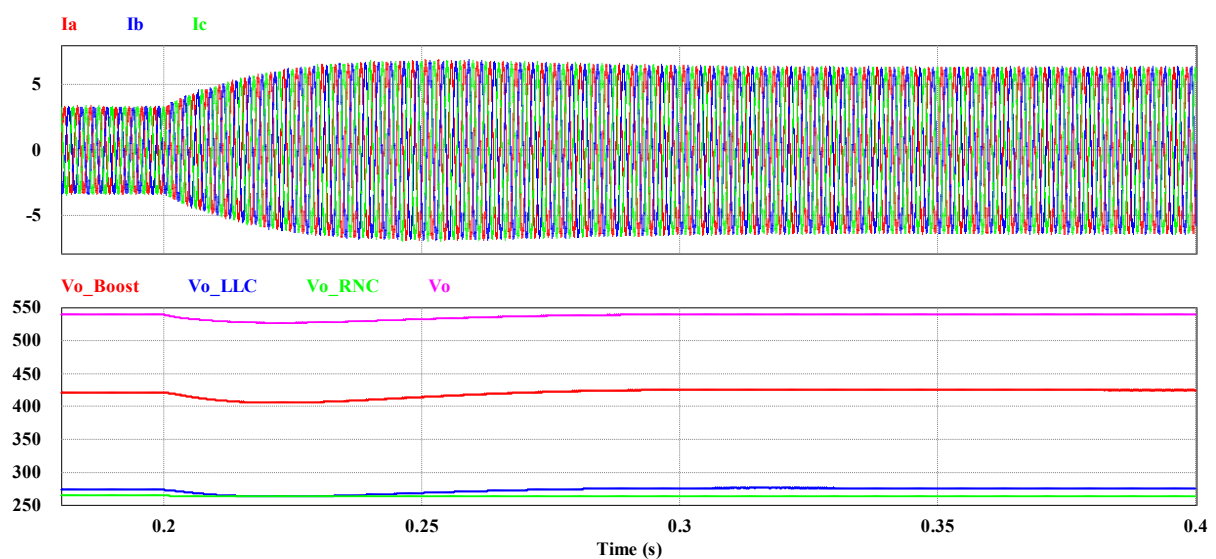
e a ressonante não possui harmônicos significativos, pela sintonização do circuito tranque-ressonante. Outro aspecto relevante, é que a corrente do circuito ressonante é ligeiramente maior que a de magnetização para a potência de 1500W do RHT-HVDC-MEA, isso traduz em uma menor eficiência para o LLC SR em baixas cargas, como relatado no Capítulo III.

5.2.5 Resultados para Degrau de Carga

A fim de avaliar o controlador PI projetado no Capítulo IV, foram realizados ensaios na forma de degrau de carga para verificar a dinâmica em regime transitório. A Figura 58 mostra o degrau de carga realizado em 400Hz de 50% para 100% da potência nominal, onde o afundamento de tensão observado na saída foi de 13V, ou seja, menos de 3% do nível HVDC de 540V. O projeto do controlador é bem conservador, com um tempo de acomodação em 35 ms após a perturbação.

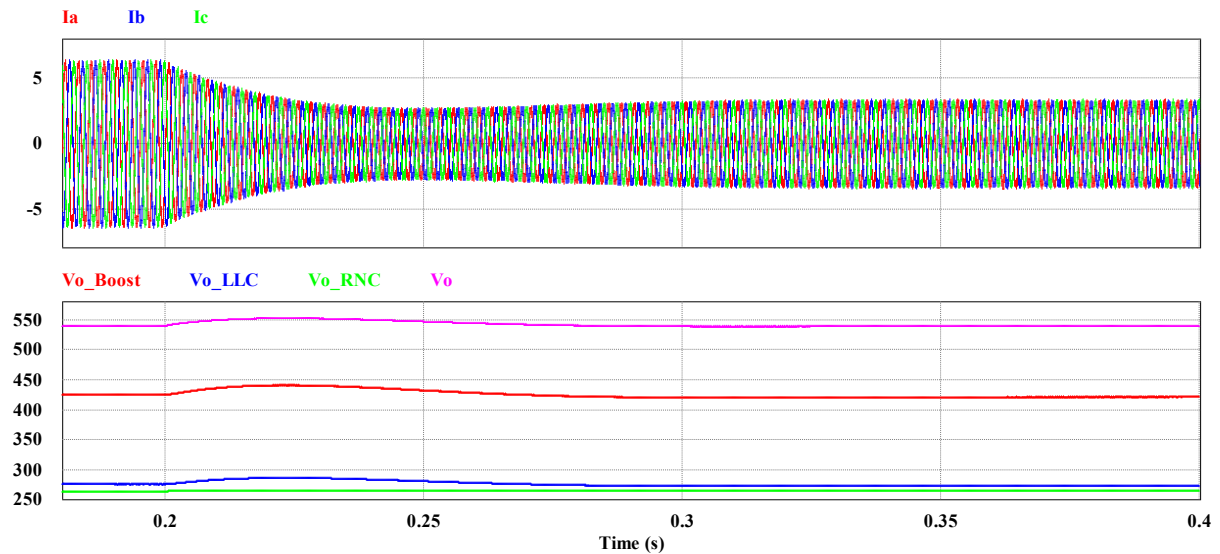
Já a Figura 59, mostra um degrau de carga de 100% para 50% da potência nominal em 400Hz. A UP foi de apenas 2,4%, traduzindo em uma tensão máxima de 553V, já o tempo de acomodação foi de aproximadamente 37 ms. Os resultados em ambas as frequências de alimentação se mantiveram próximos. Assim, para 800Hz as curvas de perturbação não foram traçadas.

Figura 58 – Degrau de carga em 400Hz de 750W para 1500W.



Fonte: Captura de tela do *PSim*.

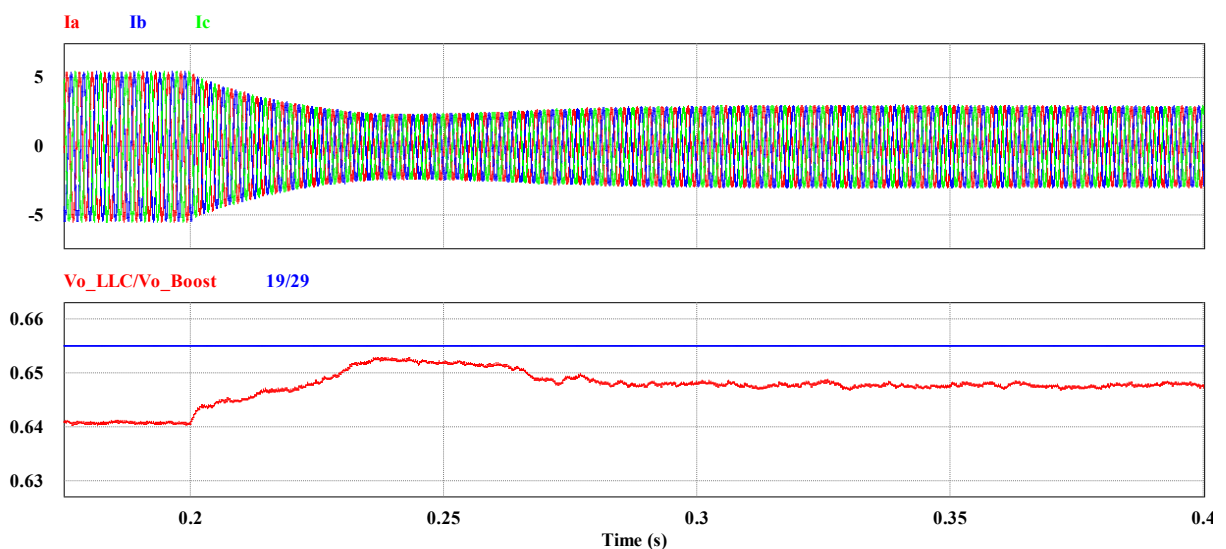
Figura 59 – Degrau de carga em 400Hz de 1500W para 750W.



Fonte: Captura de tela do *PSim*.

A Figura 60 mostra o ganho de tensão do LLC SR, o qual seu valor ideal está relacionado com o número de enrolamentos, com 29 no primário e 19 nos dois enrolamentos em tape central no secundário e do transformador. O ganho de tensão é pouco influenciado pelo degrau de carga e apresenta um valor próximo ao ideal, a medida que a potência de saída é menor, já que as perdas são menores. De todo modo, este ganho fixo e não controlável do LLC SR é compensado pelo *Boost*, que possui a função de controlar a tensão de saída do RHT-HVDC-MEA.

Figura 60 – Ganho de tensão do LLC SR e relação de ganho mediante degrau de carga de 1200W para 600W.



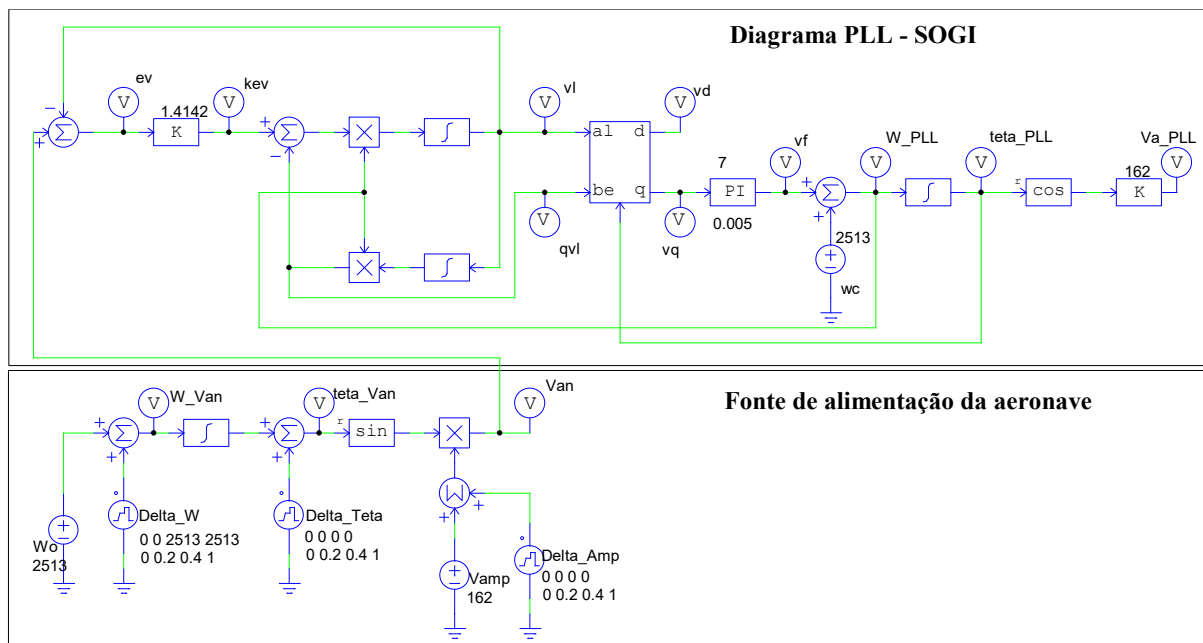
Fonte: Captura de tela do *PSim*.

5.2.6 Ensaios no *Phase Locked Loop* – SOGI-PLL

A estrutura de potência e controle foram simuladas com uma fonte senoidal estática e ideal representando o PLL utilizado, apenas para fins de fluidez na simulação.

A Figura 61 mostra o diagrama de controle do SOGI-PLL utilizado neste trabalho, onde foi possível determinar as variações na frequência de alimentação que foram implementadas na prática. Estes ensaios foram baseados no tempo de resposta de 200ms da fonte CA controlada disponível em laboratório. Cabe destacar que a taxa de variação de frequência da fonte adotada foi de 2kHz/s, muito superiores aos parâmetros adotados na norma DO-160F.

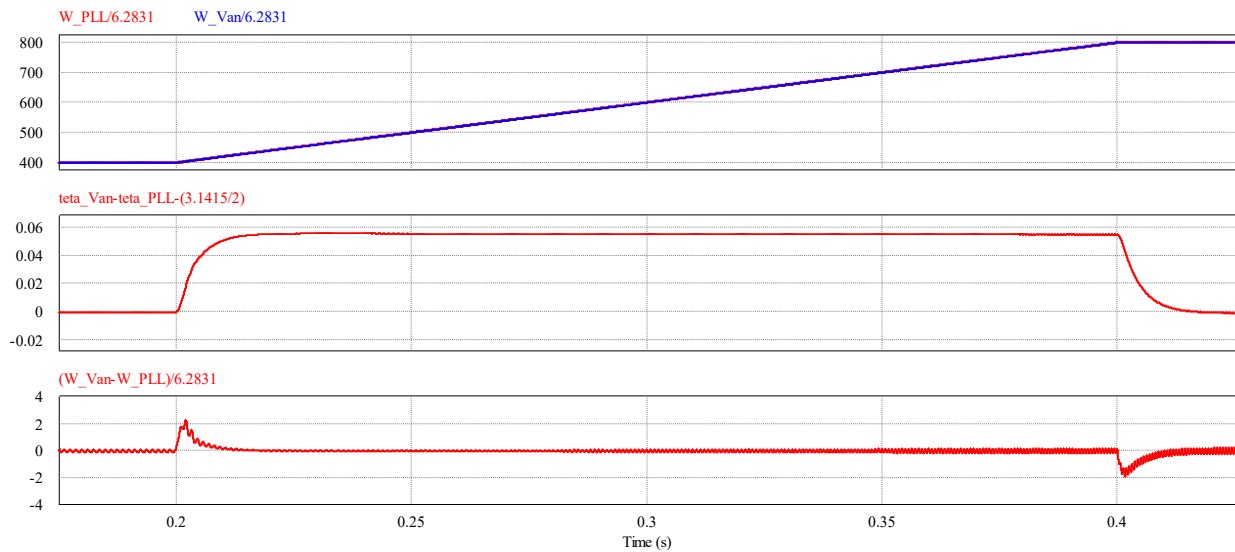
Figura 61 – Diagrama de controle do SOGI-PLL monofásico.



Fonte: Captura de tela do *PSim*.

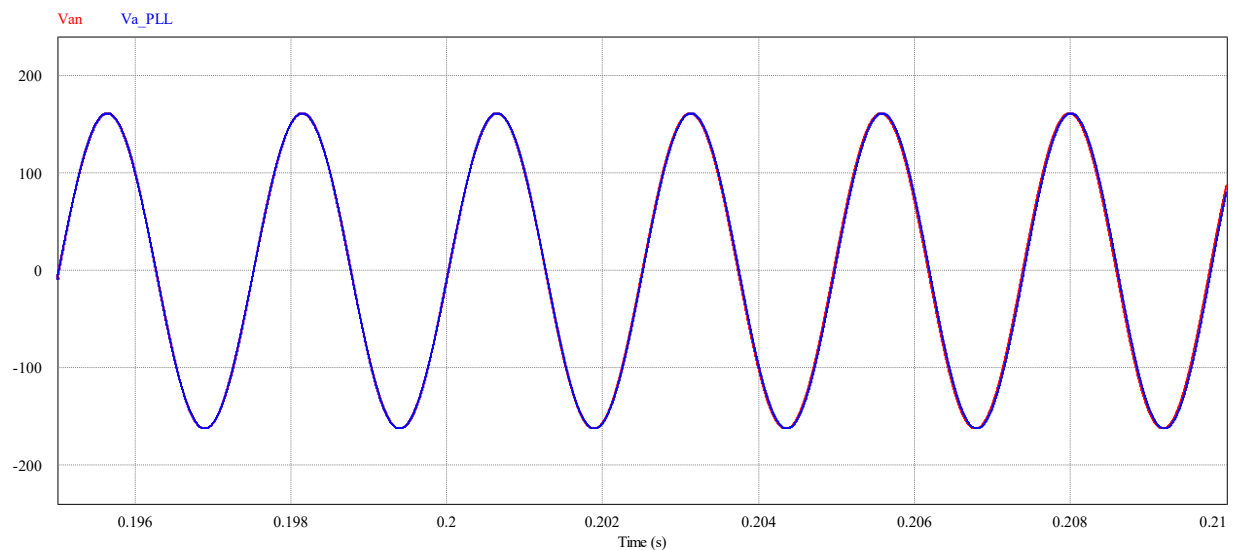
A Figura 62 ilustra a rampa de frequência de 400Hz para 800Hz, o erro máximo de frequência é cerca de 2Hz e a defasagem entre a entrada (V_{an}) e a saída (V_{a_PLL}) é menor que 0,06 radianos ou 3,44 graus. A Figura 63 ilustra esta defasagem, que foi considerada para extrair os resultados práticos e definir um limiar mais conservador na estratégia de RPA, com uma redução entre 55 e 60 graus para cada semiciclo do pulso ativo.

Figura 62 – Ensaio de frequência baseado nos parâmetros da fonte *Supplier*.



Fonte: Captura de tela do *PSim*.

Figura 63 – Defasagem entre os sinais de entrada e saída do PLL para perturbação em 0,2s.



Fonte: Captura de tela do *PSim*.

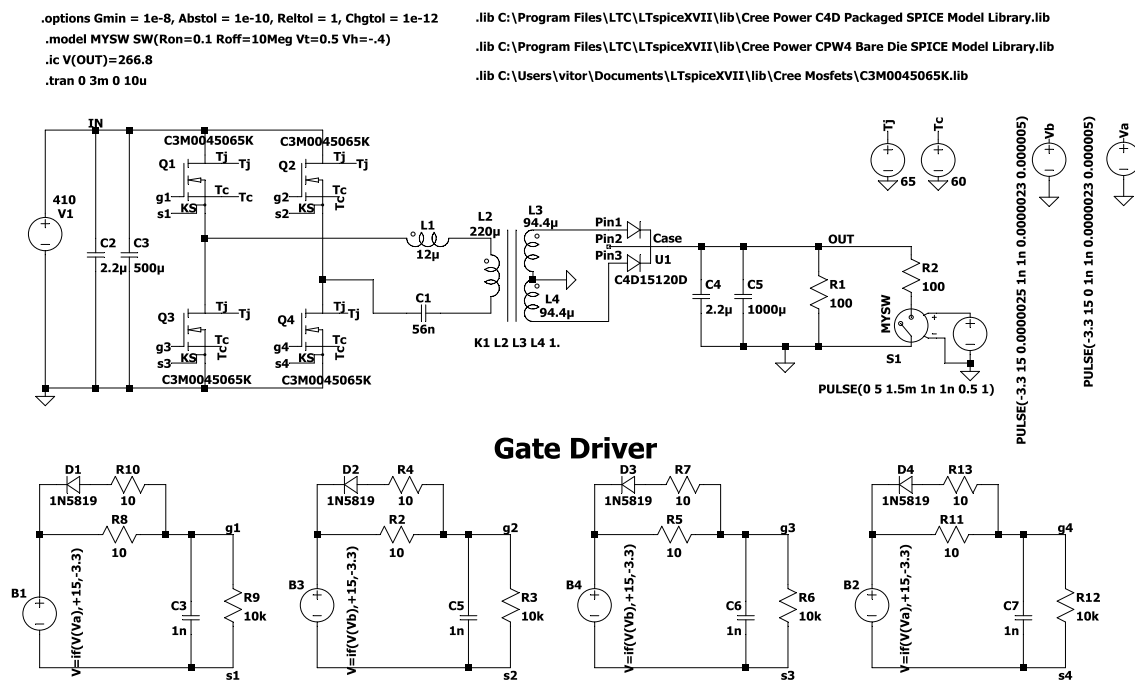
5.3 Resultados do *LTSpice* para o LLC SR

O software *LTSpice* foi utilizado em algumas análises mais precisas acerca do acionamento dos dispositivos SiC empregados neste trabalho, pois com ele foi possível incluir o modelo com os componentes não ideais, como a capacitância (C_{oss}) de saída das chaves utilizadas no LLC SR, as temperaturas de junção e

encapsulamento e a influência da resistência de *gate driver* implementada em âmbito prático. A Figura 64 mostra o diagrama implementado no *LTSpice*.

É possível perceber pela Figura 65, que para um degrau de 750W a 1500W (com o conversor operando na ressonância), a tensão em sua saída apresenta uma queda de menos de 1V, principalmente devido às resistências internas em cada elemento do conversor. Além disso, a tensão na saída apresenta um decaimento suave, em virtude do valor do capacitor empregado na saída.

Figura 64 – Esquema do LLC Série Ressonante simulado no *LTSpice*.

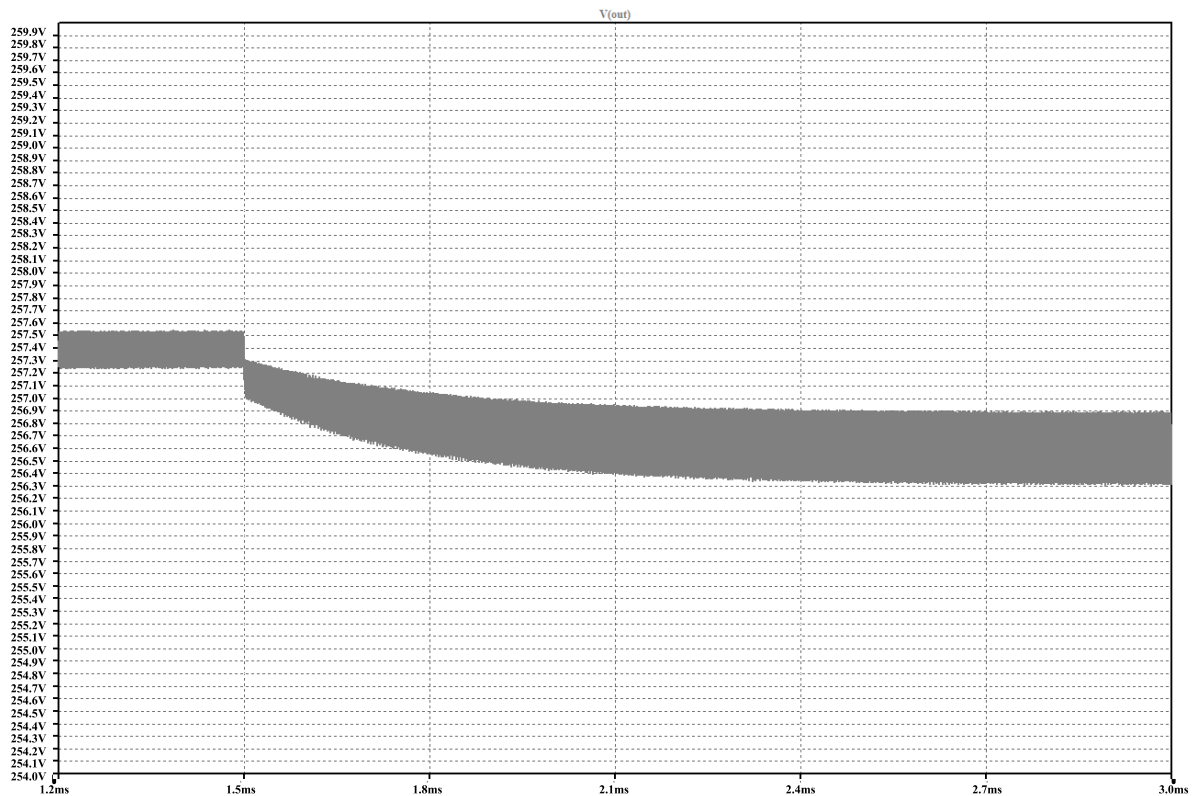


Fonte: Captura de tela do *LTSpice*.

A Figura 66 mostra a perfeita condição de comutação suave (ZVS) juntamente com a corrente de magnetização, que em baixas condições de carga apresenta este pico devido à descarga na capacitância intrínseca do MOSFET. Já o afundamento momentâneo observado na transição para a subida de pulso, é causado pela di/dt que ocorre no chaveamento e é acoplada por meio da capacitância C_{gd} .

Um fenômeno que não foi observado na simulação, foi a ocorrência de picos de tensão quando o sinal de gatilho é nulo, podendo causar a destruição da chave se o limiar de ativação é atingido. Para solucionar este problema [85], um *gate driver* com a opção de *miller clamp* (grampeamento ativo) foi utilizado para melhorar a imunidade a estes ruídos.

Figura 65 – Degrau de carga na ressonância de 750W para 1500W.

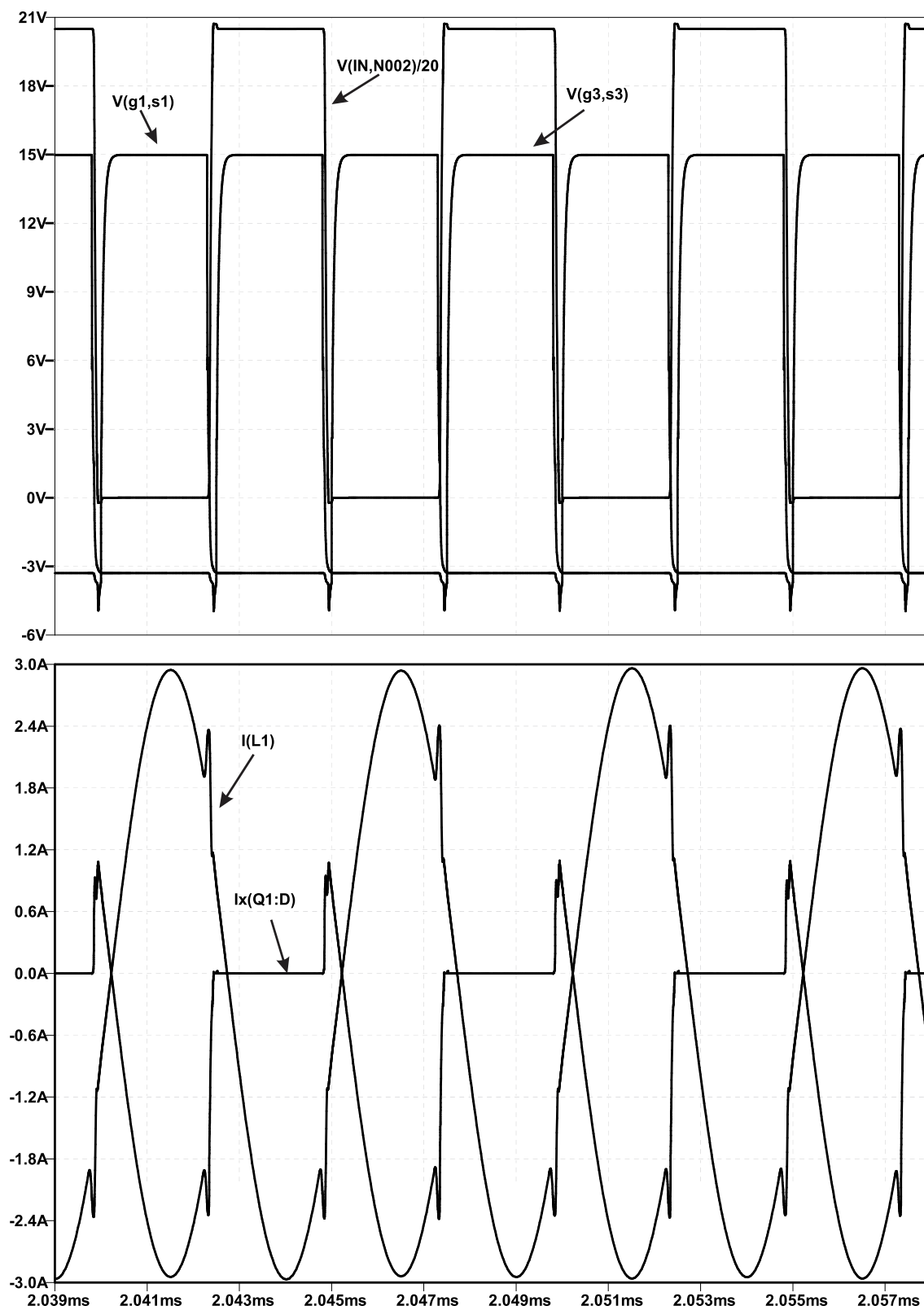


Fonte: Captura de tela do LTSpice.

Já as correntes nos diodos de saída, ilustradas na Figura 67, não apresentam a condição perfeita de ZCS em baixa carga, mas a tecnologia SiC não apresenta perdas por comutação para os diodos, mesmo com as oscilações visíveis na corrente da figura.

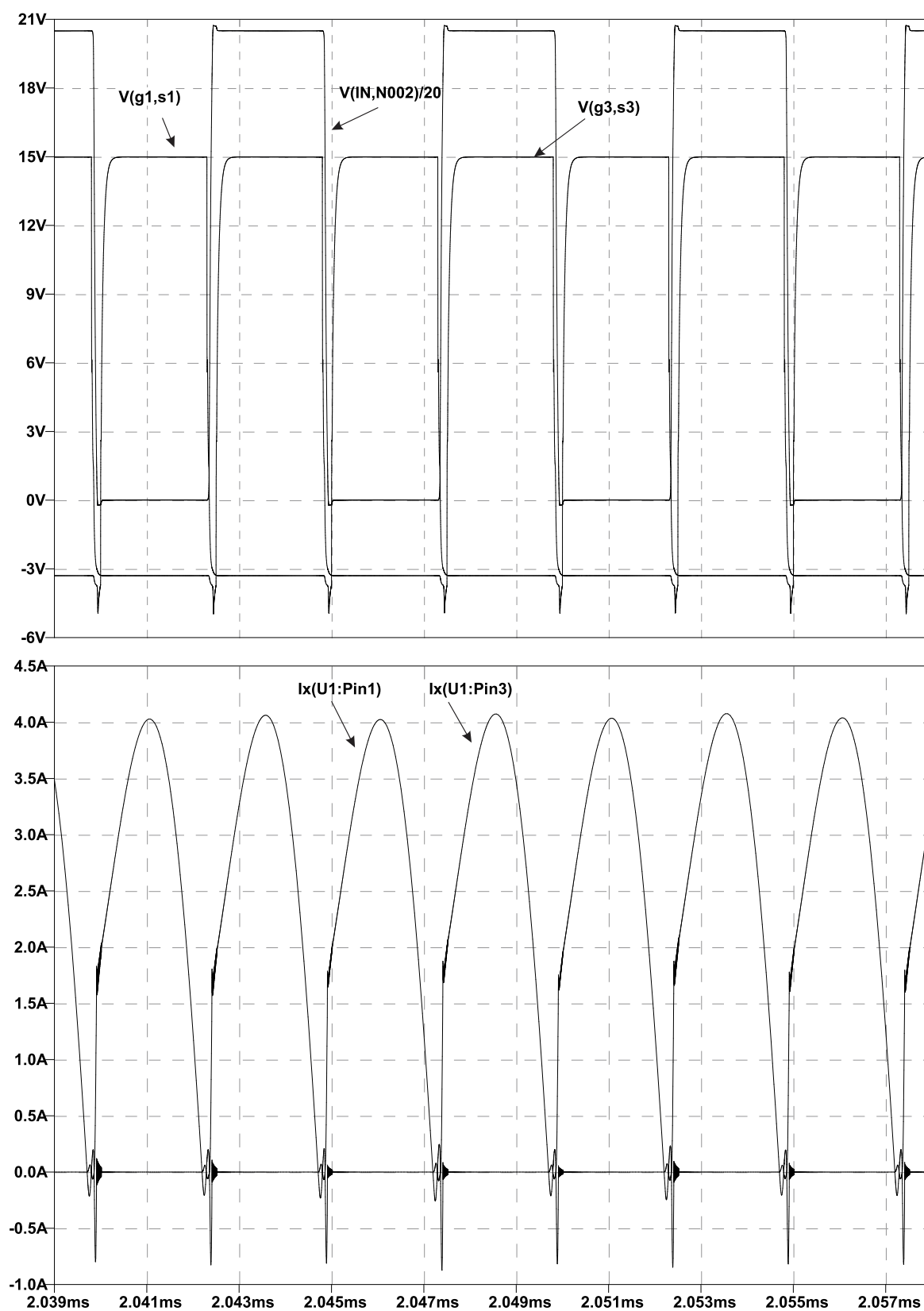
Por fim, caso o LLC SR processasse uma potência de 1,5 kW, ou seja, pela relação de tensões na saída descritas pelas eqs. (11) a (13), com o RHT-HVDC-MEA projetado para aproximadamente 3 kW, a condição de ZCS nos diodos de saída e o aspecto da corrente de magnetização estariam otimizados, conforme ilustra a Figura 68.

Figura 66 – Comportamento dos pulsos de gatilho e correntes de magnetização $I(L_m)$ e da chave do full-bridge.



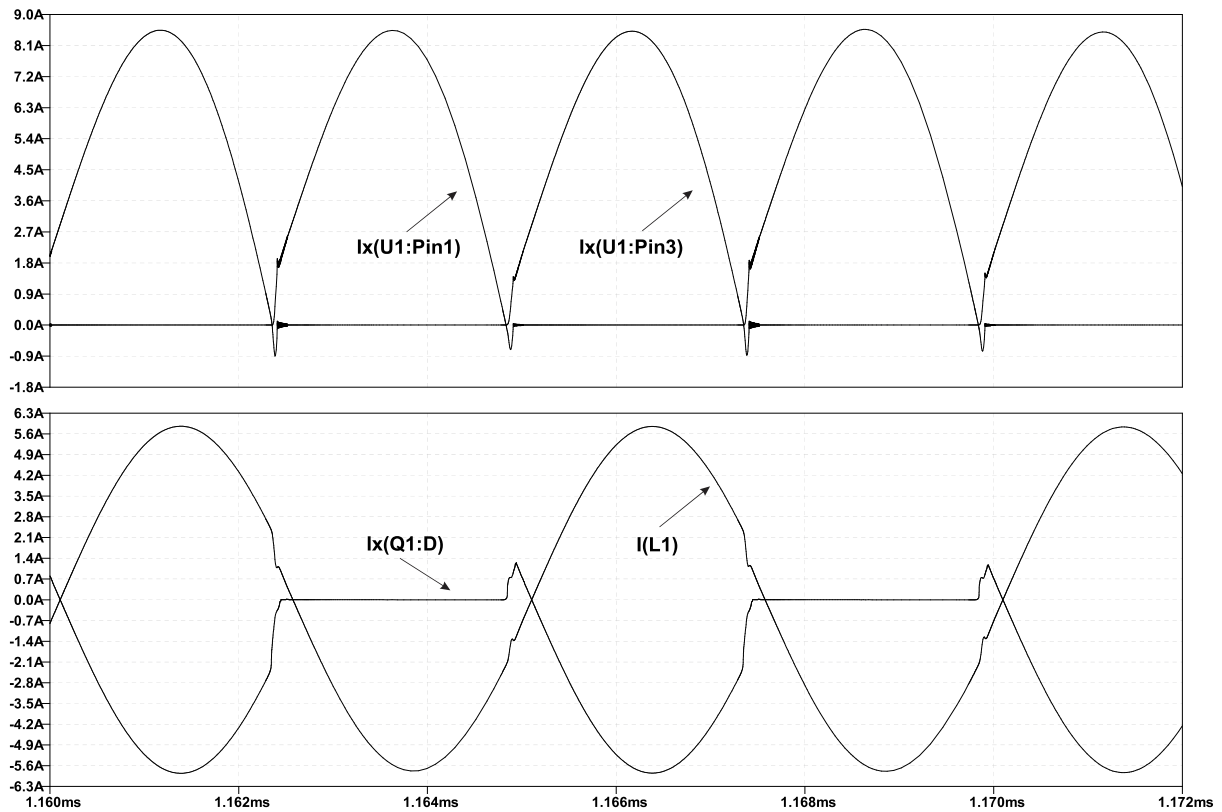
Fonte: Captura de tela do LTSpice.

Figura 67 – Correntes nos diodos do LLC SR.



Fonte: Captura de tela do LTSpice.

Figura 68 – Correntes nos diodos e no primário para o LLC SR com potência de 1500W.



Fonte: Captura de tela do LTSpice.

5.4 Considerações Finais

Ao longo deste capítulo, as simulações nos *softwares* *Psim* e *LTSpice* validaram o funcionamento do conversor proposto neste trabalho.

Para o *PSIM*, os resultados envolveram, tanto análises em regime permanente, quanto transitórias, a fim de validar a estratégia de controle, o algoritmo de RPA e as normas internacionais de DHTi.

Já o *LTSpice*, tratou das análises de alta largura de banda que envolvem a operação do LLC SR, retratando principalmente, as imperfeições na corrente de magnetização que ocorrem em baixa carga e os possíveis problemas de ruídos no acionamento de dispositivos SiC.

CAPÍTULO VI

Resultados Experimentais

6.1 Considerações Iniciais

Com o intuito de consolidar os embasamentos teóricos apresentados nesta tese, este capítulo apresenta os resultados práticos acerca do protótipo de laboratório do RHT-HVDC-MEA projetado para 1,2 kW de potência. Para tanto, os ensaios foram realizados na fonte programável trifásica da *Supplier®* (modelo FCATHQ 00276), a qual abrange frequências de alimentação de até 1 kHz e possuía limitação prática de 1,5 kW em 800Hz.

Além disso, serão abordados os aspectos construtivos do protótipo, os quais contribuíram para o correto funcionamento do conversor, uma vez que a tecnologia de semicondutores SiC requerem um projeto otimizado em relação aos ruídos EMI no desenvolvimento do conversor.

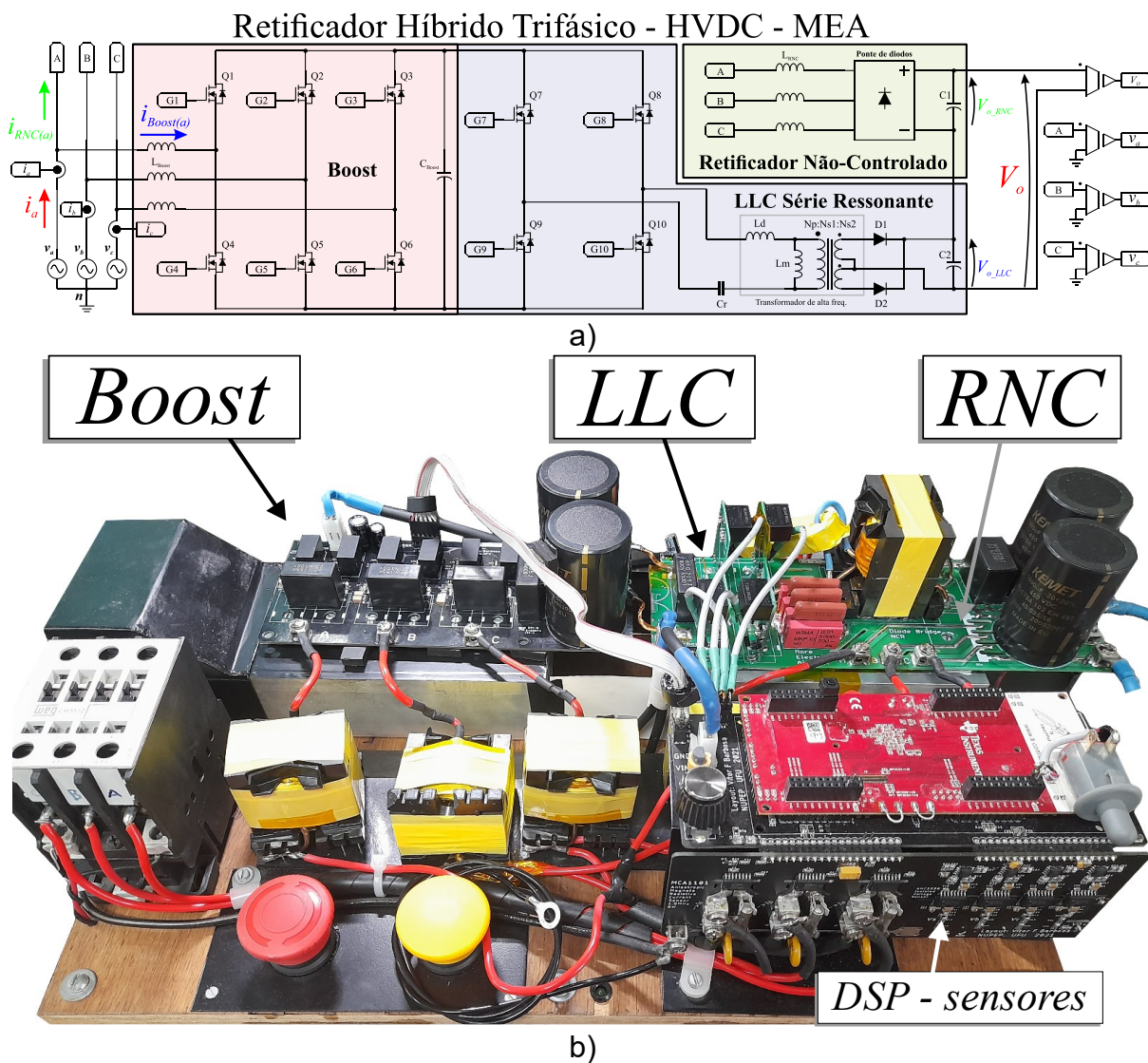
6.2 Aspectos Construtivos do Protótipo Desenvolvido

A partir do diagrama esquemático básico da estrutura de potência do RHT-HVDC-MEA, novamente ilustrado na Figura 69 a), foi construído o protótipo com potência nominal de 1,2 kW do conversor no laboratório do NUPEP conforme mostra a Figura 69 b) e segundo as especificações e valores dos componentes das Tabelas 9 e 10.

A potência reduzida do protótipo foi definida por uma condição de limitação de potência da fonte programável trifásica, sendo que ela possui subdimensionamento quando a frequência de alimentação se eleva além dos 60Hz. Além desta limitação, foi realizado um procedimento para reduzir o limiar de atuação da proteção interna de sobrecorrente desta fonte, a fim de evitar desligamentos e possíveis danos a estrutura de potência em sua fase inicial de testes.

A Tabela 11 descreve os principais parâmetros da fonte utilizada neste trabalho, enquanto a Tabela 12 descreve as principais características do *LaunchPad* embarcado com o DSP TMS320F28379D.

Figura 69 – a) Esquema da estrutura de potência e b) montagem do protótipo de laboratório.



Fonte: Dados de autoria própria.

Tabela 9 – Especificação geral de operação dos conversores que compõem o RHT-HVDC-MEA

Especificação	Valor
Alimentação CA	115 V _{fase} / 400Hz - 800Hz
Barramento CC de saída	540V
Potência nominal	1200W
Eficiência	97% / 400Hz
DHTi	3,9% / 400Hz

Tabela 10 – Especificações básicas dos conversores que compõem o RHT-HVDC-MEA

Retificador Não-Controlado	Especificação	LLC Série Ressonante	Especificação
Processamento de potência	48,7% (400Hz)	Processamento de potência	51,3% (400Hz)
Ponte de diodos SI	DMA40U1800GU (40A/1800V)	Frequência de chaveamento	200kHz
Indutor L_{RNC}	500uH	MOSFETs SiC Q7-Q10	C3M0045065K (45mΩ/650V)
Capacitor C1	1mF (450V)	Capacitor ressonante Cr	56nF
		Indutância de dispersão Ld	12uH
		Indutância de magnetização Lm	220uH
		Relação de transformação (Np:Ns1:Ns2)	29:19:19
		Núcleo e material do transformador	PQ50-50 / N87
		Fio Litz (AWG38 em paralelo)	Np:(84) / Ns1,2:(70)
		Diodos SiC D1 e D2	C4D15120D (15A/1200V)
		Capacitor C2	1mF (450V)

Boost Trifásico	Especificação
Processamento de potência	51,3% / 400Hz
Máx. frequência. de chaveamento	200kHz
MOSFETs SiC Q1-Q6	C3M0120065K (120mΩ/650V)
Indutor L_{Boost}	1mH
Capacitor C_{Boost}	500uF (900V)

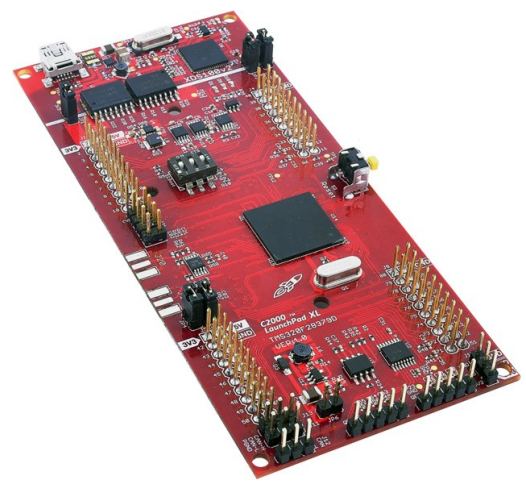
Tabela 11 – Fonte CA Supplier modelo FCATHQ 00276.

	Alimentação 220V +/- 10% (entrada 3 fases, 1 neutro e 1 terra).
	Frequência de alimentação de 50/60Hz
	Tensão de saída até 220V de linha e 127V fase
	Frequência de saída entre 15 e 1000Hz
	Potência de até 4,5 kVA
	Geração de até 51 harmônicas
	Largura de banda de 3kHz
	Rampas de até 200ms de transição em frequência

Fonte: Fabricante Supplier®.

A placa de sensoriamento de sinais é completamente isolada da estrutura de potência, isto traz benefícios como o aumento de segurança nos sistemas de bordo da aeronave [86]. A etapa de entrada da alimentação é protegida por um circuito compostos por MOVs (do inglês, *Metal Oxide Varistor*), os quais possuem a função de grampear a tensão de linha quando os fusíveis atuam. A Figura 70 mostra a visão dos sensores de tensão e corrente isolados, além do circuito de alimentação CA com a proteção dos MOVs.

Tabela 12 – *LaunchPad* com o DSP TMS320F28379D embarcado.

	IEEE 754 <i>Single-Precision Floating Point Unit</i> (FPU).
	2 CPU de 32 <i>bits</i> com <i>clock</i> de 200MHz
	2 CLA de 32 <i>bits</i> com <i>clock</i> de 200MHz
	Módulo <i>Configurable Logic Block</i> (CLB)
	<i>Trigonometric Math Unit</i> (TMU)
	4 Módulos ADC de 16 e 12 <i>bits</i>
	2 Módulos DAC de 12 <i>bits</i>
	12 Módulos ePWM com 24 saídas
	Módulos GPIOs com até 169 saídas/entradas
	1024 kB de memória FLASH
	204 kB de memória RAM

Fonte: *LaunchPad* TMS320F28379D Texas Instruments.

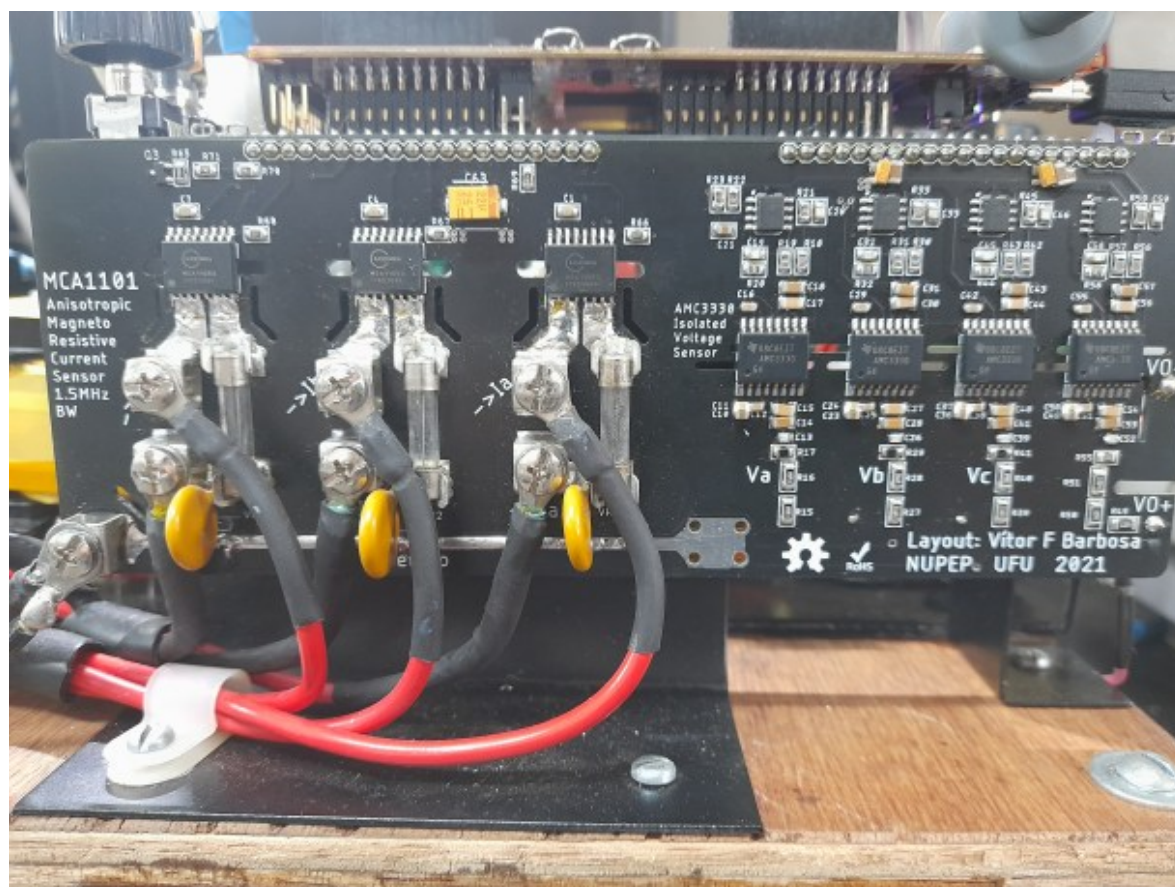
Juntamente a isto, o sensor de corrente (MCA1101) com princípio de funcionamento pelo fenômeno magneto-resistivo [87], possuem alta largura de banda e possibilitaram o correto funcionamento do controlador de corrente por histerese, além de contarem com uma função de *trip* por sobrecorrente que impediu danos ou queima nos MOSFETs do RHT-HVDC-MEA. Por último, os sensores isolados de tensão (AMC3330) possuem uma fonte isolada interna ao encapsulamento [88], o que facilita o *layout* dos componentes e possibilita uma redução do tamanho final da placa.

Para garantir a elevada eficiência do protótipo, a placa do *Boost* trifásico foi feita pela fabricante PCBWAY em 4 camadas, sendo as espessuras de cobre externas com 2 oz e internas com 1,5 oz. O material isolante conhecido como “*prepreg*”, que se situa entre as camadas internas e externas de cobre, possui 0,2mm de espessura e permitiu a adequação de projeto em relação à isolação de tensão de acordo com a norma IPC-2221 [89]. Além disso, o MOSFET de SiC utilizado (C3M0120065k) possui 4 terminais, que em conjunto com um projeto otimizado do *gate driver*, auxiliam na mitigação das perdas por chaveamento e o correto funcionamento do conversor. A Figura 71 a) ilustra a montagem dos componentes do *Boost*.

Já a Figura 71 b), ilustra parte da placa de controle e dos conversores RNC e LLC SR. Uma das funções da placa de controle, por meio do código de *software*, é detectar três eventos: 1) perda de fase; 2) detecção de falha e, 3) sincronização do

PLL. As últimas duas funções foram implementadas neste trabalho, onde o protótipo só inicia se PLL estiver atracado com a alimentação da fonte e, em caso de falha interna, a detecção de falha atua por meio do sensor de corrente, com função integrada de sobrecorrente. O LLC SR utilizou *gate drivers* em módulos, sem prejuízo de desempenho devido a comutação suave do mesmo.

Figura 70 – Placa de condicionamento e sensoriamento de sinais.



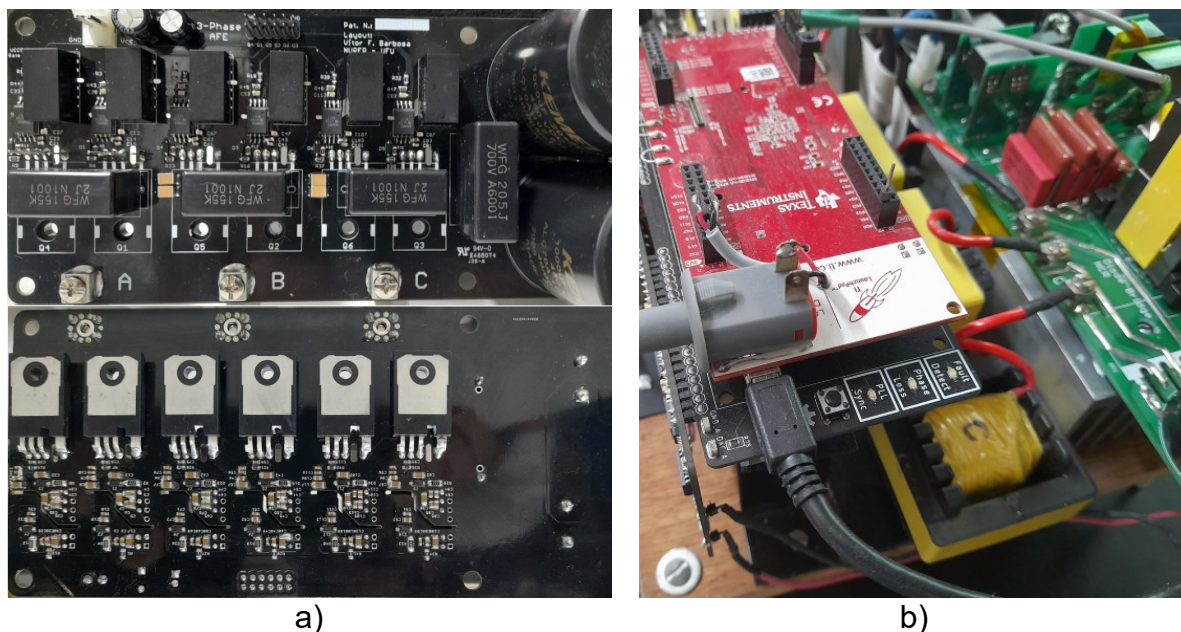
Fonte: Dados de autoria própria.

Muito embora o objetivo deste trabalho não foque na implementação de um circuito dedicado a EMI, algumas medidas foram tomadas para mitigar este problema. Como o RNC e o LLC SR não produzem quantidades significativas de emissão de ruídos, o *Boost* é o conversor mais suscetível ao surgimento destes ruídos, principalmente pelo uso da tecnologia de semicondutores de SiC com elevada largura de banda, ou seja, elevado di/dt e dv/dt nas comutações.

Deste modo, juntamente ao projeto otimizado da placa de potência do *Boost*, seus indutores foram projetados para minimizar as capacitâncias entre camadas [90], utilizando um espaçamento entre elas. Também foi adotada uma fita de cobre

envolvendo o núcleo e os enrolamentos para conter parte do fluxo magnético disperso. A Figura 72, ilustra o método de construção do indutor do *Boost* de 1mH, com 3 camadas de enrolamentos, sendo 2 camadas internas com espaçadores.

Figura 71 – a) Placa do *Boost* trifásico com visão superior e inferior e, b) visão parcial superior do DSP, RNC e LLC SR.



Fonte: Dados de autoria própria.

Em princípio, uma das desvantagens em se utilizar o controle de corrente por histerese com frequência variável, está na dificuldade em otimizar as perdas magnéticas. Neste sentido, a escolha de um núcleo magnético em ferrite e formato do tipo PQ, contribuíram significativamente para reduzir estas perdas e facilitaram a construção manual dos indutores do *Boost* [91].

Figura 72 – Método de construção do indutor do *Boost* - LBoost.



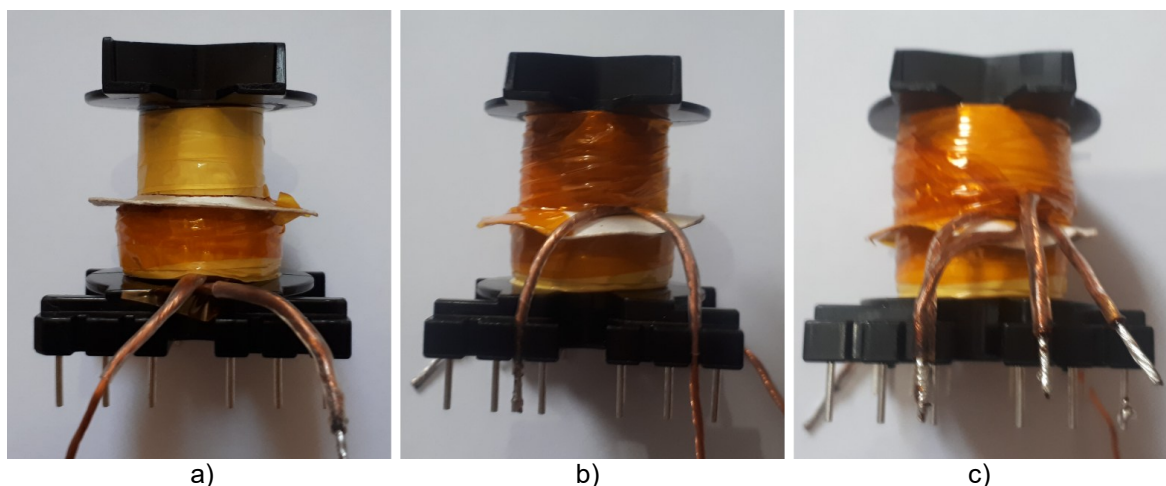
Fonte: Dados de autoria própria.

Como o intuito do transformador isolado do LLC SR foi conter a maior parte da indutância de dispersão em seu núcleo, foi preciso estabelecer um método de enrolamento onde o primário (29 espiras) é alocado na primeira parte inferior da coluna central e, as camadas do secundário (19 espiras), foram alocadas na segunda parte superior da coluna central.

Este método aumenta a indutância de dispersão entre primário-secundário, mas a escolha do transformador com tape central conferiu uma relação de dispersão assimétrica, como será observado nos resultados subsequentes da corrente de ressonância. Cabe salientar, que este protótipo não utilizou a indutância de dispersão externa em um indutor separado, mas apenas a do transformador e dos elementos parasitas da placa de potência do LLC SR.

A Figura 73, ilustra o método de construção do transformador do LLC SR, com a utilização de fio *Litz* enrolado manualmente com AWG38 para mitigar o efeito *skin* na frequência de chaveamento em 200kHz.

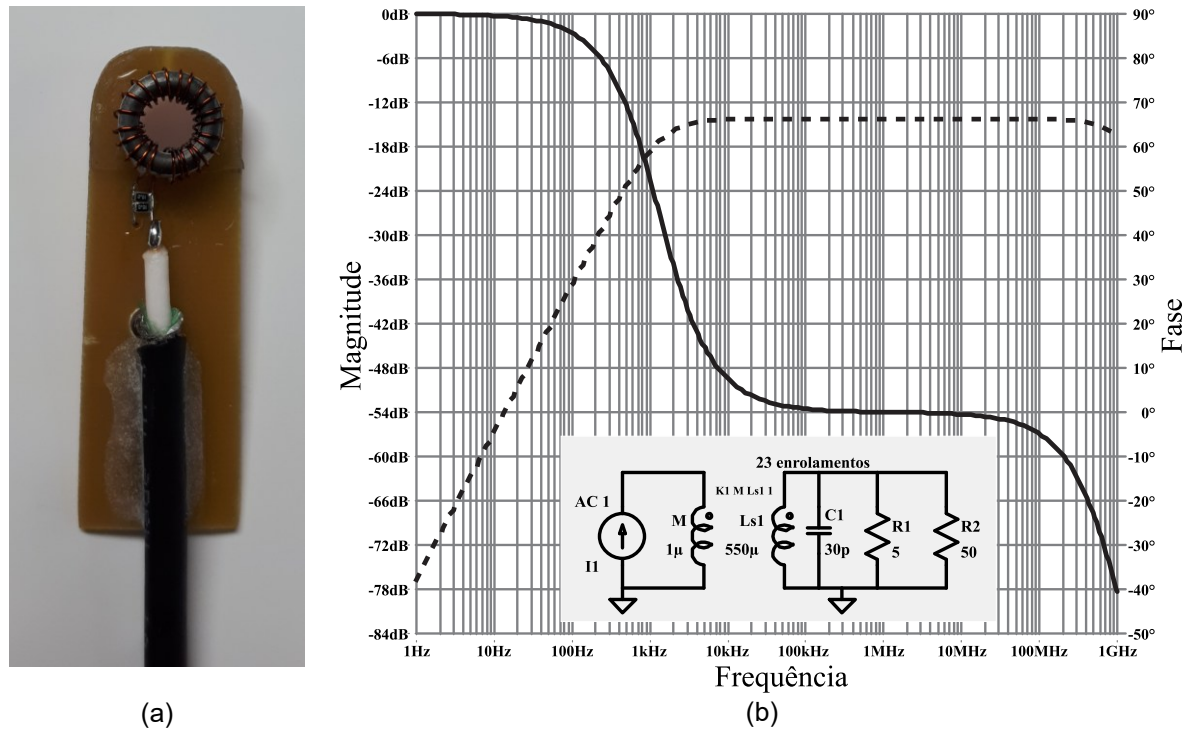
Figura 73 – Método de construção do transformador do LLC SR. a) Enrolamento do primário (N_p), b) enrolamento do secundário (N_{s1}) e c) enrolamento do secundário (N_{s2}).



Fonte: Dados de autoria própria.

Para ser possível avaliar o comportamento da corrente de ressonância, foi necessária a construção de um transformador de corrente capaz de medir esta corrente em questão. A Figura 74 mostra a ponteira blindada desenvolvida com atenuação de aproximadamente 5x.

Figura 74 – (a) Transformador de corrente para medição da corrente ressonante. (b) Resposta em frequência e circuito simulado.



Fonte: Dados de autoria própria.

A terminação do osciloscópio em 50Ω , juntamente com um cabo coaxial com a mesma impedância característica, garantem uma boa resposta em frequência para este transformador de corrente. Foi inserida uma resistência de 5Ω em seus terminais de saída. A sensibilidade desta ponteira é descrita pela eq. (24).

$$S = \frac{R}{N} = \frac{5\Omega \parallel 50\Omega}{23} \cong 200mV/A \quad (24)$$

Onde:

R = resistência equivalente total da ponteira e do osciloscópio;

N = número de espiras;

S = sensibilidade do sinal medido.

Outros fatores como o efeito *skin* podem influenciar no valor final da sensibilidade, de tal maneira que para esta aplicação, o fator de forma do sinal medido é mais relevante que a precisão da atenuação convertida pelo osciloscópio para efeito de compreensão da ressonância no conversor.

Essa ponteira insere no circuito uma indutância de aproximadamente $1\mu H$ e, esta deve ser considerada no cálculo da frequência de ressonância e operação do

conversor LLC SR. A capacitância é estimada e representa a blindagem da ponteira, a qual é feita por duas placas PCB com um furo e um corte na parte superior, a fim de interromper qualquer forma de indução de tensão por meio de um *loop* de corrente induzida.

A largura de banda inferior (f_{inf}) é definida pela eq. (25): onde L_m foi medida em 550uH.

$$f_{inf} = \frac{R}{2\pi L_m} = 1,31 \text{ kHz} \quad (25)$$

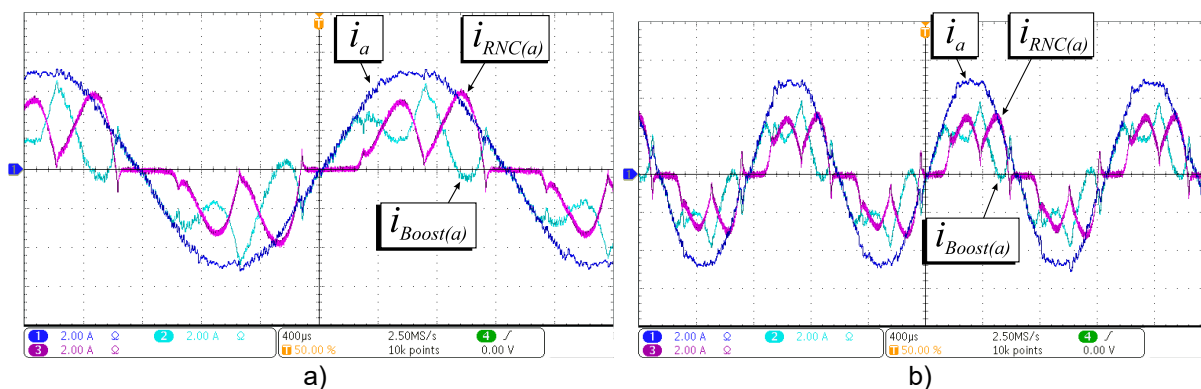
6.3 Ensaios qualitativos do RHT-HVDC-MEA

Para consolidar a estratégia de controle, no que se diz respeito a imposição de correntes senoidais com baixa DHTi, a Figura 75 a) e b) ilustra a composição das correntes do RHT-HVDC-MEA para 400Hz e 800Hz, respectivamente. Nesta figura, é possível observar a característica lenta de recuperação reversa da ponte de diodos (DMA40U1800GU) para a aplicação do MEA. Diante disto, a elevada largura de banda do controlador de histerese se mostrou efetiva para compensar esta corrente (não prevista na etapa de simulação computacional).

Para a operação em 400Hz, é notória a função de bidirecionalidade do *Boost* para compensar a corrente de entrada quando a corrente do RNC é maior que a de entrada, isto é, a corrente do *Boost* assume valores negativos. É importante destacar que, na etapa de projeto dos indutores do RHT-HVDC-MEA no Capítulo III, a indutância do RNC foi definida para operar com elevada ondulação, reduzindo assim, a imposição de corrente do *Boost* nos períodos de bidirecionalidade.

A partir da inviabilidade de se medir as correntes das chaves do *Boost* para este protótipo, o funcionamento do algoritmo de RPA foi verificado pela tensão de bloqueio das chaves de cada braço do *Boost*, conforme ilustrado pela Figura 76 a). Assim, quando a corrente atinge seus valores máximos no intervalo de condução de 60° por semi-ciclo, a corrente da fase A por exemplo, é controlada indiretamente pelas outras fases B e C, como esperado. Também é possível notar que o ângulo de deslocamento entre a corrente e a tensão CA são imperceptíveis nesta escala de tempo, o que corrobora com a precisão que o algoritmo da RPA requer.

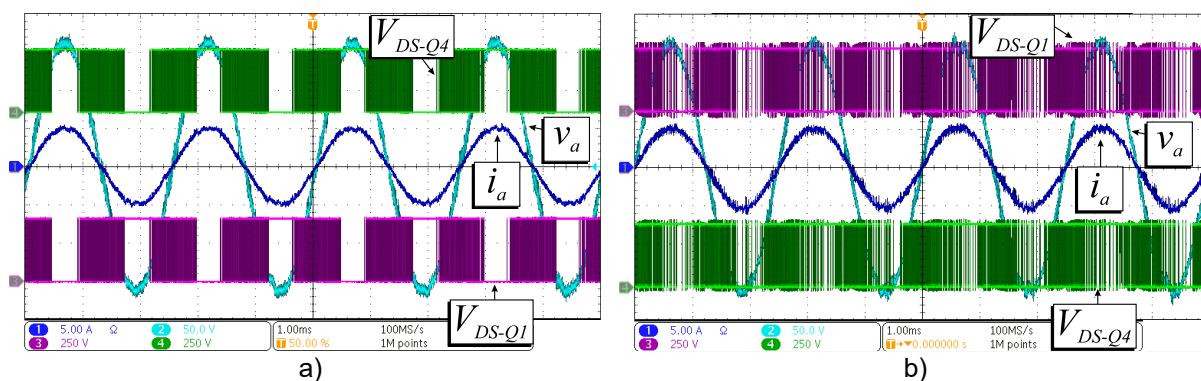
Figura 75 – Composição de correntes da entrada para a) 400Hz e b) 800Hz.



Fonte: Dados de autoria própria.

Já a Figura 76 b) mostra o resultado com o controlador de histerese clássico, sem a RPA, onde nota-se que a DHTi é ligeiramente menor e há chaveamento por todo o ciclo.

Figura 76 – Comparação da utilização do algoritmo RPA: a) com RPA e b) sem RPA.



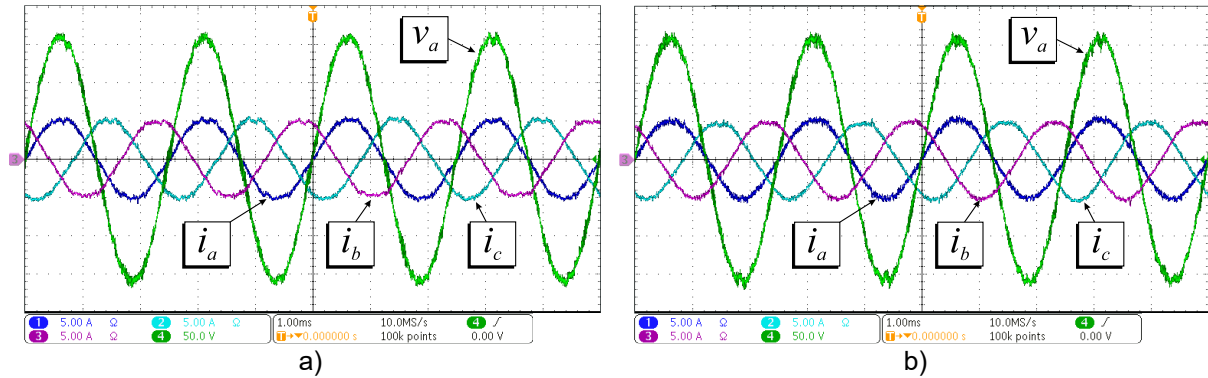
Fonte: Dados de autoria própria.

As Figuras 77 e 78 mostram o comparativo das correntes de linha para 400Hz e 800Hz com e sem o algoritmo de RPA. Para a operação em 800Hz, é possível perceber alguns picos na corrente pela característica da recuperação reversa da ponte de diodos trifásica. Na possibilidade da DHTi não cumprir os limites da norma de aviação, seria necessário aumentar a frequência máxima de chaveamento ou substituir os diodos lentos de Si por rápidos de SiC. Cabe destacar que a fonte CA programável utilizada para alimentar o RHT-HVDC-MEA é chaveada, fato este observado pelas formas de onda da tensão de alimentação ao longo dos resultados.

Previamente aos ensaios com alimentação CA no RHT-HVDC-MEA, foi realizado a configuração das proteções de sobrecorrente do sensor de corrente. A Figura 79 a) ilustra um sinal de *trip* enviado ao DSP para indicar condição de falha,

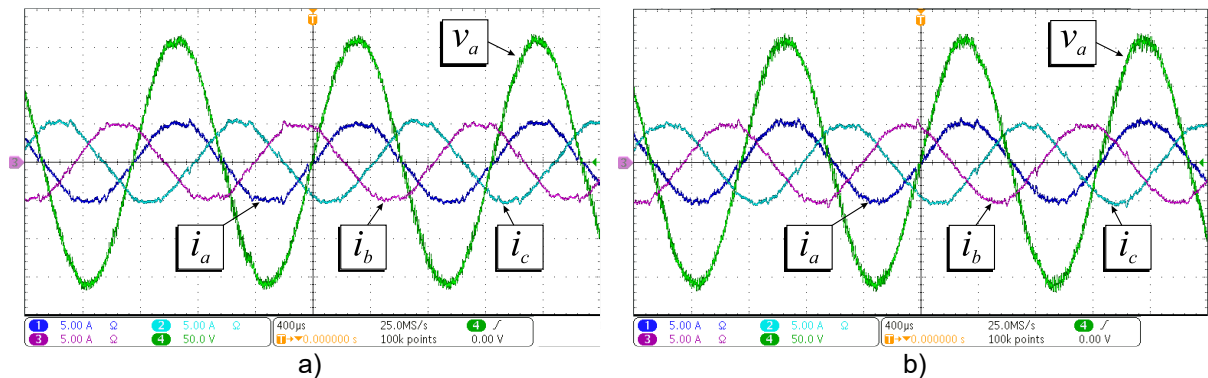
que só ocorre quando a corrente no CI ultrapassa cerca de 2 vezes a corrente nominal, 10A neste caso. De fato, após a confecção da placa do *Boost* e de um controle robusto, esta condição de *trip* não ocorreu na operação do RHT-HVDC-MEA.

Figura 77 – Correntes de linha em 400Hz a) com RPA e b) sem RPA.



Fonte: Dados de autoria própria.

Figura 78 – Correntes de linha em 800Hz a) com RPA e b) sem RPA.



Fonte: Dados de autoria própria.

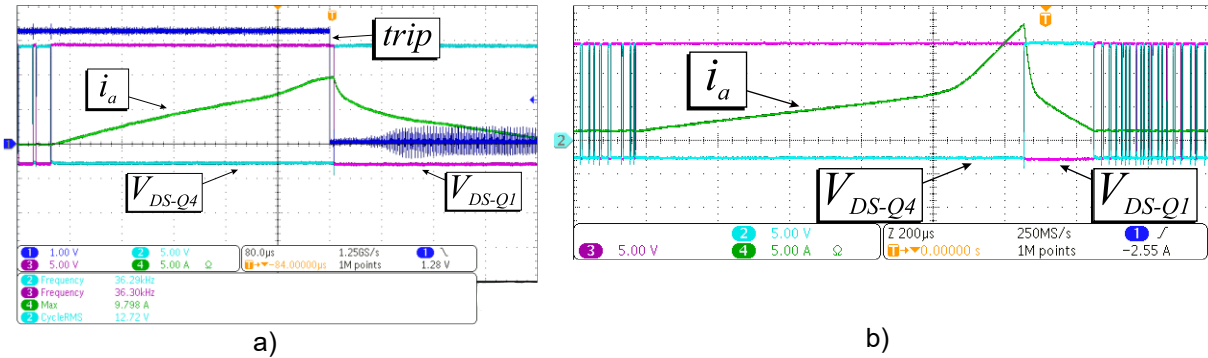
A Figura 79 b) ilustra o processo de verificação da saturação do indutor do *Boost*, onde o mesmo foi projetado para cerca de 7A de pico, de acordo com [67].

Em relação ao processamento de potência, é possível notar que ele se manteve próximo na operação em 400Hz e 800Hz, com 48,7% e 48,1% de participação da ponte de diodos trifásica, respectivamente. A Figura 80 a) e b) mostram os níveis de tensão de saída do LLC SR, RNC e da saída do RHT-HVDC-MEA em regime permanente.

Como mencionado ao longo deste trabalho, a operação em malha aberta do LLC SR traz benefícios à estrutura de potência e controle. O ponto de operação próximo à ressonância é ajustado, juntamente com o tempo morto de acionamento das chaves, para se obter a maior eficiência em um teste preliminar com uma fonte

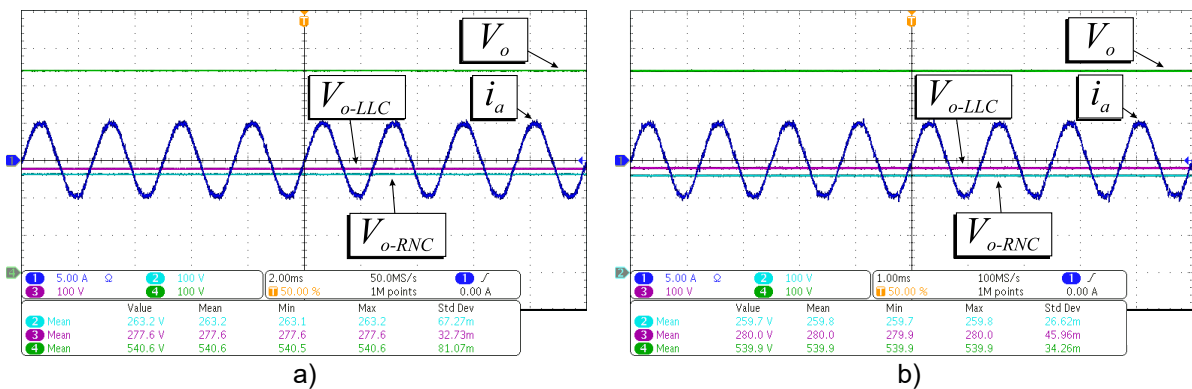
CC. Após esta configuração, a Figura 81 a) mostra a operação do LLC SR alimentado pelo *Boost*, onde é possível notar a operação com comutação suave nas chaves do primário.

Figura 79 – a) Ensaio de falha por sobrecorrente e b) saturação do indutor *LBoost*



Fonte: Dados de autoria própria.

Figura 80 – Tensão em regime permanente do LLC SR e RNC para a) 400Hz e b) 800Hz.



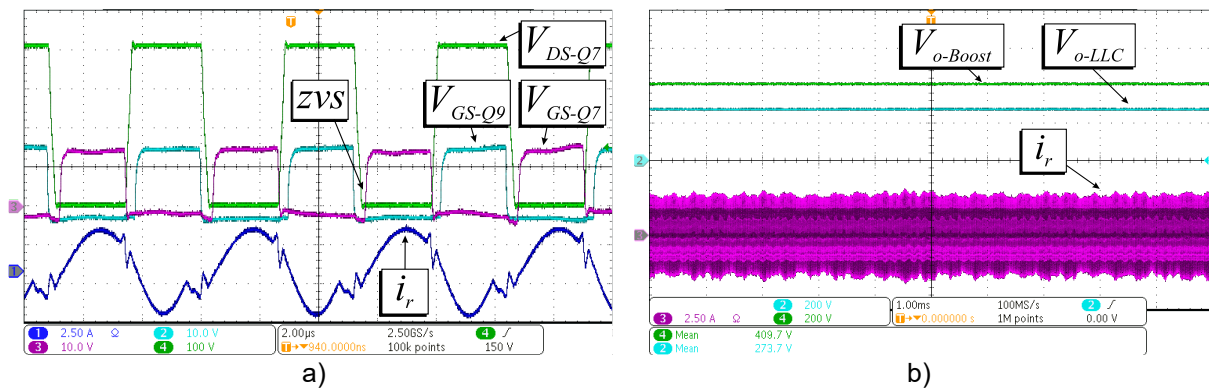
Fonte: Dados de autoria própria.

A corrente de ressonância apresenta características assimétricas, como percebido na Figura 81 a), pela disposição física dos enrolamentos. Um transformador de apenas dois enrolamentos resolveria este problema, mas haveria mais perdas por condução se for usado quatro diodos no secundário.

Pela forma de onda desta corrente, cabe observar que a ponteira de corrente elaborada possuiu largura de banda suficiente para detalhar os tempos de carga e descarga da capacitância interna do MOSFET utilizado, evidenciando que a corrente de magnetização do LLC SR é proporcionalmente elevada em relação à ressonante. Adicionalmente, apesar do protótipo não prever medição nos diodos do secundário do LLC SR, a tecnologia dos diodos SiC garante que as perdas por chaveamento, caso ocorram, são desprezadas.

A relação de ganho do LLC SR é definida pela divisão de suas tensões de saída e entrada em aproximadamente 0,67, conforme mostra a Figura 81 b). A ondulação da corrente de ressonância é pequena, visto que o projeto do capacitor do *Boost* considerou uma ondulação de tensão em sua saída muito reduzida.

Figura 81 – a) Operação do LLC SR na ressonância e b) tensões de entrada e saída com a ondulação de corrente ressonante.



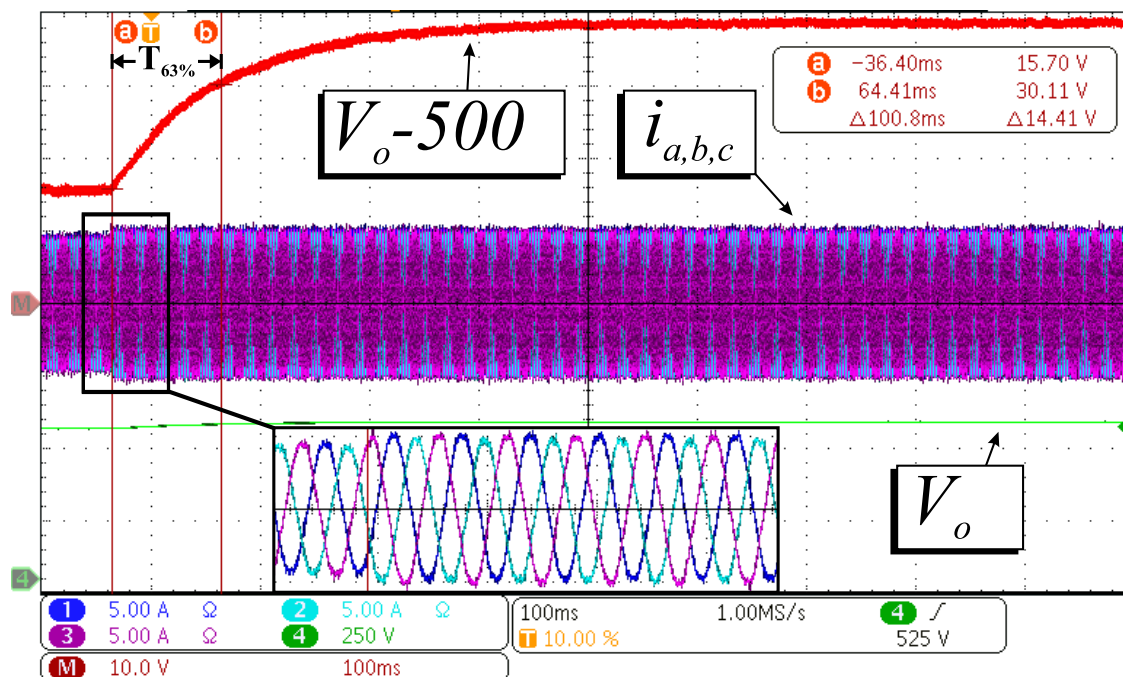
Fonte: Dados de autoria própria.

Para corroborar o ensaio da perturbação na referência da corrente do *Boost*, onde inicialmente seu valor foi de 4,25A com um degrau de 0,5A. A Figura 82 ilustra o evento transitório e o comportamento análogo ao de sistemas de primeira ordem, como já descrito no Capítulo IV.

Apesar do projeto do controlador PI utilizar os parâmetros do ensaio descrito no Capítulo IV, o efeito dos elementos parasitas adicionais do protótipo pode ser verificado no ensaio da Figura 82. Nota-se que para o mesmo degrau de 0,5A de perturbação na corrente do *Boost*, a simulação computacional indicou um período $T_{63\%}$ de cerca de 45 ms, enquanto os testes de bancada esse intervalo foi mais do que o dobro, muito embora a condição inicial foi diferente. Nesse sentido, o projeto do PI já considerou alguns ajustes em bancada e, após isto, foi necessária a inclusão do filtro passa-baixa sintonizado em 12Hz implementado no DSP para um melhor ajuste na resposta transitória.

Os ensaios de variação de carga foram realizados com 100% e 50% da potência nominal para ambas as frequências de alimentação. A tensão de saída para o degrau de 100% para 50% apresentou uma UP abaixo de 3% e um tempo de assentamento de aproximadamente 56ms para 400Hz. O afundamento de tensão para o degrau de 50% para 100% foi desprezível, uma vez que a tensão do RNC apresenta poucas variações, como esperado de conversores passivos.

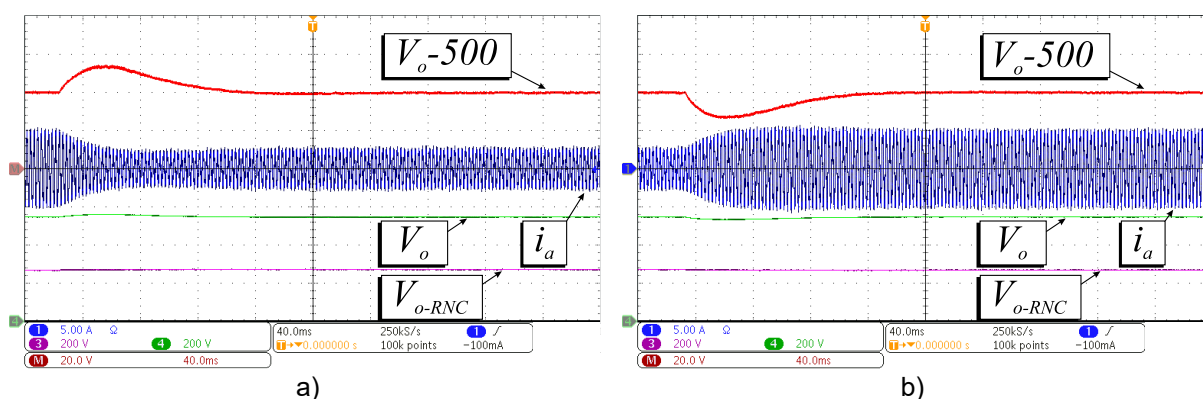
Figura 82 – Degrau de corrente na referência do Boost e resposta da tensão de saída do RHT-HVDC-MEA



Fonte: Dados de autoria própria.

Os ensaios da Figura 83 a) e b) em 800Hz apresentaram características similares à operação em 400Hz, no que diz respeito à UP e tempo de assentamento, demonstrando a flexibilidade do conversor.

Figura 83 Degrau de carga em 400Hz de a) 100% para 50% e b) 50% para 100% da pot. nominal



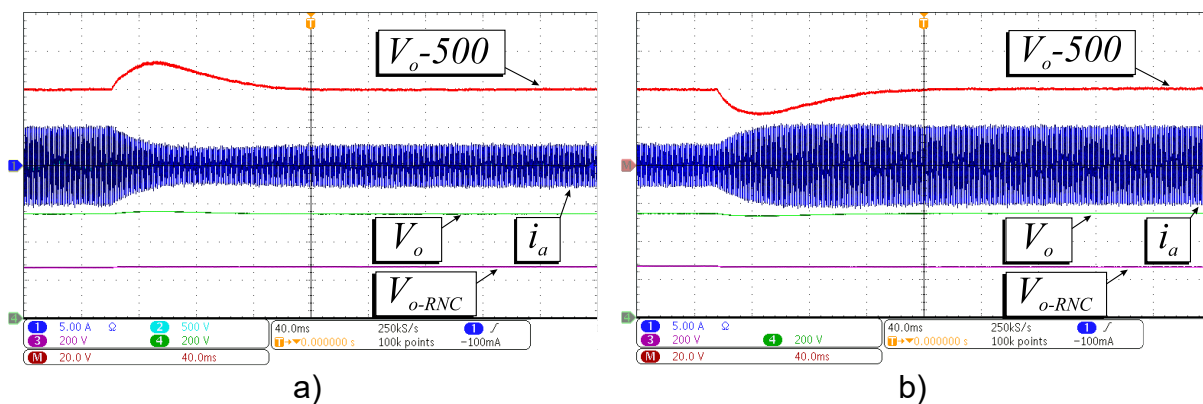
Fonte: Dados de autoria própria.

O canal matemático em vermelho nas Figuras 82, 83 e 84 é utilizado para ampliar a visualização da variação de tensão, pois na escala de 200V/div do osciloscópio, estas variações são pouco perceptíveis para comparação e análise.

A Figura 85 ilustra o comportamento do conversor mediante a rampa ascendente de variação da tensão de alimentação com duração de 200 ms, conforme limitação da fonte. O SOGI-PLL é capaz de atracar na referência de tensão repassada

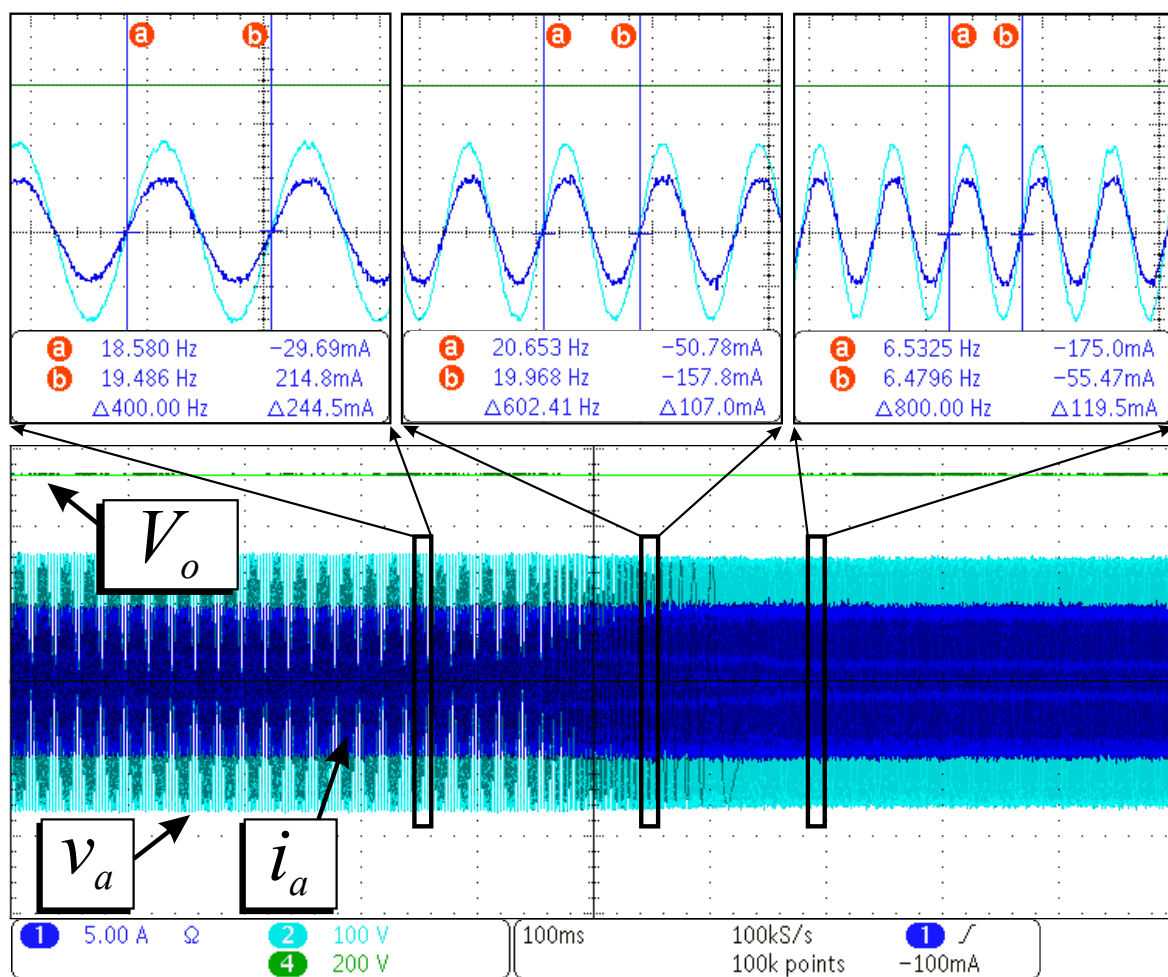
ao algoritmo de controle e ajustar os limiares da RPA de forma satisfatória, sem anomalias ou picos de corrente vistas pela entrada CA.

Figura 84 - Degrau de carga em 800Hz de a) 100% para 50% e b) 50% para 100% da pot. nominal.



Fonte: Dados de autoria própria.

Figura 85 – Ensaio de variação da tensão de alimentação de 400Hz para 800Hz em 200ms



Fonte: Dados de autoria própria.

6.3.1 Resultados de memória e algoritmos do DSP

Com o objetivo de auxiliar na avaliação do desempenho do conversor RHT-HVDC-MEA, o uso do periférico DAC e algumas das variáveis de controle internas ao DSP, foram repassadas a vetores a fim de visualizar seu comportamento e observar melhorias possíveis advindas de ajustes no controle.

Para tanto, o ruído emitido pela estrutura de potência não pode afetar a comunicação entre o DSP e o PC utilizado para *debug* do código elaborado. Cabe destacar que outras maneiras poderiam ter sido adotadas para obter estes vetores de dados, mas neste trabalho elas foram obtidas em tempo real e gerados os gráficos via *Matlab*. Desta forma, com o intuito de averiguar o comportamento do controle, por meio da modificação do arquivo .lnk descrito no Capítulo IV, é possível traçar gráficos das variáveis internas do DSP com um vetor de 10 mil pontos.

Como mencionado anteriormente, o ensaio de variação de frequência de alimentação CA realizado na prática segue o comportamento de rampa ilustrado na Figura 86, onde uma referência (v_a) é gerada internamente no DSP com o valor de frequência e fase conhecidos.

Pela Figura 87, é notado que há uma relação de compromisso para o ajuste do filtro do SOGI-PLL, entre o erro de fase em regime permanente de menos de 0,02 rad (ou 1,14°) e as oscilações de frequência, que são menores que 1Hz para operação em 400Hz. O erro de fase máximo menor que 0,06 rad (3,42°), garante margem suficiente para o correto funcionamento do algoritmo de RPA em todo o regime transitório e permanente de operação do RHT-HVDC-MEA.

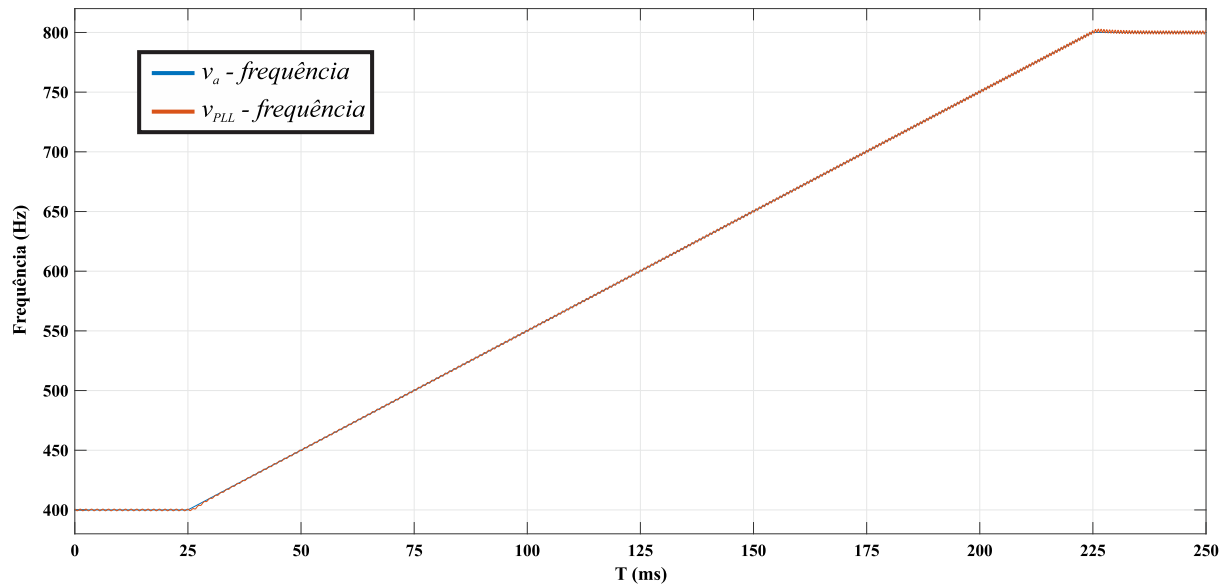
Cabe salientar que este teste foi realizado desconectado da fonte FCATHQ, com referências senoidais geradas internamente ao DSP.

O controle projetado no Capítulo IV previa uma largura de banda para o sistema em malha fechada de 11,5Hz. Todavia, os resultados de corrente mostraram uma assimetria nas correntes de linha do conversor, como ilustrado na Figura 88 a).

Fica evidente que um melhor ajuste do PI, ou a adição de um filtro em sua saída poderia atenuar a componente em baixa frequência (aproximadamente 1,2 kHz) que causa as oscilações na corrente de referência. A segunda componente mais visível

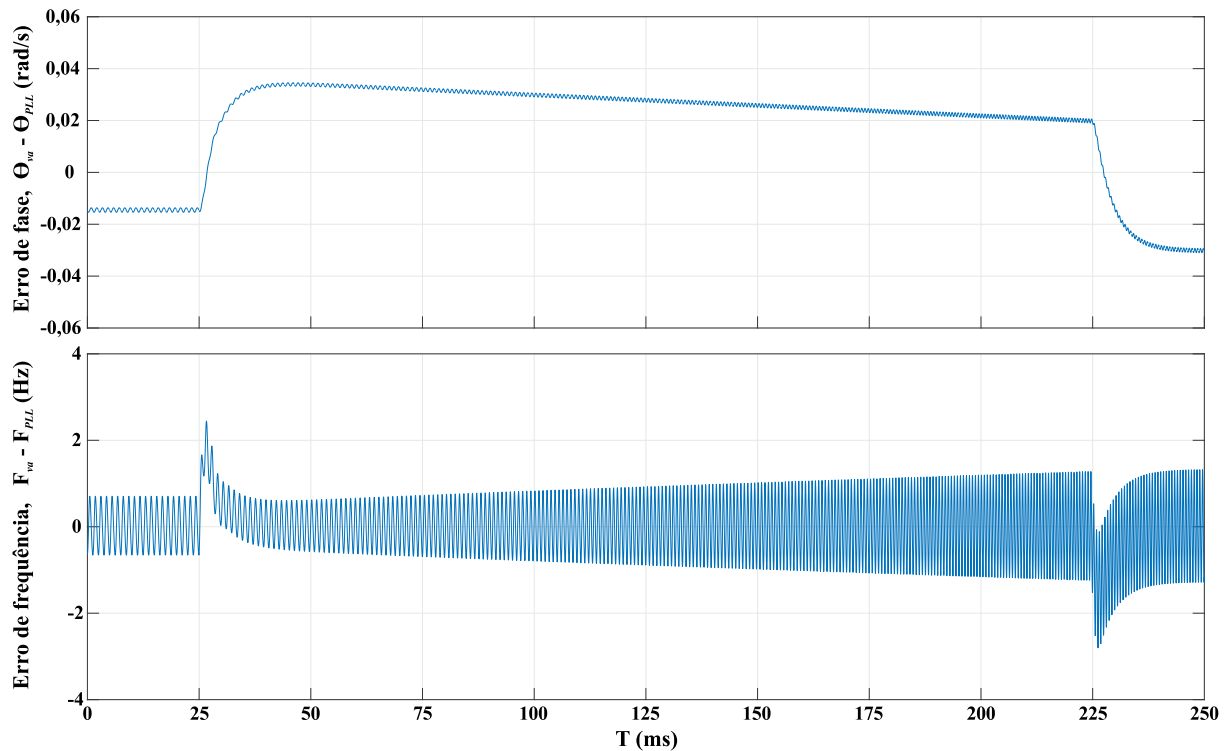
da ondulação do PI está na faixa dos 10 kHz. A Figura 88 b) ilustra o comportamento da saída do PI após a implementação de um filtro de 12 Hz na aquisição da tensão de saída. Este ajuste diminui a largura de banda da malha de tensão do conversor, mas o torna mais robusto e melhora os indicadores de DHTi.

Figura 86 – Ensaio para rampa de frequência de 400Hz para 800Hz em 200ms.



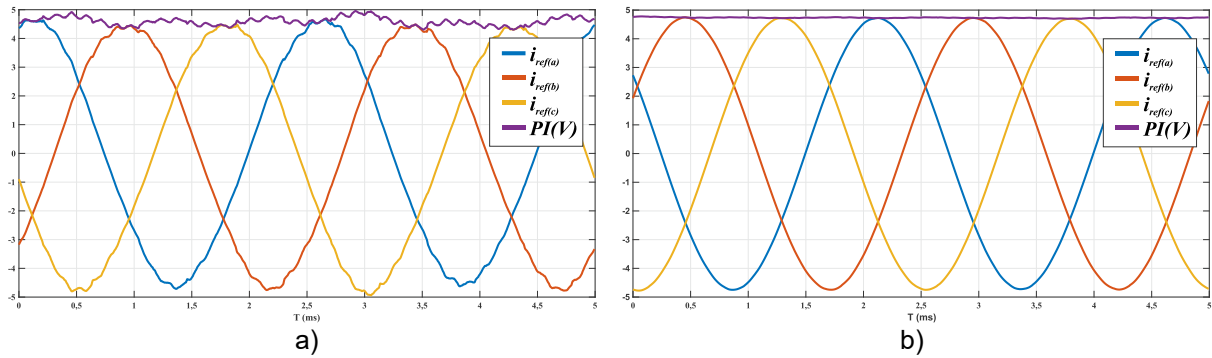
Fonte: Dados de autoria própria.

Figura 87 – Erro de fase e frequência para o ensaio de rampa.



Fonte: Dados de autoria própria.

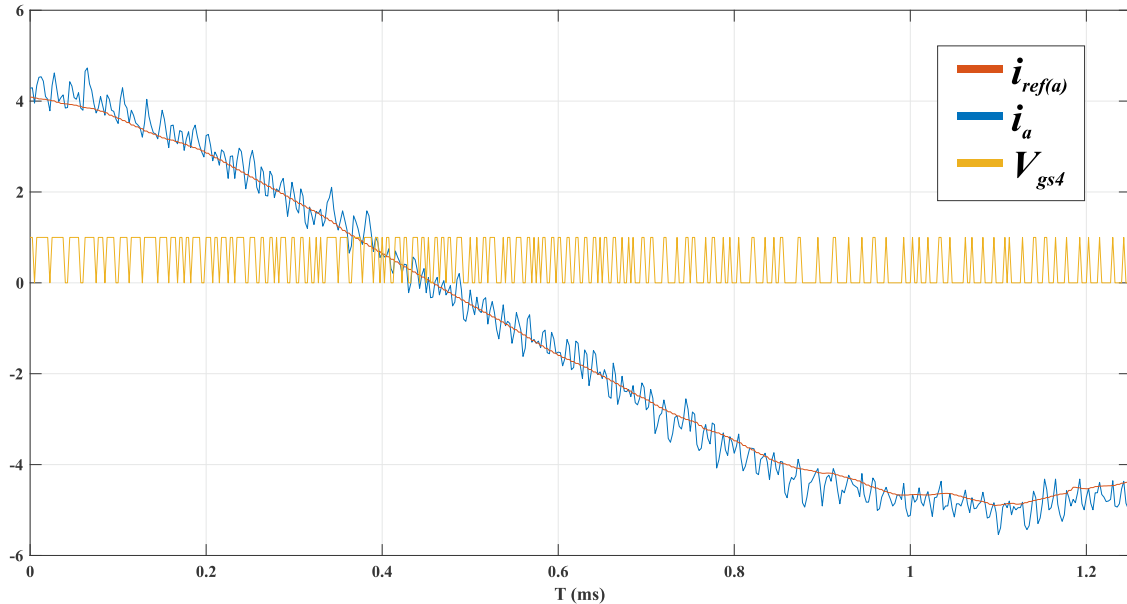
Figura 88 – Oscilações do PI de tensão e referências de corrente a) sem filtro digital na tensão de saída e b) com filtro digital em 12Hz passa baixa.



Fonte: Dados de autoria própria.

Pela metodologia dos gráficos no *Matlab* mencionadas acima, a Figura 89 ilustra o processo de comparação do controlador de histerese e os pulsos de disparo do *gate driver* interligados ponto-a-ponto. Observa-se que próximo a crista da corrente, neste caso a RPA está desabilitada, o controle de histerese para a fase A busca sempre seguir a referência, mas é influenciado pela corrente que circula pelas outras fases.

Figura 89 – Processo de comparação para a fase A e pulsos de disparo no DSP.

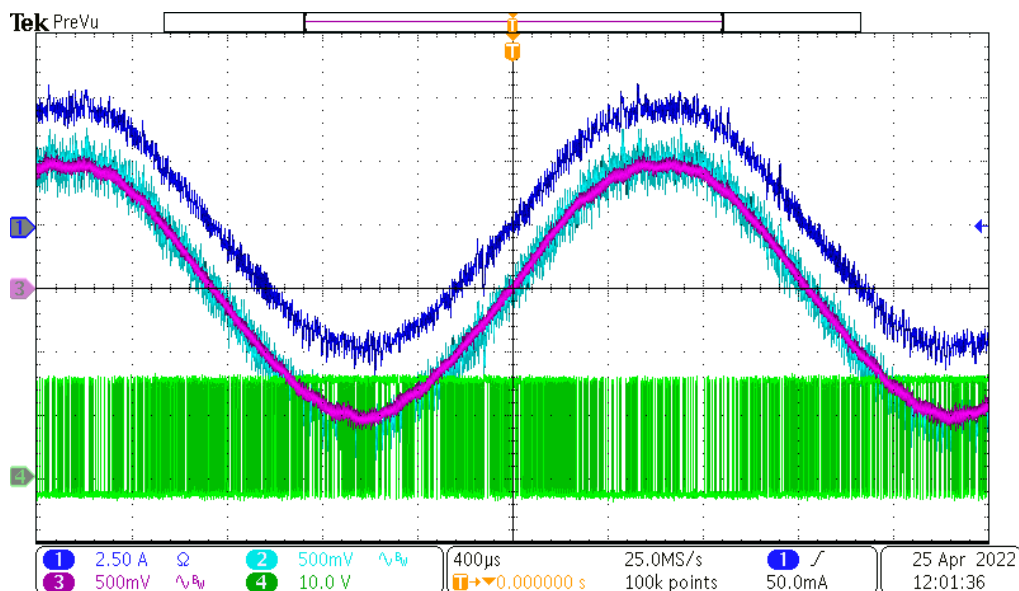


Fonte: Dados de autoria própria.

Outra metodologia de análise do controle é por meio dos 2 DACs embarcados no DSP, com eles é possível relacionar as variáveis de controle com as medidas externamente. Para a Figura 90, é feito uma comparação dos canais 2 e 3 (DAC(2) –

i_a , DAC(3) – i_{ref}) com o canal 1 sensoriado com uma ponteira de corrente de alta largura de banda da Tektronix®. É possível observar o comportamento similar do canal do DAC com a aferição da corrente i_a , evidenciando-se os benefícios da elevada taxa de amostragem.

Figura 90 – Processo de comparação com sinais analógicos e externos via DAC.



Fonte: Dados de autoria própria.

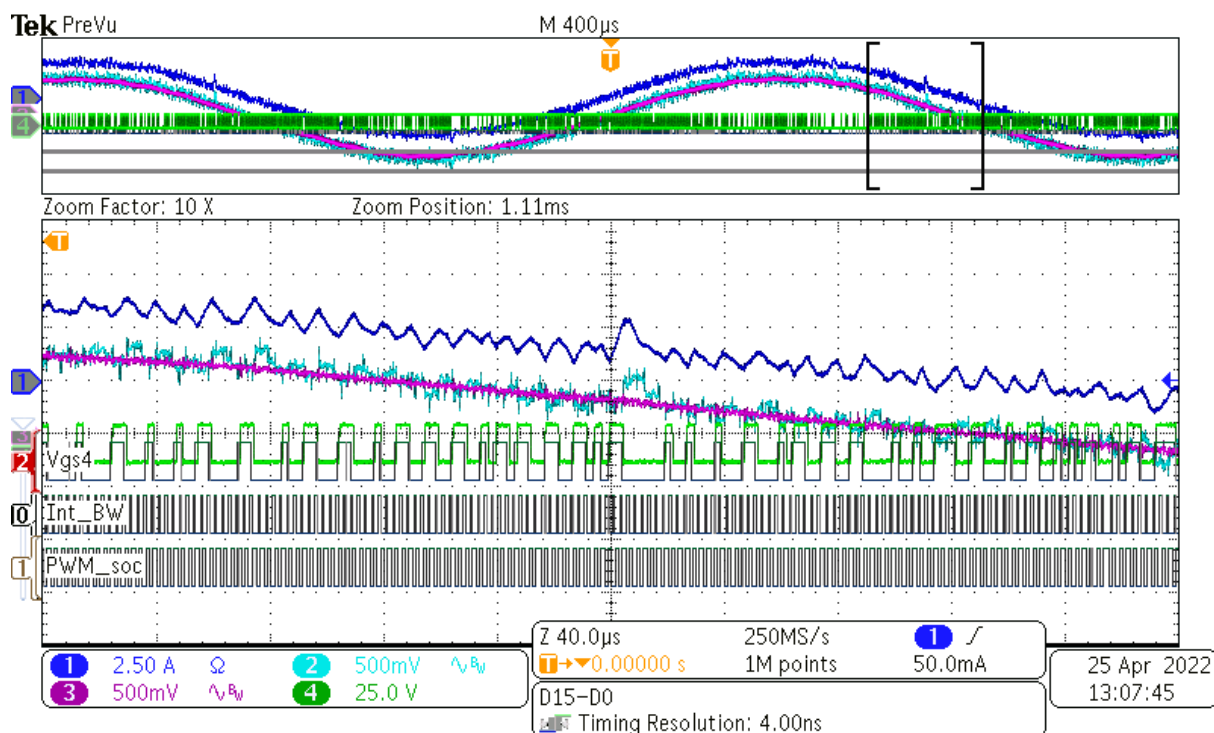
A Figura 91 mostra detalhadamente o processo de comparação em histerese descrito anteriormente. Adicionalmente, os canais digitais do osciloscópio também auxiliam na compreensão dos atrasos envolvidos no controlador de corrente. A partir do canal 1 da corrente sensoriada, é possível perceber que nas transições de chaveamento não houve a presença significativa de ruídos de comutação, em virtude dos aspectos construtivos do indutor L_{Boost} descritos anteriormente.

O canal digital 2 (Vgs4) é o sinal de disparo fornecido no primário do *gate driver*, é preciso notar que há um atraso entre o canal digital mencionado e o sinal no secundário do *gate driver* (Canal analógico 4 – em verde) previstos no *datasheet* do UCC5350M e o filtro previsto no primário para supressão de ruídos.

O canal digital 0 (Int_BW) representa o tempo de execução do código, onde a transição de subida de pulso indica o começo da interrupção e a descida de pulso a última linha de código executada pelo DSP.

O canal digital 1 (PWM_soc) indica o começo de uma conversão do ADC por meio da transição de descida de pulso.

Figura 91 – Detalhe do processo de comparação via DAC e canais digitais.



Fonte: Dados de autoria própria.

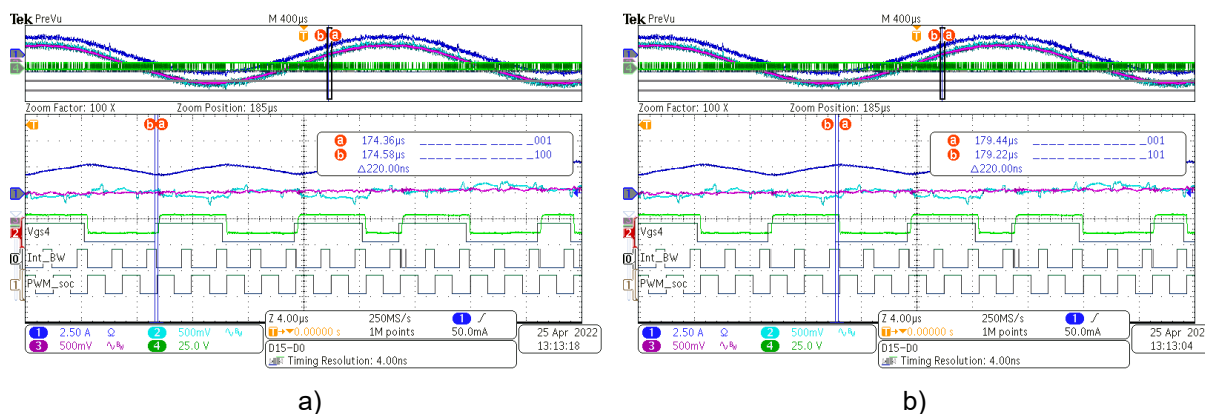
A fabricante *Texas Instruments* de CIs *gate driver*, relata em seu *datasheet* [82] ser necessário a inserção de filtros RC na entrada do *gate driver*. Esses filtros têm a função de reduzir o acoplamento do circuito de potência ao de controle, em outras palavras, eliminam o chaveamento espúrio devido ao ruído acoplado e também auxilia na redução de perda de comunicação entre o DSP-PC durante o processo de *debug*. Um aspecto negativo é que esse filtro introduz um atraso significativo de cerca de 220ns no pulso como visualizado pela Figura 92, reduzindo a largura de banda para o controlador em histerese.

Já Figura 93 mostra o atraso que ocorre desde o momento onde a conversão do ADC acontece, pelo método de *Sample & Hold*, onde o tempo de 490ns engloba o começo da conversão, o tempo de processamento do sinal e a chamada de interrupção do ADC.

Quando o sinal *Int_BW* apresenta uma subida de pulso, as rotinas de calibração de corrente e comparação em histerese começam, até o momento em que o sinal

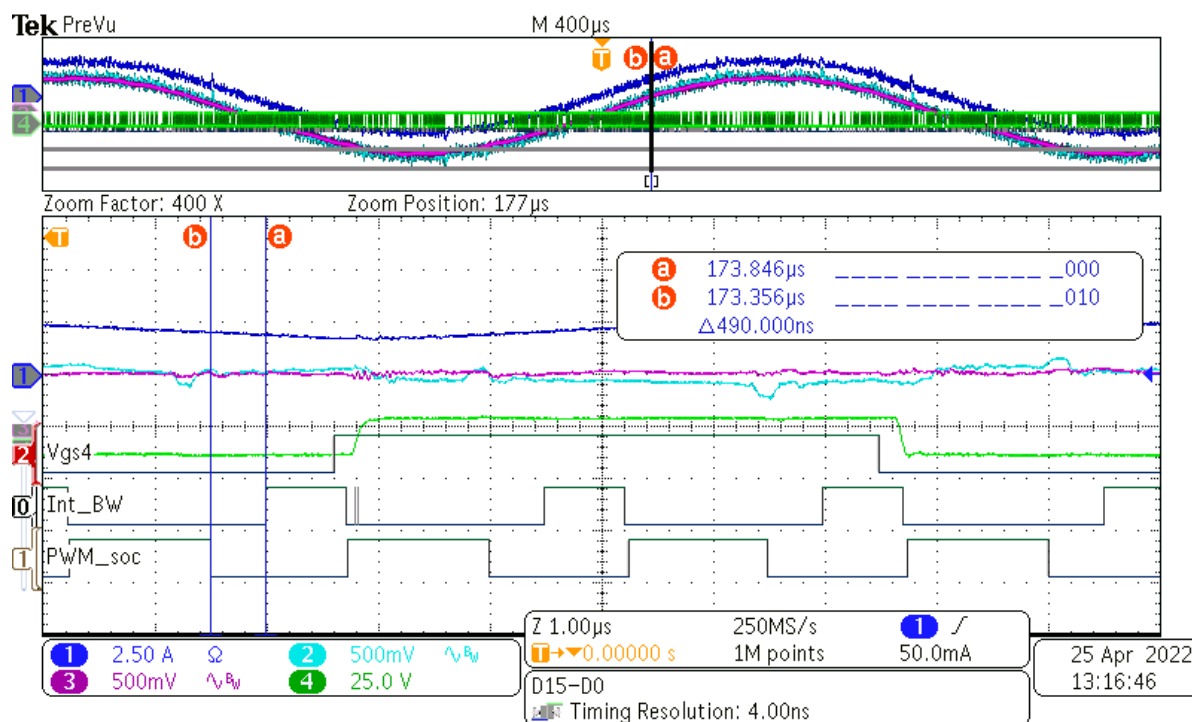
Vgs4 é disparado para atuar diretamente na corrente da fase A. Assim, é possível estimar que o atraso entre a aquisição e o efetivo disparo do sinal de *gate driver* é de mais de 1 μ s, representando mais de 40% do período de amostragem em 400kHz.

Figura 92 – Atraso na propagação de pulso a) subida e b) descida.



Fonte: Dados de autoria própria.

Figura 93 – Detalhe no atraso da conversão do ADC e começo da interrupção.



Fonte: Dados de autoria própria.

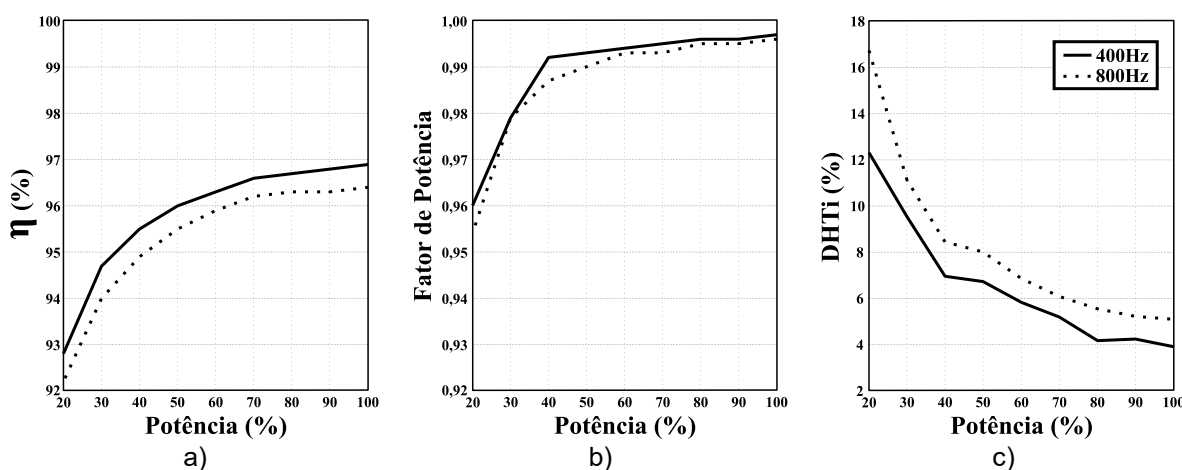
6.4 Resultados de eficiência e estresse térmico

A partir de todos os esforços, tanto na concepção da topologia de potência que se baseia em um Retificador Híbrido com o emprego de conversores chaveados que

empregam tecnologia SiC, quanto na estratégia de controle, o RHT-HVDC-MEA atinge elevada eficiência de até 97% em potência nominal para 400Hz, conforme ilustra a Figura 94 a). Para 800Hz, observa-se uma eficiência entre 97 e 96%.

O fator de potência se manteve elevado (Figura 94 b), principalmente a partir de 40% da potência nominal, evidenciando a efetividade do *Boost* como escolha de conversor para a função PFC. Já a DHTi, em 400Hz seu valor ficou abaixo dos limites estabelecidos pela norma DO-160F com o algoritmo de RPA, mas para 800Hz, a distorção ficou próxima ao limiar de 5% com a RPA.

Figura 94 – a) Eficiência, b) fator de potência e c) DHTi com o conversor operando com o algoritmo de RPA.



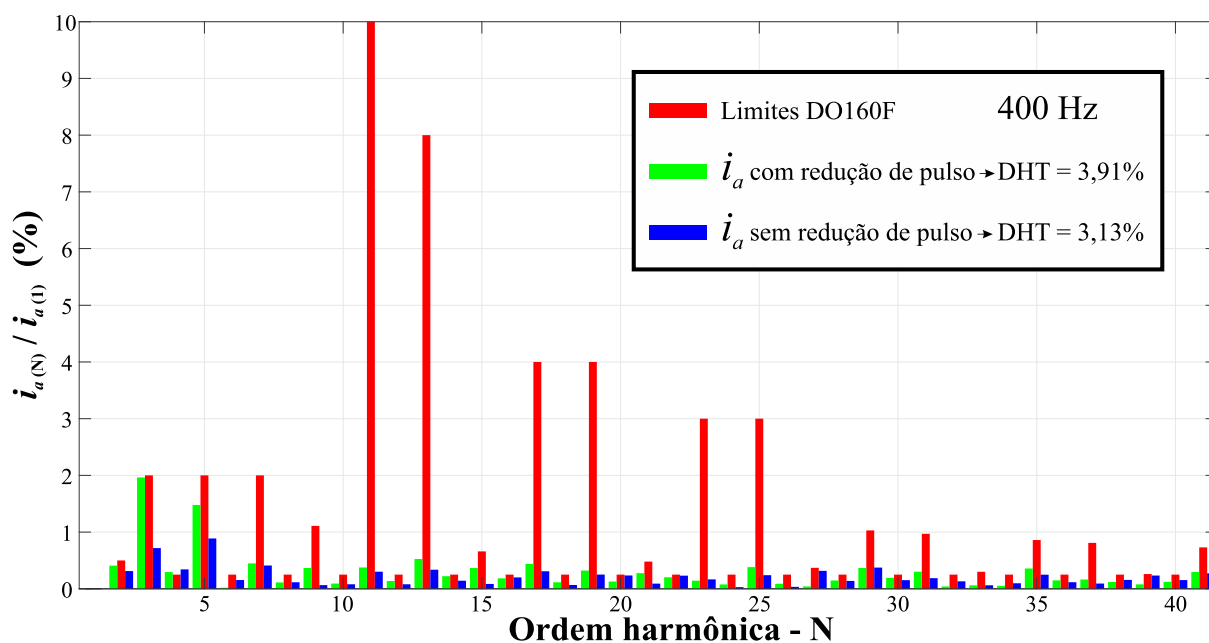
Fonte: Dados de autoria própria.

As Figuras 95 e 96 mostram o espectro harmônico do conversor para 400Hz e 800Hz e sua comparação com ou sem a utilização do algoritmo de RPA. É possível notar que o comportamento da 5ª harmônica é similar ao observado no Capítulo V de simulações computacionais.

O algoritmo de RPA aumenta as componentes harmônicas de baixa ordem, como a 3ª por exemplo, o que aumenta a DHTi. O resultado em 800Hz indica uma violação com a RPA, todavia um ajuste de controle poderia ser implementado para desativá-la caso a frequência do PLL estiver dentro de um valor especificado.

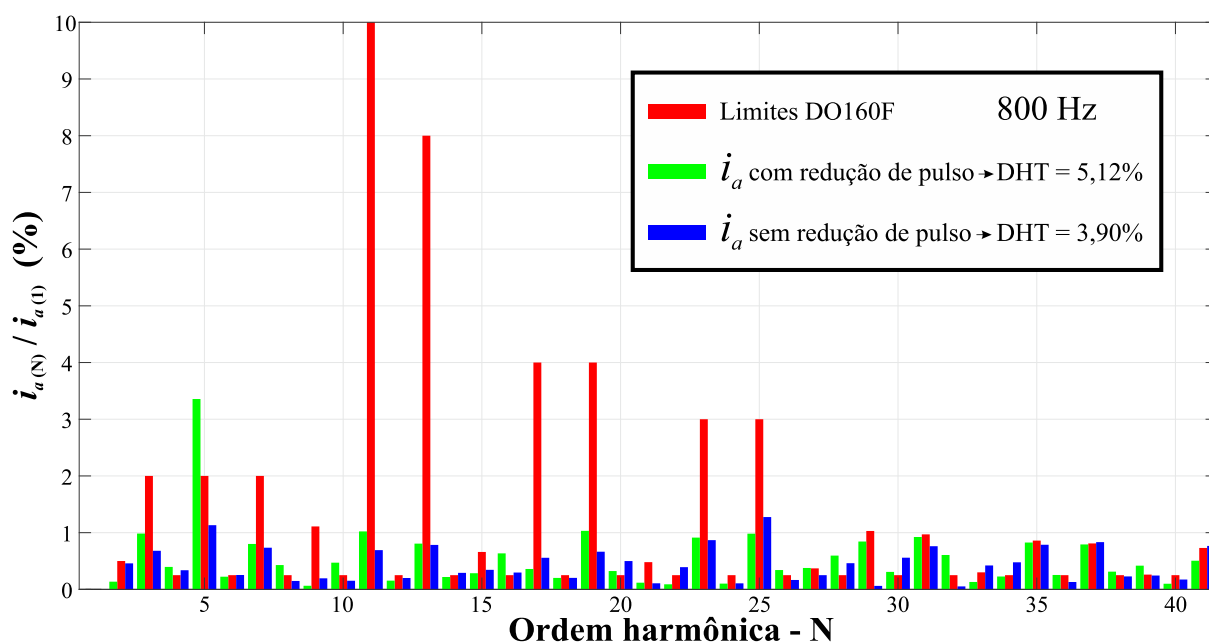
Considerando a parcela de processamento de potência de aproximadamente 48% para o RNC e 52% para o *Boost* cascadeado com o LLC SR, a Figura 97 ilustra o rendimento individual para estes grupos de conversores que compõem o RHT-HVDC-MEA.

Figura 95 – Espectro harmônico para 400Hz com e sem o algoritmo de RPA.



Fonte: Dados de autoria própria.

Figura 96 – Espectro harmônico para 800Hz com e sem o algoritmo de RPA.



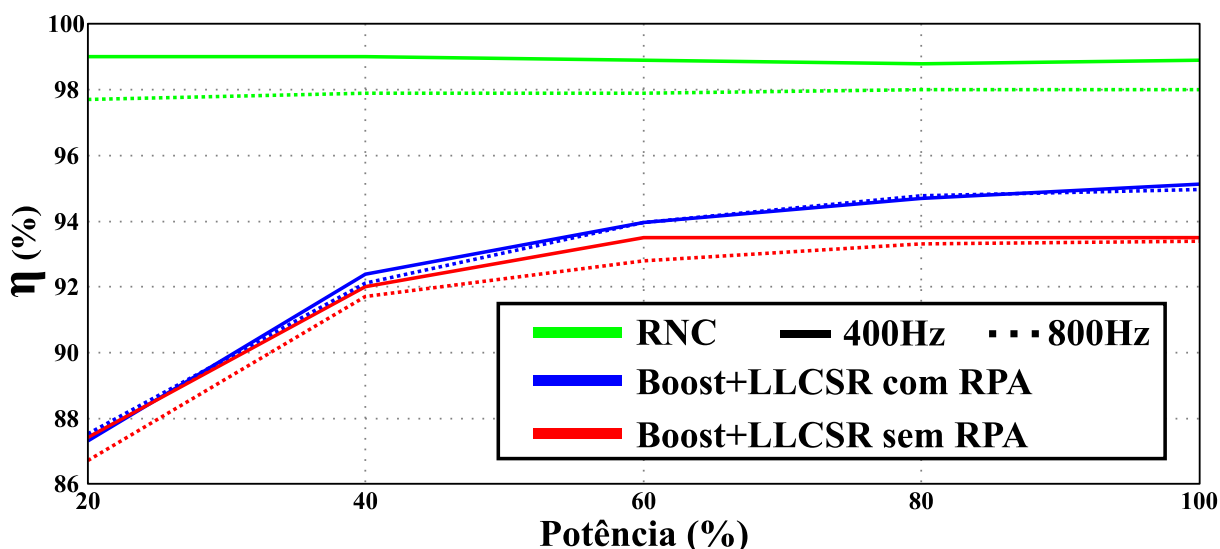
Fonte: Dados de autoria própria.

O RNC possui uma curva praticamente constante de eficiência, mesmo em baixa potência, como esperado de conversores passivos. Sua eficiência em 400Hz atinge cerca de 99%, enquanto para 800Hz este valor foi para 98%. Um dos fatores que causou esta diferença foram as perdas magnéticas do núcleo EE de ferrite

utilizado, que comparativamente ao indutor do *Boost*, a operação tanto em 400Hz e 800Hz apresentou níveis similares de rendimento.

Sobretudo, o algoritmo de RPA nas condições de teste, aumentou o rendimento do *Boost+LLCSR* em cerca de 2%. É preciso ainda, ressaltar a importância do RNC para conferir um rendimento alto, mesmo em condições de baixa carga, como característica intrínseca dos Retificadores Híbridos. Além disso, o LLCSR também possui baixo rendimento em baixa carga.

Figura 97 – Relação de rendimento dos conversores que compõem o RHT-HVDC-MEA.



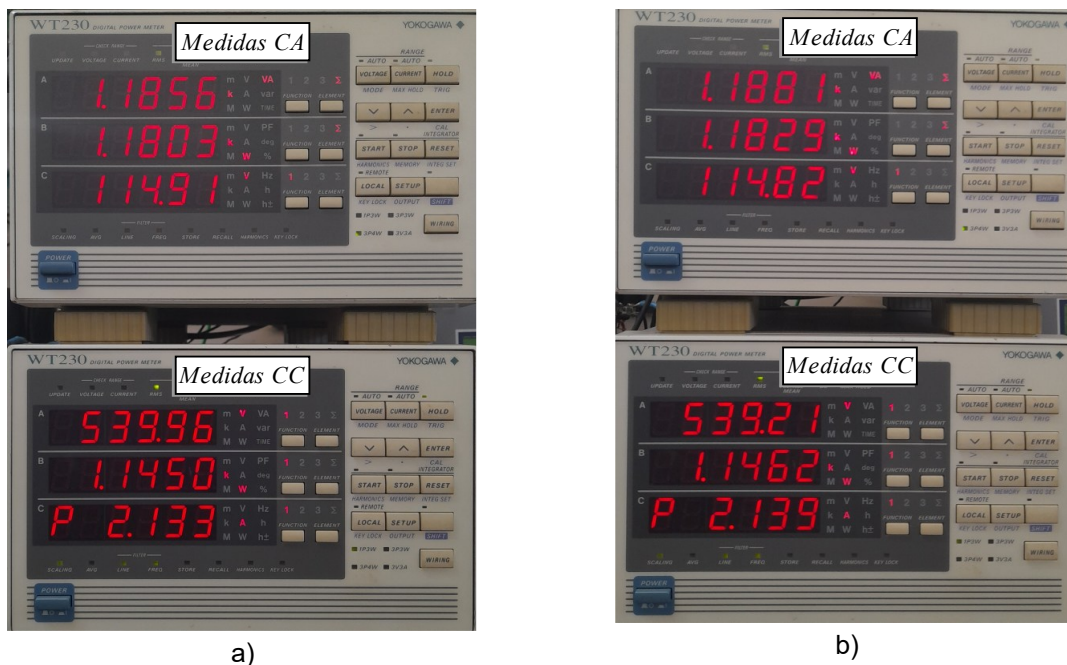
As Figuras 98 e 99 mostram o rendimento do conversor para operação em 400Hz e 800Hz com ou sem a utilização do algoritmo RPA.

É importante destacar, que os resultados na Figura 97 foram feitos a partir de uma extensão dos cabos condutores do *Boost+LLCSR* até o medidor *Yokogawa®* WT230 (desmembrando o RNC do *Boost+LLCSR*), justificando-se a disparidade entre o rendimento com ou sem a aplicação da RPA obtido nas Figuras 98 e 99. Adicionalmente, isso ressalta a importância do projeto otimizado do conversor, especialmente em relação aos cuidados com o chaveamento em alta frequência.

Por outro lado, o *Boost* utilizou o MOSFET C3M0120100K, o qual apresenta maiores perdas por condução e menores por chaveamento. Essa característica foi considerada na etapa de projeto, pois o protótipo foi previsto para operar com potência reduzida. Já para maiores níveis de potência, caso for escolhido um MOSFET

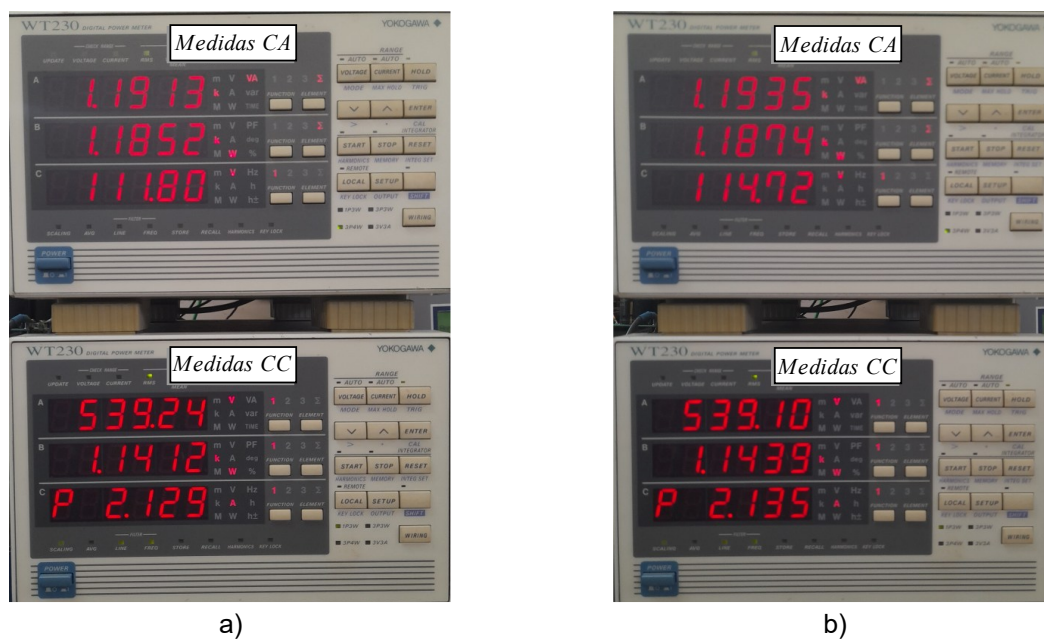
diferente, o algoritmo da RPA pode ser mais efetivo em melhorar o rendimento do conversor.

Figura 98 – Rendimento em potência nominal para 400Hz a) com RPA – $\eta = 97,0\%$ e b) sem RPA – $\eta = 96,9\%$.



Fonte: Dados de autoria própria.

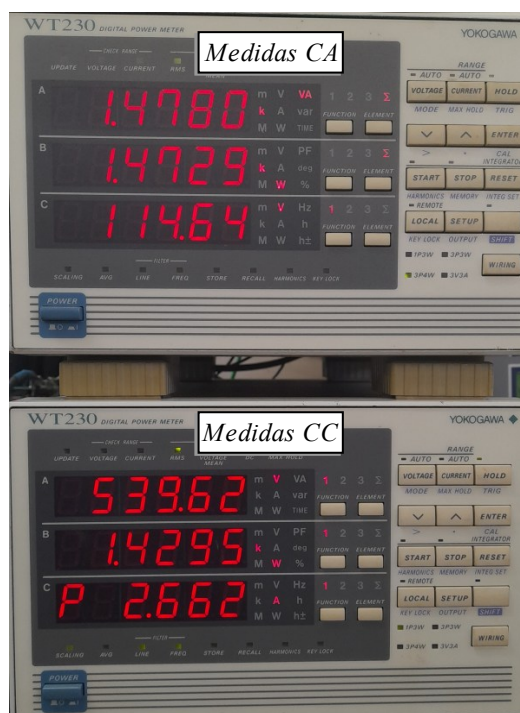
Figura 99 – Rendimento em potência nominal para 800Hz a) com RPA – $\eta = 96,29\%$ e b) sem RPA – $\eta = 96,34\%$.



Fonte: Dados de autoria própria.

O último ensaio de rendimento, visualizado na Figura 100, foi realizado até o limite de saturação do indutor de entrada do conversor *Boost*, com cerca de 1430W no terminal de saída. O rendimento se manteve próximo ao resultado de potência nominal.

Figura 100 – Rendimento com potência de 1430W para 400Hz com RPA – $\eta = 97,05\%$.



Fonte: Dados de autoria própria.

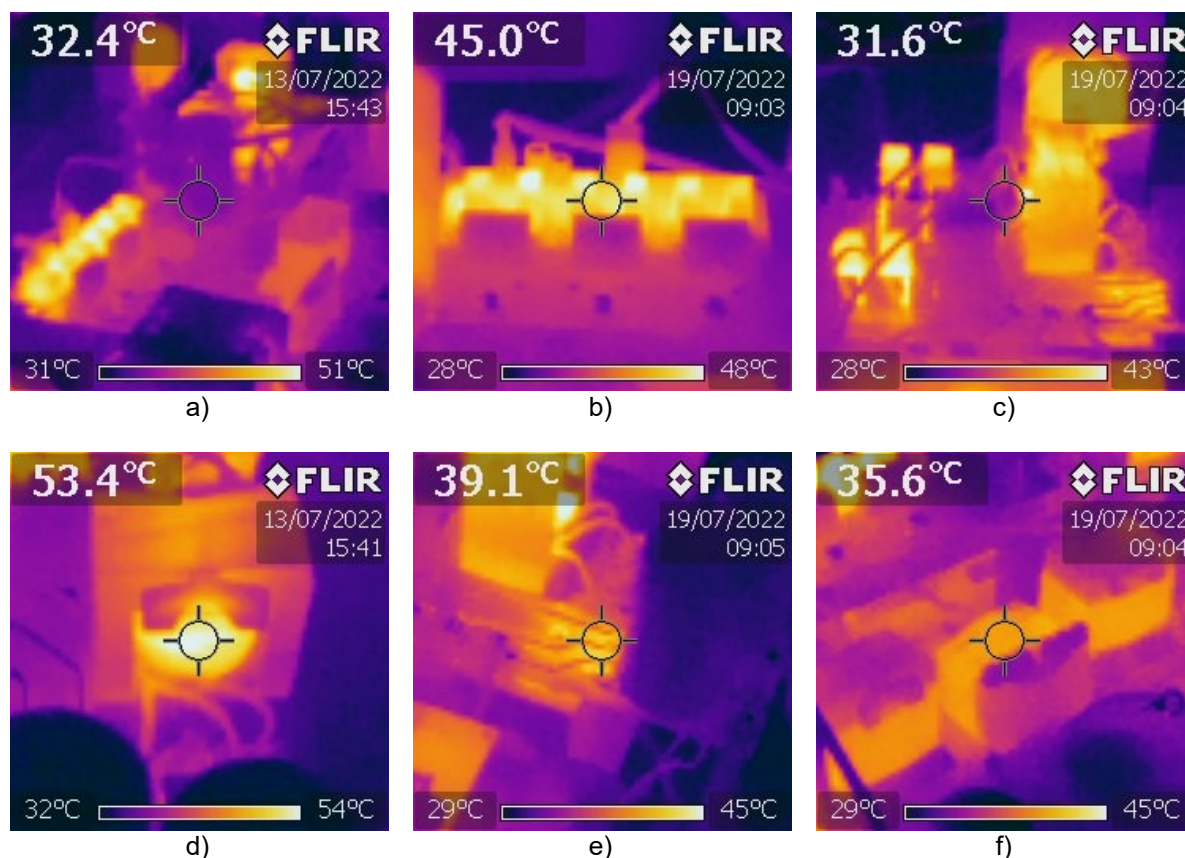
Por fim, após horas de funcionamento da estrutura, foram realizados testes térmicos com uma câmera térmica da *Flir®*, como ilustrado na Figura 101.

Na Figura 101 b), é possível perceber que os pontos de maior calor estão nos conversores CC-CC isolados que têm a função de alimentar o circuito de *gate driver*.

Na Figura 101 c), os conversores do *gate driver* do LLC SR também apresentam os maiores focos de calor. O transformador do LLC SR necessitou de uma ventilação forçada, com seu núcleo magnético se estabelecendo a uma temperatura menor que 43 graus.

Pela Figura 101 D), é possível notar que os fios *Litz* apresentaram a maior fonte de dissipação térmica no LLC SR, com margem para um projeto mais eficiente e equilibrado entre perdas no cobre e magnéticas. Cabe destacar que este fio *Litz* foi enrolado manualmente, sem controles de qualidade adicionais que um processo industrial oferece.

Figura 101 – Ensaio de temperatura do RHT-HVDC-MEA em 400Hz e potência nominal com foco em a) todo conversor, b) *Boost* trifásico, c) LLC SR e RNC, d) transformador do LLC SR, e) Ponte de diodos do RNC e f) indutores do *Boost*.



Fonte: Dados de autoria própria.

6.5. Considerações Finais

Neste capítulo, foram apresentados os principais resultados qualitativos e quantitativos do conversor RHT-HVDC-MEA, bem como sinais digitais e analógicos internos ao DSP responsáveis por auxiliar na otimização de controle do protótipo.

Aspectos construtivos do protótipo foram apresentados, juntamente com funções de detecção de falha, construção de um transformador de corrente para avaliação da corrente de ressonância e a placa de processamento e aquisição dos sinais.

Os indicadores de DHTi da norma DO-160F foram cumpridos, além de evidenciar um bom desempenho às variações dinâmicas da frequência de alimentação entre 400Hz e 800Hz. A respeito do rendimento, o mesmo se manteve

elevado mesmo em condições de baixa carga, característica intrínseca dos Retificadores Híbridos.

CAPÍTULO VII

Conclusões Gerais e Trabalhos Futuros

7.1. Conclusão

Ao decorrer deste documento, foram descritos os principais conceitos básicos para a proposta de aprimoramento de um novo Retificador Híbrido. Este trabalho esteve pautado na busca por eficiência, garantidos pelo domínio da tecnologia de semicondutores de SiC e, em uma estratégia de controle robusta, de fácil implementação em um processador de baixo custo capaz de realizar operações paralelas entre núcleos.

Desta maneira, foi apresentado um novo conversor – RHT-HVDC-MEA, o qual foi se mostrou efetivo em impor correntes senoidais com baixa DHTi e elevado FP, mesmo em condições de alimentação a 800Hz, que requerem frequências de chaveamento mais elevadas.

O conversor proposto nesta tese de doutorado foi projetado para operar com um barramento CC de saída de 540 V. A possibilidade de operação em ± 270 V pode ser viabilizada por meio de uma nova combinação dos conversores presentes no RHT-HVDC-MEA, especialmente considerando a isolação fornecida pelo LLC SR, o qual apresenta ampla faixa de operação, tanto em termos de estratégias de controle, quanto na reconfiguração de sua estrutura de potência.

Apesar do protótipo ter sido projetado em escala reduzida de potência (1,2 kW), em função das limitações impostas pela fonte trifásica programada disponível no laboratório para realização dos ensaios experimentais necessários. Cabe ressaltar que não há nenhum impedimento técnico para implementação prática do conversor proposto com potência nominal de 20 kW, nível de potência comumente encontrado em conversores projetados para aplicação em MEA [17], [19]. Cabe ainda destacar que, considerando que algumas das dificuldades relacionadas ao projeto de conversores baseados em SiC foram compreendidas neste trabalho, as principais adequações necessárias para que o RHT-HVDC-MEA opere em potências mais elevadas são: a inclusão de um transformador adicional em paralelo para o LLC SR, a

alteração da tensão de entrada CA para 230 V_{RMS}, a readequação do sensoriamento de corrente por meio de sensores com alta largura de banda, ou a adoção da modulação por PWM no *Boost* utilizando sensores de corrente convencionais.

Em relação à técnica de RPA, cabe destacar que ela se mostrou efetiva, e pode contribuir mais significativamente para melhoria do rendimento se o conversor for projetado para uma potência nominal superior. Alguns dos resultados discutidos, especialmente aqueles apresentados nas Figuras 98 e 99, mostraram que o rendimento com ou sem a RPA são bem próximos. Isto se deve ao comportamento estocástico do controlador de histerese e da escolha do MOSFET SiC para implementação do conversor *Boost*, projetado com foco na redução de perdas por chaveamento.

O projeto do controle se baseou no dimensionamento de apenas um controlador PI de tensão, visto que foi possível eliminar a necessidade de sensoriamento da tensão na saída do conversor *Boost*, assim, menos variáveis e sinais são necessários para se conseguir o mesmo desempenho de conversores similares. Ressalta-se que em ambientes industriais e, principalmente, no conceito MEA, pode ser necessária a inclusão de sensores adicionais, com o objetivo de aumentar a redundância ou auxiliar na identificação de condições adversas de falha.

Os parâmetros do PI, juntamente com o filtro passa-baixa na tensão de saída, garantiram a regulação do barramento HVDC diante de variações de carga, com reduzido afundamento de tensão e UP%. Os resultados mostraram uma dinâmica de controle muito similar para operação em 400Hz e 800Hz.

Em relação ao sincronismo do conversor mediante os ensaios de variação na alimentação CA, com rampa de frequência de 400Hz para 800Hz, o RHT-HVDC-MEA foi capaz de mantê-lo em uma taxa 10 vezes superior ao definido pela norma DO-160F, com variação de 2kHz/s na alimentação CA de entrada e funcionamento satisfatório do algoritmo RPA neste período.

A estratégia de controle implementada no DSP TMS320F28379D multinúcleos foi fundamental para assegurar a elevada frequência de chaveamento e, conseqüente, adequação aos níveis harmônicos da norma DO-160F. Para tanto, este trabalho apresentou uma nova metodologia adotada para garantir a comunicação entre os

núcleos do DSP, a fim de designar o controle de histerese em cada fase para cada núcleo, exclusivamente.

Por fim, com relação ao processamento de potência entre os conversores, o nível HVDC de tensão na saída determinou cerca de 50% da parcela processada para cada conversor que compõe o RHT-HVDC-MEA. Nestas condições, o conversor apresentou um rendimento máximo de aproximadamente 97% para 400Hz e 96,3% para 800Hz, além de um excelente rendimento (96%) com metade da potência nominal. A parcela de processamento de potência pode ser alterada, caso a aplicação envolva outros níveis de tensão, tanto na alimentação CA, quanto na tensão de saída CC. Tal característica pode ser conseguida apenas com a alteração da relação de espiras do LLC SR, evidenciando a flexibilidade de projeto do conversor proposto.

7.2. Principais atividades relacionadas à pesquisa durante o doutorado

Artigos publicados em periódicos internacionais:

V. F. Barbosa, O. F. A. Eleodoro, D. B. Rodrigues, G. B. Lima and L. C. G. Freitas, "Three-Phase Hybrid Rectifier for HVDC Distribution System in More Electric Aircrafts," in **IEEE Transactions on Power Electronics**, doi: 10.1109/TPEL.2023.3295613.

A. O. C. Neto, A. L. Soares, V. F. Barbosa, D. B. Rodrigues, L. C. G. Freitas and G. B. De Lima, "Analysis and Development of a Bidirectional Three-Phase Hybrid Rectifier for DC Microgrids with Distributed Energy Resources," in **IEEE Journal of Emerging and Selected Topics in Power Electronics**, doi: 10.1109/JESTPE.2023.3284759.

A. L. Soares, A. C. O. Neto, V. F. Barbosa, G. B. Lima and L. C. G. Freitas, "Project and Performance Evaluation on an Optimized 18-Pulse Rectifier With Delta-Differential Connection ATRU and Cascaded *Boost* Converters for More Electric Aircraft," in **IEEE Access**, vol. 10, pp. 68397-68415, 2022, doi: 10.1109/ACCESS.2022.3185996.

Eleodoro, O. F. A. ; BARBOSA, V. F. ; LIMA, G. B. ; FREITAS, L. C. G. . Analysis of SiC and SiC-Cascode MOSFET in the design of power electronics converters for more electric aircrafts. **International Journal of Power Electronics and Drive Systems (IJPEDS)**, v. 13, p. 1951-1965, 2022. doi: 10.11591/ijpeds.v13.i4.pp1951-1965

Depósito de patentes:

BARBOSA, V. F.; FREITAS, L. C. G. ; LIMA, GUSTAVO B. . Conversor CA-CC Retificador Híbrido Trifásico Para Aplicações em Aeronaves. 2022, Brasil. Número do registro: BR1020220095159. Instituição de registro: INPI - Instituto Nacional da Propriedade Industrial. Instituição(ões) financiadora(s): UFU; Capes. Depósito: 16/05/2022.

BARBOSA, V. F.; LIMA, G. B. ; FREITAS, L. C. G. ; FREITAS, L. C. . Circuito Isolado de Gatilho de Interruptores de Potência em Alta Frequência. 2021, Brasil. Número do registro: BR1020210055553. Instituição de registro: INPI - Instituto Nacional da Propriedade Industrial. Instituição(ões) financiadora(s): UFU; Capes. Depósito: 23/03/2021.

Registro de softwares:

BARBOSA, V. F.; LIMA, G. B. ; FREITAS, LUIZ C. G. . RHTMEA. 2022. Patente: Programa de Computador. Número do registro: BR512022000715-0, data de registro: 05/04/2022, título: "RHTMEA", Instituição de registro: INPI - Instituto Nacional da Propriedade Industrial.

BARBOSA, V. F.; DE LIMA, GUSTAVO B. ; FREITAS, LUIZ C. G. ; SOARES, A. L. ; COSTA NETO, A. O. ; Eleodoro, O. F. A. . ATRUMEA. 2022. Patente: Programa de Computador. Número do registro: BR512022002232-0, data de registro: 17/08/2022, título: "ATRUMEA" , Instituição de registro: INPI - Instituto Nacional da Propriedade Industrial.

BARBOSA, V. F.; DE LIMA, GUSTAVO B. ; DE FREITAS, LUIZ C. G. . HybridDCGrid. 2022. Patente: Programa de Computador. Número do registro: BR512022000300-7, data de registro: 10/02/2022, título: "HybridDCGrid", Instituição de registro: INPI - Instituto Nacional da Propriedade Industrial.

Colaboração com outros grupos de pesquisa, não relacionados à tese.

Depósito de patentes:

MADURRO, A. G. B. ; MADURRO, J. M. ; LUZ, L. F. G. ; MORAES, D. D. ; BRUSSASCO, J. G. ; GUEDES, P. H. G. ; BARBOSA, V. F. . Genossensor Eletroquímico para Detecção de Vírus Zika. 2023, Brasil. Patente: Privilégio de Inovação. Número do registro: BR1020230137768. Instituição de registro: INPI - Instituto Nacional da Propriedade Industrial. Instituição(ões) financiadora(s): UFU; CNPq. Depósito: 10/07/2023.

BRUSSASCO, J. G. ; BARBOSA, V. F. ; GUEDES, P. H. G. ; LUZ, L. F. G. ; FLAUZINO, J. M. R. ; MADURRO, A. G. B. ; MADURRO, J. M. ; MORAES, D. D. . Metodologia para construção de eletrodo de carbono impresso. 2024, Brasil.

Patente: Privilégio de Inovação. Número do registro: BR1020240000412, Instituição de registro: INPI - Instituto Nacional da Propriedade Industrial. Depósito: 02/01/2024.

7.3. Trabalhos Futuros

Uma das propostas de trabalhos futuros se baseiam no aprimoramento do controlador em histerese por meio do uso do comparador interno do DSP, periférico denominado CMPSS. Resultados preliminares em um *Boost* PFC monofásico já se mostraram capazes de evidenciar uma frequência máxima de chaveamento em cerca de 1MHz, ampliando a gama deste controlador para os dispositivos GaN, que também possuem elevada largura de banda e tipicamente suportam uma frequência de chaveamento maior em relação aos dispositivos SiC, conforme Figura 9 do Capítulo II.

A partir das premissas de sensoriamento de corrente por meio do ADC com *Sample & Hold*, não foi possível neste trabalho, aumentar a frequência máxima de chaveamento do controlador de histerese. Nesse sentido, o periférico comparador analógico – CMPSS interno ao DSP, opera independente dos 4 núcleos do DSP e possibilita a implementação de outras funções de controle nos conversores, como por exemplo: algoritmo de FFT e cálculo de DHTi a cada ciclo, para adequação de normas internacionais como a DO-160F.

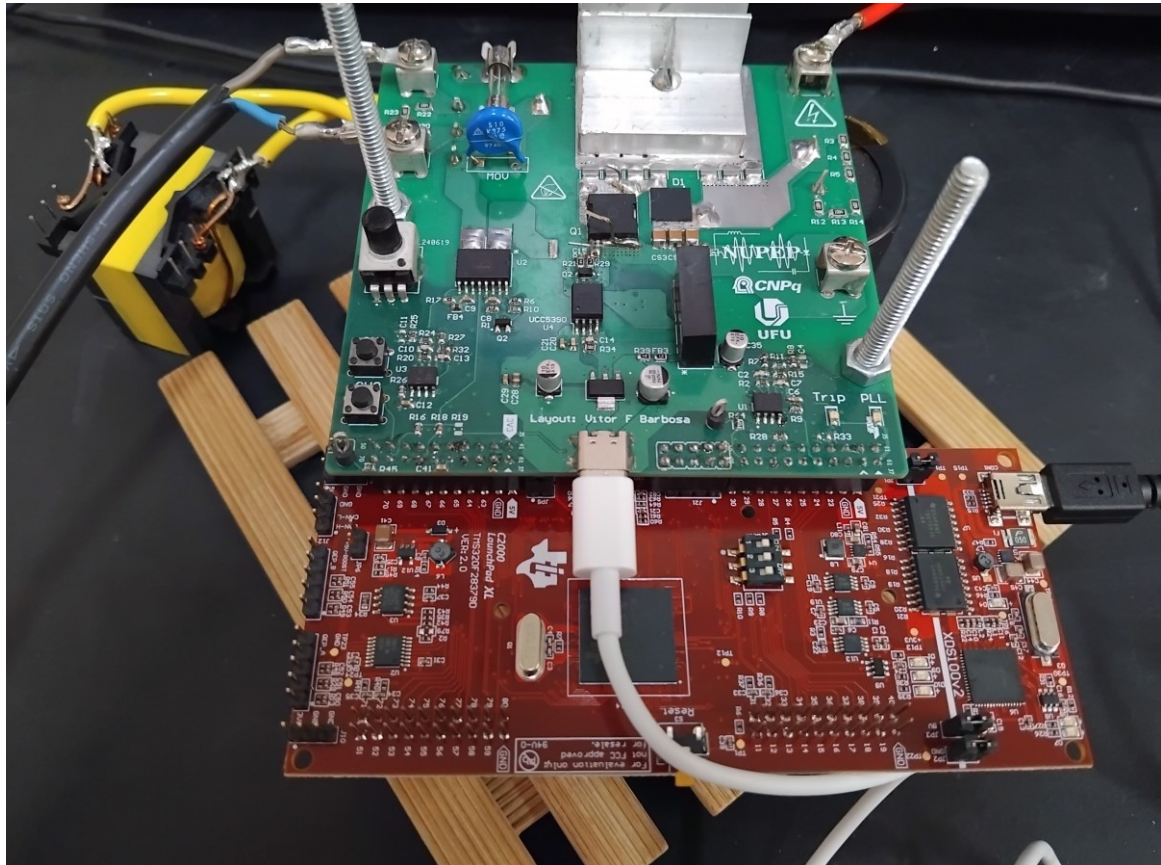
A Figura 102, ilustra o conversor *Boost* PFC utilizado para validar parte dos trabalhos futuros ligados à otimização do controlador de histerese e otimização dos algoritmos processados no DSP multinúcleos.

As Figuras 103 a) e b) ilustram o *Boost* PFC operando em baixa carga e o impacto do aumento da frequência de chaveamento no fator de forma do sinal de corrente medido.

Uma outra possibilidade de continuidade dos trabalhos desenvolvidos no NUPEP, seria baseada na aplicação do RHT-HVDC-MEA com uma configuração que permitisse a obtenção de um barramento simétrico e regulado em $\pm 270V$. Isto seria possível por meio da reconfiguração dos conversores, especialmente considerando a flexibilidade do LLC SR, mas mantendo a essência dos Retificadores Híbridos.

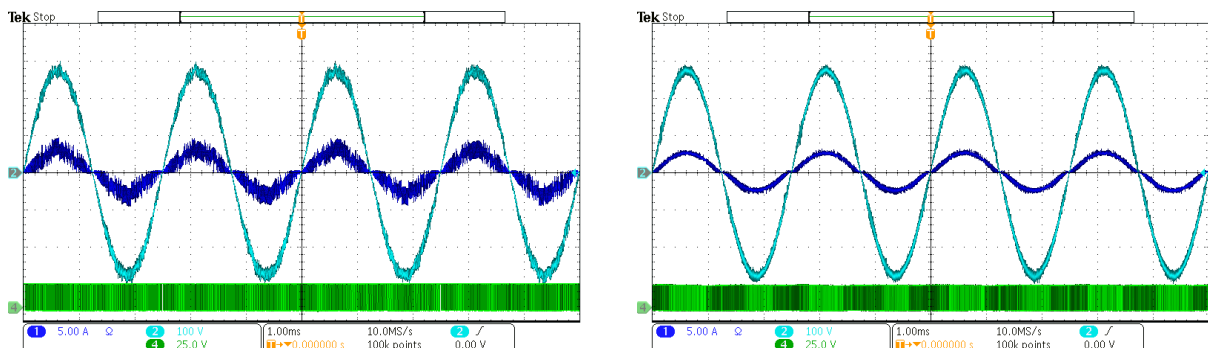
Por fim, estes resultados mostram a viabilidade em se utilizar um DSP multinúcleos e suas capacidades perante aos novos desafios destas novas tecnologias de semicondutores que permitem elevada frequência de chaveamento e densidade de potência.

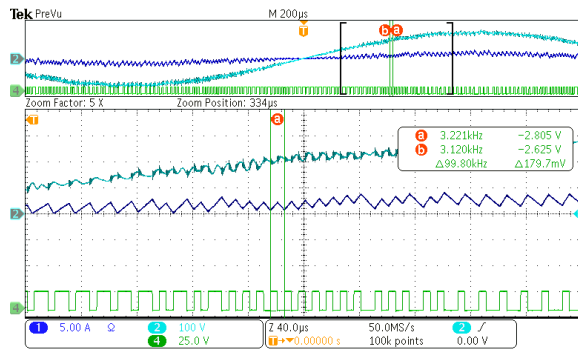
Figura 102 - Boost PFC monofásico projetado para elevada frequência de chaveamento.



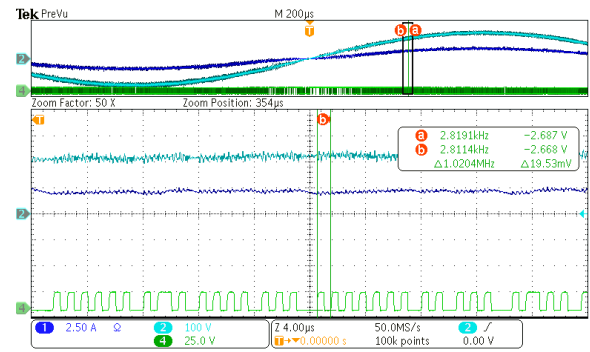
Fonte: Dados de autoria própria.

Figura 103 - Tensão e corrente CA para frequência de chaveamento máxima em cerca de a)100kHz e b) 1MHz.





a)



b)

Fonte: Dados de autoria própria.

REFERÊNCIAS

- [1] Conferência das Partes - COP26 em Glasgow. Disponível em: <https://news.un.org/pt/story/2021/11/1770282>. Acesso em: 02/05/2023.
- [2] EPE – Plano Decenal de Expansão de Energia 2031. Disponível em: <https://www.epe.gov.br/pt/publicacoes-dados-abertos/publicacoes/plano-decenal-de-expansao-de-energia-2031> . Acesso em 02/05/2023.
- [3] H. Schefer, L. Fauth, T. H. Kopp, R. Mallwitz, J. Friebe and M. Kurrat, "Discussion on Electric Power Supply Systems for All Electric Aircraft," in IEEE Access, vol. 8, pp. 84188-84216, 2020, <https://doi.org/10.1109/ACCESS.2020.2991804>.
- [4] Família 787. Disponível em: <https://www.boeing.com.br/produtos-e-servicos/avioes-comerciais/787.page>. Acesso em em 26/10/2022.
- [5] IEC 61000-3-2: Part 3-2: Limits for Harmonic Current Emissions (Equipment Input Current Lower than 16A per Phase), International Electrotechnical Commission, second edition, 2008.
- [6] NASA, U.S. Industry Aim to Electrify Commercial Aviation. Disponível em: <https://www.nasa.gov/feature/glenn/2019/nasa-us-industry-aim-to-electrify-commercial-aviation> . Acesso em 10/09/2022
- [7] B. Rahrovi and M. Ehsani, "A Review of the More Electric Aircraft Power Electronics," 2019 IEEE Texas Power and Energy Conference (TPEC), 2019, pp. 1-6, <https://doi.org/10.1109/TPEC.2019.8662158>.
- [8] J. T. Gonçalves, S. Valtchev, R. Melicio, A. Gonçalves and F. Blaabjerg, "Hybrid Three-Phase Rectifiers with Active Power Factor Correction: A Systematic Review," Electronics, vol. 10, pp. 1520-1551, Jun. 2021, <https://doi.org/10.3390/electronics10131520>.
- [9] IEA – World Energy Investment 2022, Disponível em: <https://www.iea.org/reports/world-energy-investment-2022>. Acesso em 12/10/2022.
- [10] IEA – World Energy Outlook 2022, Disponível em: <https://www.iea.org/reports/world-energy-outlook-2022> . Acesso em 12/10/2022.

- [11] IRENA – Reaching Zero With Renewables: Biojet Fuels. Disponível em: <https://www.irena.org/publications/2021/Jul/Reaching-Zero-with-Renewables-Biojet-Fuels>. Acesso em 13/10/2022.
- [12] EPE – Empresa de Pesquisas Energéticas, Disponível em: <https://www.epe.gov.br/pt/a-epe/quem-somos>. Acesso em 23/04/2023
- [13] EPE – Demanda Energética do Setor de Transportes, Disponível em: <https://www.epe.gov.br/sites-pt/publicacoes-dados-abertos/publicacoes/Paginas/Plano-Decenal-de-Expansao-de-Energia-2031.aspx>. Acesso em 05/08/2022.
- [14] Governo do estado de Ceará, Disponível em: <https://www.ceara.gov.br/2020/02/07/seminario-discute-producao-de-combustiveis-alternativos-para-aviacao-no-ceara/>. Acesso em 05/08/2022.
- [15] National Renewable Energy Laboratory. Disponível em: <https://www.nrel.gov/docs/fy22osti/80220.pdf>. Acesso em 05/08/2022.
- [16] G. Buticchi, P. Wheeler and D. Boroyevich, "The More-Electric Aircraft and Beyond," in Proceedings of the IEEE, vol. 111, no. 4, pp. 356-370, April 2023, <https://doi.org/10.1109/JPROC.2022.3152995>.
- [17] K. Ni et al., "Electrical and Electronic Technologies in More-Electric Aircraft: A Review," in IEEE Access, vol. 7, pp. 76145-76166, 2019, <https://doi.org/10.1109/ACCESS.2019.2921622>.
- [18] Aircraft Electric Power Characteristics, Military Standard MIL-STD-704, Department of Defense Standard, 2004.
- [19] A. Barzkar and M. Ghassemi, "Electric Power Systems in More and All Electric Aircraft: A Review," in IEEE Access, vol. 8, pp. 169314-169332, 2020, <https://doi.org/10.1109/ACCESS.2020.3024168>.
- [20] J. Chen, C. Wang and J. Chen, "Investigation on the Selection of Electric Power System Architecture for Future More Electric Aircraft," in IEEE Transactions on Transportation Electrification, vol. 4, no. 2, pp. 563-576, June 2018, <https://doi.org/10.1109/TTE.2018.2792332>.

- [21] Qianwen Xu, Jiawei Chen, Peng Wang, Changyun Wen, Lee Meng Yeong and R. Simanjorang, "Investigation of the future MEA power system architecture-from the perspective of system stability," 8th IET International Conference on Power Electronics, Machines and Drives (PEMD 2016), Glasgow, UK, 2016, pp. 1-6, <https://doi.org/10.1049/cp.2016.0157>.
- [22] J. Benzaquen, F. Fateh, M. B. Shadmand and B. Mirafzal, "Performance Comparison of Active Rectifier Control Schemes in More Electric Aircraft Applications," in IEEE Transactions on Transportation Electrification, vol. 5, no. 4, pp. 1470-1479, Dec. 2019, <https://doi.org/10.1109/TTE.2019.2940847>.
- [23] V. Madonna, P. Giangrande and M. Galea, "Electrical Power Generation in Aircraft: Review, Challenges, and Opportunities," in IEEE Transactions on Transportation Electrification, vol. 4, no. 3, pp. 646-659, Sept. 2018, <https://doi.org/10.1109/TTE.2018.2834142>.
- [24] M. Barnes, D. S. Vilchis-Rodriguez, X. Pei, R. Shuttleworth, O. Cwikowski and A. C. Smith, "HVDC Circuit Breakers—A Review," IEEE Access, vol. 8, pp. 211829-211848, 2020, <https://doi.org/10.1109/ACCESS.2020.3039921>.
- [25] Enviromental Conditions and Test Procedures for Airborne Equipment - RTCA DO-160F. RTCA Inc. Disponível em: <https://www.rtca.org>.
- [26] Aerospace Characteristics of Aircraft Electrical Systems, Standard ISO 1540, 2006. Disponível em: <https://www.iso.org/standard/42067.html>.
- [27] E. Matheson and K. Karimi, "Power Quality Specification Development for More Electric Airplane Architectures," SAE Technical Paper Series, 2002. <https://doi.org/10.4271/2002-01-3206>
- [28] N. Keshmiri, D. Wang, B. Agrawal, R. Hou and A. Emadi, "Current Status and Future Trends of GaN HEMTs in Electrified Transportation," in IEEE Access, vol. 8, pp. 70553-70571, 2020, <https://doi.org/10.1109/ACCESS.2020.2986972>.
- [29] M. Najjar, A. Kouchaki, J. Nielsen, R. Dan Lazar and M. Nyman, "Design Procedure and Efficiency Analysis of a 99.3% Efficient 10 kW Three-Phase Three-Level Hybrid GaN/Si Active Neutral Point Clamped Converter," in IEEE Transactions on Power Electronics, vol. 37, no. 6, pp. 6698-6710, June 2022, <https://doi.org/10.1109/TPEL.2021.3131955>.

- [30] L. Schrittwieser, M. Leibl, M. Haider, F. Thöny, J. W. Kolar and T. B. Soeiro, "99.3% Efficient Three-Phase Buck-Type All-SiC SWISS Rectifier for DC Distribution Systems," in IEEE Transactions on Power Electronics, vol. 34, no. 1, pp. 126-140, Jan. 2019, <https://doi.org/10.1109/TPEL.2018.2817074>.
- [31] A. Yadav, S. N. Singh and S. P. Das, "Modular multi-level converter topologies: Present status and key challenges," in 4th IEEE Uttar Pradesh Section International Conference on Electrical, Computer and Electronics (UPCON), 2017, pp. 280-288, <https://doi.org/10.1109/UPCON.2017.8251061>.
- [32] J. W. Kolar and T. Friedli, "The Essence of Three-Phase PFC Rectifier Systems—Part I," in IEEE Transactions on Power Electronics, vol. 28, no. 1, pp. 176-198, Jan. 2013, <https://doi.org/10.1109/TPEL.2012.2197867>.
- [33] T. Friedli, M. Hartmann and J. W. Kolar, "The Essence of Three-Phase PFC Rectifier Systems—Part II," in IEEE Transactions on Power Electronics, vol. 29, no. 2, pp. 543-560, Feb. 2014, <https://doi.org/10.1109/TPEL.2013.2258472>.
- [34] H. Wu, J. Wang, T. Liu, T. Yang and Y. Xing, "Modified SVPWM-Controlled Three-Port Three-Phase AC–DC Converters With Reduced Power Conversion Stages for Wide Voltage Range Applications," in IEEE Transactions on Power Electronics, vol. 33, no. 8, pp. 6672-6686, Aug. 2018, <https://doi.org/10.1109/TPEL.2017.2761906>.
- [35] V. Meenakshi, M. Kavitha, A. S. M. Antony, V. V. Kaveri, S. Radhika and D. G. Immanuel, "T-Type Three Phase Inverter with Grid Connected System used in Renewable Energy Resources," 2023 International Conference on Sustainable Computing and Data Communication Systems (ICSCDS), Erode, India, 2023, pp. 929-936, <https://doi.org/10.1109/ICSCDS56580.2023.10104833>.
- [36] T. Wickramasinghe, B. Allard and N. Allali, "A review on single-phase, single-stage OBC topologies for EVs with 48 V powertrains," IECON 2021 – 47th Annual Conference of the IEEE Industrial Electronics Society, Toronto, ON, Canada, 2021, pp. 1-7, <https://doi.org/10.1109/IECON48115.2021.9589496>.
- [37] B. R. de Almeida, J. W. M. de Araújo, P. P. Praça and D. de S. Oliveira, "A Single-Stage Three-Phase Bidirectional AC/DC Converter With High-Frequency Isolation and PFC," in IEEE Transactions on Power Electronics, vol. 33, no. 10, pp. 8298-8307, Oct. 2018, <https://doi.org/10.1109/TPEL.2017.2775522>.

- [38] Marcus A. A. Bezerra et al. Conversor CA-CC Isolado para Aplicações de Geração Eólica Offshore com Transmissão HVDC, em Revista Eletrônica de Potência – SOBRAEP, vol. 27, no. 3, pp. 254-266, Set. 2022, <https://doi.org/10.18618/REP.2022.3.0051>
- [39] J. Liu, D. Dong and D. Zhang, "Hybrid Modular Multilevel Rectifier: A New High-Efficient High-Performance Rectifier Topology for HVDC Power Delivery," in IEEE Transactions on Power Electronics, vol. 36, no. 8, pp. 8583-8587, Aug. 2021, <https://doi.org/10.1109/TPEL.2021.3051959>.
- [40] Y. Zhang et al., "A SiC and Si Hybrid Five-Level Unidirectional Rectifier for Medium Voltage Applications," in IEEE Transactions on Industrial Electronics, vol. 69, no. 8, pp. 7537-7548, Aug. 2022, <https://doi.org/10.1109/TIE.2021.3104579>.
- [41] Módulo de SiC em meia ponte - CAB425M12XM3, Datasheet. Disponível em: <https://assets.wolfspeed.com/uploads/2020/12/cab425m12xm3.pdf>. Acesso em: 08/03/2024
- [42] H. Wu, M. Han and K. Sun, "Dual-Voltage-Rectifier-Based Single-Phase AC–DC Converters With Dual DC Bus and Voltage-Sigma Architecture for Variable DC Output Applications," IEEE Transactions on Power Electronics, vol. 34, no. 5, pp. 4208-4222, May 2019, <https://doi.org/10.1109/TPEL.2018.2864584>.
- [43] F. Wu, K. Wang and S. Luo, "Hybrid-Three-Level Current-Fed SeriesResonant Isolated DC-DC Converter and its Optimization Modulation Strategy," IEEE Transactions on Power Electronics, vol. 37, no. 1, pp. 196-205, Jan. 2022, <https://doi.org/10.1109/TPEL.2021.3098452>.
- [44] S. C. Moon and C. -H. Chiu, "Hybrid-Mode PFM Control for LLC Resonant Converter," IEEE Transactions on Power Electronics, vol. 37, no. 1, pp. 274-284, Jan. 2022, <https://doi.org/10.1109/TPEL.2021.3099779>.
- [45] X. Tang, Y. Xing, H. Wu and J. Zhao, "An Improved LLC Resonant Converter With Reconfigurable Hybrid Voltage Multiplier and PWMPlus-PFM Hybrid Control for Wide Output Range Applications," IEEE Transactions on Power Electronics, vol. 35, no. 1, pp. 185-197, Jan. 2020, <https://doi.org/10.1109/TPEL.2019.2914945>.
- [46] Z. Li, T. Wu, G. Zhang and R. Yang, "Hybrid modulation method combining variable frequency and double phase-shift for a 10 kW LLC resonant converter," IET

Power Electronics, vol. 11, no. 13, pp. 2161-2169, Nov. 2018, <https://doi.org/10.1049/iet-pel.2018.5304>.

[47] S. Jiang, W. Zhang, B. Liu and F. Wang, "Automatic resonant frequency tracking in unregulated LLC resonant converters based on total resonant current harmonic calculation," 2013 IEEE Energy Conversion Congress and Exposition, 2013, pp. 4193-4198, <https://doi.org/10.1109/ECCE.2013.6647259>.

[48] Z. Fang, Z. Huang, H. Jing, G. Hu, J. Wang and L. Tao, "A Novel Modulation Method of LLC Resonant Converter with Linear Model and High Efficiency," 2019 IEEE Energy Conversion Congress and Exposition (ECCE), 2019, pp. 5152-5155, <https://doi.org/10.1109/ECCE.2019.8913199>.

[49] T. J. Formica, H. A. Khan and M. G. Pecht, "The Effect of Inverter Failures on the Return on Investment of Solar Photovoltaic Systems," IEEE Access, vol. 5, pp. 21336-21343, 2017, <https://doi.org/10.1109/ACCESS.2017.2753246>.

[50] T. B. Soeiro and J. W. Kolar, "Analysis of High-Efficiency Three-Phase Two- and Three-Level Unidirectional Hybrid Rectifiers," IEEE Transactions on Industrial Electronics, vol. 60, no. 9, pp. 3589-3601, Sept. 2013, <https://doi.org/10.1109/TIE.2012.2205358>.

[51] M. Hartmann, J. Miniboeck, H. Ertl and J. W. Kolar, "A Three-Phase Delta Switch Rectifier for Use in Modern Aircraft," in IEEE Transactions on Industrial Electronics, vol. 59, no. 9, pp. 3635-3647, Sept. 2012, <https://doi.org/10.1109/TIE.2011.2158770>.

[52] X. Meng, M. Chen, M. He, X. Wang and J. Liu, "A Novel High Power Hybrid Rectifier With Low Cost and High Grid Current Quality for Improved Efficiency of Electrolytic Hydrogen Production," in IEEE Transactions on Power Electronics, vol. 37, no. 4, pp. 3763-3768, April 2022, <https://doi.org/10.1109/TPEL.2021.3126725>.

[53] A. O. C. Neto, A. L. Soares, V. F. Barbosa, D. B. Rodrigues, L. C. G. Freitas and G. B. De Lima, "Analysis and Development of a Bidirectional Three-Phase Hybrid Rectifier for DC Microgrids with Distributed Energy Resources," in IEEE Journal of Emerging and Selected Topics in Power Electronics, <https://doi.org/10.1109/JESTPE.2023.3284759>.

- [54] SiC-JFET em TO-247-4, UF3C065040K4S Datasheet. Disponível em: <https://www.qorvo.com/products/p/UF3C065040K4S>. Acesso em 08/03/2024
- [55] Rodrigues, D. B. Retificador Híbrido Trifásico com Fator de Potência Unitário, Alta Densidade de Potência e Ampla Faixa de Regulação de Tensão no Barramento em Corrente Contínua para Conexão em Microrredes. Tese de Doutorado, Universidade Federal de Uberlândia, 2016.
- [56] L. C. G. Freitas, M. G. Simoes, C. A. Canesin and L. C. de Freitas, "Programmable PFC based hybrid multipulse power rectifier for ultra clean power application," IEEE Transactions on Power Electronics, vol. 21, no. 4, pp. 959-966, July 2006, <https://doi.org/10.1109/TPEL.2006.876859>.
- [57] How to design a high-efficiency 48V, 1kW LLC resonant converter in a 1/8th brick size using eGaN FETs. Disponível em: <https://epc-co.com/epc/Products/DemoBoards/EPC9149.aspx>. Acesso em: 27/08/2021.
- [58] 22kW Bi-directional High Efficiency DC/DC Converter. Disponível em: <https://www.wolfspeed.com/products/power/reference-designs/crd-22dd12n>. Acesso em 15/09/2021.
- [59] Y. Hu, J. Shao and T. S. Ong, "6.6 kW High-Frequency Full-Bridge LLC DC/DC Converter with SiC MOSFETs," 2019 IEEE Energy Conversion Congress and Exposition (ECCE), 2019, pp. 6848-6853, <https://doi.org/10.1109/ECCE.2019.8912805>.
- [60] S. Zhang and X. Wu, "Low Common Mode Noise Half-Bridge LLC DC–DC Converter With an Asymmetric Center Tapped Rectifier," in IEEE Transactions on Power Electronics, vol. 34, no. 2, pp. 1032-1037, Feb. 2019, <https://doi.org/10.1109/TPEL.2018.2854824>.
- [61] B. Gu, C. Lin, B. Chen, J. Dominic and J. Lai, "Zero-Voltage-Switching PWM Resonant Full-Bridge Converter With Minimized Circulating Losses and Minimal Voltage Stresses of Bridge Rectifiers for Electric Vehicle Battery Chargers," in IEEE Transactions on Power Electronics, vol. 28, no. 10, pp. 4657-4667, Oct. 2013, <https://doi.org/10.1109/TPEL.2012.2233762>.
- [62] Resonant LLC Converter: Operation and Design. Disponível em: <https://www.infineon.com/>. Acesso em 30/08/2021.

- [63] Diodo de SiC, TO-247 C4D15120D. Disponível em: <<https://assets.wolfspeed.com/uploads/2020/12/C4D15120D.pdf>>. Acesso em 17/06/2023.
- [64] M. H. Ahmed, F. C. Lee and Q. Li, "Two-Stage 48-V VRM With Intermediate Bus Voltage Optimization for Data Centers," IEEE Journal of Emerging and Selected Topics in Power Electronics, vol. 9, no. 1, pp. 702-715, Feb. 2021, <https://doi.org/10.1109/JESTPE.2020.2976107>.
- [65] C. Fei, M. H. Ahmed, F. C. Lee and Q. Li, "Two-Stage 48 V-12 V/6 V 1.8 V Voltage Regulator Module With Dynamic Bus Voltage Control for Light-Load Efficiency Improvement," IEEE Transactions on Power Electronics, vol. 32, no. 7, pp. 5628-5636, July 2017, <https://doi.org/10.1109/TPEL.2016.2605579>.
- [66] D. Xu, G. Zhou, F. Liu, R. Huang and H. Ma, "Front-End Bidirectional Symmetric Bipolar Outputs LLC DC-Transformer (DCX) for a half-bridge Class-D Audio Amplifier," IEEE Transactions on Industrial Electronics, vol. 68, no. 11, pp. 10750-10760, Nov. 2021, <https://doi.org/10.1109/TIE.2020.3038071>.
- [67] Erickson, R. W. Maksimovi, D. Fundamentals of Power Electronics. 2^a. Ed. New York: Kluwer Academic/Plenum Publishers, 2001. <https://doi.org/10.1007/978-0-306-48048-5>
- [68] Barbi. I, Pötker. F, Soft Commutation Isolated DC-DC Converters, Power Systems, Ed. Springer, 1st ed. 2019
- [69] Barbi. I, Projetos de Fontes Chaveadas, Eletrônica de Potência, Ed. Do Autor, 3^a edição, janeiro de 2014.
- [70] M. Baker, S. Jain and M. B. Shadmand, "GaN based High Frequency Power Electronic Interfaces: Challenges, Opportunities, and Research Roadmap," 2021 IEEE Power and Energy Conference at Illinois (PECI), 2021, pp. 1-7, <https://doi.org/10.1109/PECI51586.2021.9435203>.
- [71] Processador Digital de Sinais TMS320F28379D, Datasheet. Disponível em: <https://www.ti.com/product/TMS320F28379D>. Acesso em 17/06/2023.
- [72] Lopes, Alexsandro, "Desenvolvimento de estruturas paralelas em FPGA e implementação de controladores digitais para aplicação em filtros ativos de potência,

Dissertação de Mestrado, Universidade Tecnológica Federal do Paraná. Programa de Pós-Graduação em Engenharia Elétrica, Pato Branco/ PR, 2012, pp 91.

[73] The difference, characteristics and uses of FPGA and DSP. Disponível em: <https://www.fpgakey.com/technology/details/the-difference-and-uses-of-fpga-and-dsp>. Acesso em 27/05/2022.

[74] Tiago Kommers Jappe, Ramiro R. Polla, André L. Fuerback, Marcelo Lobo Heldwein, Thiago Batista Soeiro, Roberto Andrich, An FPGA-based single-phase interleaved boost-type PFC rectifier employing GaN HEMT Devices, Revista Eletrônica de Potência – SOBRAEP, V. 19 – N. 4, Novembro 2014. <https://doi.org/10.18618/REP.2014.4.414422>

[75] Murilo K. Lohn, André S. de Carvalho, José Augusto Arbuseri, Tiago Kommers Jappe, Samir Ahmad Mussa, Retificador PFC Monofásico Bridgeless Baseado em Interruptores GaN HEMT Empregando Estratégia de Modulação PWM de Alta Resolução Implementada em FPGA, Revista Eletrônica de Potência – SOBRAEP, V. 24 -N. 2, junho 2019. <https://doi.org/10.18618/REP.2019.2.00271>

[76] Control Law Accelerator Hands-on Workshop. Disponível em <https://training.ti.com/node/1139642> Acesso em 06/06/2022.

[77] Francisco José Viglus, Marcelo Lobo Heldwein, Emulador de Resistência de Alto Desempenho Baseado em Conversor Multinível Bidirecional e Dispositivos GaN, Revista Eletrônica de Potência – SOBRAEP, V. 25 - N 1, Março 2020. <https://doi.org/10.18618/REP.2020.1.0070>

[78] C2000 Workshops. Disponível em <https://training.ti.com/c2000-workshops>. Acesso em: 06/06/2022.

[79] C2000 Academy. Disponível em https://dev.ti.com/tirex/explore/node?node=AOpze8ebskysmgASY3VKSA_jEBbtmC_LATEST. Acesso em: 06/06/2022.

[80] F2837xD Microcontroller Multi-Day Workshop. Disponível em https://software-dl.ti.com/trainingTTO/trainingTTO_public_sw/c28x28379/F2837xD_Microcontroller_MDW_2-0.pdf. Acesso em 06/06/2022.

- [81] R. Teodorescu, M. Liserre, P. Rodrigues, "Grid Synchronization in Single-Phase Power Converters," in *Grid Converters for Photovoltaic and Wind Power Systems*, USA, NY, New York: Wiley, 2011.
- [82] Gate Driver Miller Clamp, UCC5350MC, Datasheet. Disponível em: <https://www.ti.com/product/UCC5350/>. Acesso em 17/06/2023.
- [83] H. Bai, A. Taylor, W. Guo, G. Szatmari-Voicu, N. Wang, J. Patterson, and J. Kane, "Design of an 11 kw power factor correction and 10 kw zvs dc/dc converter for a high-efficiency battery charger in electric vehicles," *IET Power Electronics*, vol. 5, no. 9, pp. 1714–1722, Nov. 2012, <https://doi.org/10.1049/iet-pel.2012.0261>
- [84] V. F. Barbosa, O. F. A. Eleodoro, D. B. Rodrigues, G. B. Lima and L. C. G. Freitas, "Three-Phase Hybrid Rectifier for HVDC Distribution System in More Electric Aircrafts," in *IEEE Transactions on Power Electronics*, <https://doi.org/10.1109/TPEL.2023.3295613>.
- [85] M. R. Ahmed, R. Todd and A. J. Forsyth, "Predicting SiC MOSFET Behavior Under Hard-Switching, Soft-Switching, and False Turn-On Conditions," in *IEEE Transactions on Industrial Electronics*, vol. 64, no. 11, pp. 9001-9011, Nov. 2017, <https://doi.org/10.1109/TIE.2017.2721882>.
- [86] Enabling High Voltage Signal Isolation Quality and Reliability. Texas Instruments, 2017. Disponível em: <https://www.ti.com>. Acesso em: 07/06/2024.
- [87] High Accuracy Current Sensor IC with 1.5MHz 3dB Bandwidth and Isolation $\pm 5A$, $\pm 20A$, $\pm 50A$, 3.3V, Fixed Gain. Folha de dados. Disponível em: <https://br.mouser.com/new/aceinna/aceinna-mca1101-sensor-ics/>. Acesso em: 07/06/2024.
- [88] AMC3330 Precision, $\pm 1V$ Input, Reinforced Isolated Amplifier With Integrated DC/DC Converter. Folha de dados. Disponível em: <https://www.ti.com/product/AMC3330>. Acesso em: 07/06/2024.
- [89] Generic Standard on Printed Board Design, novembro de 2012. Norma: Disponível em <https://shop.ipc.org/ipc-2221/ipc-2221-standard-only/Revision-b/english>

- [90] J. C. Hernandez, L. P. Petersen and M. A. E. Andersen, "Low capacitive inductors for fast switching devices in active power factor correction applications," 2014 International Power Electronics Conference (IPEC-Hiroshima 2014 - ECCE ASIA), Hiroshima, Japan, 2014, pp. 3352-3357, <https://doi.org/10.1109/IPEC.2014.6870168>.
- [91] How to Design an Efficient and Cost-Competitive Choke in PFC Applications, Technical Article, Yuan Tao, Julho 2017. Disponível em: <https://www.ti.com/>. Acesso em 07/06/2024.