UNIVERSIDADE FEDERAL DE UBERLÂNDIA
FACULDADE DE ENGENHARIA ELÉTRICA
PÓS-GRADUAÇÃO EM ENGENHARIA ELÉTRICA

ANÁLISE, PROJETO E CONCEPÇÃO DE ESTRUTURAS INVERSORAS UTILIZANDO A TOPOLOGIA DE MCMURRAY

CARLOS ALBERTO GALLO

OUTUBRO
2005

UNIVERSIDADE FEDERAL DE UBERLÂNDIA
FACULDADE DE ENGENHARIA ELÉTRICA
PÓS-GRADUAÇÃO EM ENGENHARIA ELÉTRICA

ANÁLISE, PROJETO E CONCEPÇÃO DE ESTRUTURAS INVERSORAS UTILIZANDO A TOPOLOGIA DE MCMURRAY

Tese apresentada por Carlos Alberto Gallo submetida à Universidade Federal de Uberlândia, para a obtenção do título de Doutor em Ciências, aprovada em 06/10/2005 pela seguinte banca examinadora:

Prof. João Batista Vieira Jr., Dr. Eng. (Orientador – UFU)
Prof. Ernane Antônio Alves Coelho, Dr. Eng. (UFU)
Prof. João Carlos de Oliveira, Dr. Eng. (UFU)
Prof. Luiz Carlos de Freitas, Dr. Eng. (UFU)
Prof. Vera Lucia Donizeti de Sousa Franco, Dr. Eng. (UFU)
Prof. Pedro Francisco Donoso, Dr. Eng. (UFMG)
Prof. João Antônio Correa Pinto, Dr. Eng. (CEFET-PA)

ANÁLISE, PROJETO E CONCEPÇÃO DE ESTRUTURAS INVERSORAS UTILIZANDO A TOPOLOGIA DE MCMURRAY

Tese apresentada por Carlos Alberto Gallo à Universidade Federal de Uberlândia como parte dos requisitos para obtenção do título de Doutor em Ciências.

Prof. João Batista Vieira Jr, Dr. Eng.	Prof. Darizon Alves de Andrade, PhD Eng.
Orientador Acadêmico	Coordenador do Curso de Pós-Graduação

A minha noiva Juliana Martins e

aos meus pais, José Manoel e Nanci de Lurdes.

A grandeza não consiste em receber as honras,

mas sim em merece-las.

Aristóteles

AGRADECIMENTOS

Neste momento, gostaria de agradecer as pessoas, que de alguma forma contribuíram para a realização deste trabalho.

Ao Prof. João Batista Vieira Jr. pela orientação e dedicação, que foram fatores decisivos para o desenvolvimento do trabalho.

Ao amigo Fernando Lessa Tofoli, pela dedicação e parceria. Aos colegas do Núcleo de Eletrônica de Potência, pelo incentivo nos momentos de desânimo, orientação e companheirismo, o que me ajudou no decorrer do curso.

Aos amigos Frederico e Marcos Tadeu, pelo apoio e orientação em projetos.

À Universidade Federal de Uberlândia e FAPEMIG, pelo apoio financeiro.

Aos meus pais, José Manoel e Nanci de Lurdes, que sempre me incentivaram a estudar. A Juliana, pelo carinho e compreensão. Aos meus irmãos Alexandre e Marcelo, pelo apoio e companheirismo.

À Prof. Vera Lúcia, por seu empenho e contribuição inestimáveis para este trabalho. Aos Profs. João Pinto e Pedro Donoso, pelas valorosas contribuições para a elaboração da tese final.

A Marli Junqueira Buzzi, secretária da pós-graduação, por sua prontidão, eficiência e simpatia, que a tornam um exemplo a ser seguido.

A Deus, por ter me dado força e sabedoria para enfrentar as dificuldades.

Gallo, C. A. "Análise, Projeto e Concepção de Estruturas Inversoras Utilizando a Topologia de McMurray – Uberlândia, FEELT-UFU, 2005, 138p.

Este trabalho apresenta o estudo completo incluindo princípios de operação e expressões relevantes para o projeto de um inversor em ponte completa monofásico. Com o intuito de obter tensão de saída aproximadamente senoidal com distorção harmônica total reduzida, uma técnica de modulação modificada é aplicada às chaves do conversor. Para minimizar as perdas por comutação e obter maior eficiência energética do conversor, três estruturas que utilizam uma célula ativa de auxílio à comutação são propostas, as quais podem operar em alta freqüência.

COMUTAÇÃO SUAVE, DISTORÇÃO HARMÔNICA, INVERSORES, TOPOLOGIAS EM PONTE COMPLETA.

Gallo, C. A. "Analysis, Design and Implementation of Inverter Topologies Using The McMurray Topology", Uberlândia, 2005, 138pp.

This work fulfills the study of a single-phase full bridge converter, including operating principles and relevant expressions for the design of a prototype. In order to obtain nearly sinusoidal output voltage with reduced total harmonic distortion, a modified modulation technique is applied to the converter. Three possible configurations operating at high frequency are associated with an active commutation cell, so that switching losses are minimized and high efficiency is achieved.

SOFT SWITCHING, HARMONIC DISTORTION, INVERTERS, FULL-BRIDGE TOPOLOGIES.

SUMÁRIO

LISTA DE FIGURAS X

LISTA DE TABELAS XIV

LISTA DE ABREVIATURAS E SÍMBOLOS XV

INTRODUÇÃO GERAL 1

CAPÍTULO 1 CONSIDERAÇÕES SOBRE OS INVERSORES 5

1.1 - CONSIDERAÇÕES INICIAIS 5

1.2 - ELETRÔNICA DE POTÊNCIA 5

1.3 - PRINCIPAIS TIPOS DE INVERSORES 9

1.3.1 - INVERSOR DE ONDA QUADRADA 9

1.3.2 - INVERSOR DE ONDA QUASE QUADRADA 10

1.3.3 - INVERSOR FERRORESSONANTE 11

1.3.4 - INVERSOR COM VÁRIOS NÍVEIS DE TENSÃO 12

1.3.5 - INVERSOR UTILIZANDO MODULAÇÃO POR LARGURA DE PULSO 13

1.3.6 - INVERSORES ALIMENTADOS COM FONTE DE TENSÃO E COMUTAÇÃO SUAVE 15

1.3.7 - INVERSOR COM BARRAMENTO CC RESSONANTE 16

1.3.8 - INVERSOR COM BARRAMENTO CC RESSONANTE E LIMITAÇÃO DA SOBRETENSÃO 19

1.3.9 - INVERSOR PWM COM BARRAMENTO QUASE RESSONANTE 21

1.3.10 - INVERSOR COM POLO RESSONANTE AUXILIAR 23

1.3.11 - INVERSOR/RETIFICADOR PWM COM COMUTAÇÃO SOB TENSÃO NULA UTILIZANDO CIRCUITO AUXILIAR 26

1.4 - APLICAÇÃO DOS INVERSORES 29

1.5 - SISTEMAS DE CONTROLE APLICADOS A INVERSORES 32

1.6 - OBJETIVOS DO TRABALHO 36

CAPÍTULO 2 INVERSOR DE MCMURRAY 38

2.1 - CONSIDERAÇÕES INICIAIS 38

2.2 - APRESENTAÇÃO DA TOPOLOGIA 38

2.3 - TÉCNICA DE MODULAÇÃO 39

2.3.1 - EVOLUÇÃO DA MODULAÇÃO PWM 39

2.3.2 - ESCOLHA DA TÉCNICA DE MODULAÇÃO ADEQUADA 43

2.3.2.1 - MODULAÇÃO COMPLEMENTAR 44

2.3.2.2 - OBTENÇÃO DO CIRCUITO LÓGICO PARA GERAÇÃO DOS PULSOS DE COMANDO 46

2.4 - INVERSOR DE MCMURRAY COM COMUTAÇÃO SUAVE 52

2.4.1 - ESTRUTURA DO INVERSOR PROPOSTO 52

2.4.2 - DIAGRAMA DE BLOCOS DO CONVERSOR 53

2.5 - CONSIDERAÇÕES FINAIS 56

CAPÍTULO 3 ANÁLISE QUALITATIVA 57

3.1 - CONSIDERAÇÕES INICIAIS 57

3.2 - VARIAÇÕES TOPOLÓGICAS DO INVERSOR DE MCMURRAY 57

3.2.1 - INVERSOR DE MCMURRAY COM DIODO EM ANTIPARALELO 57

3.2.2 - INVERSOR DE MCMURRAY COM DIODO EM SÉRIE 63

3.2.3 - INVERSOR DE MCMURRAY COM DIODO SÉRIE COMUTANDO TOTALMENTE SUAVE 69

3.3 - CONSIDERAÇÕES FINAIS 76

CAPÍTULO 4 PROJETO DO CONVERSOR 77

4.1 - CONSIDERAÇÕES INICIAIS ____ 77

4.2 - METODOLOGIA DE PROJETO ____ 77

4.2.1 - ESPECIFICAÇÕES PRELIMINARES ____ 77

4.2.2 - DETERMINAÇÃO DA CORRENTE DE PICO NOS INDUTORES RESSONANTES ____ 78

4.2.3 - DETERMINAÇÃO DOS INDUTORES RESSONANTES ____ 79

4.2.4 - DETERMINAÇÃO DAS FREQÜÊNCIAS DE RESSONÂNCIA ____ 85

4.2.5 - DETERMINAÇÃO DOS CAPACITORES RESSONANTES ____ 85

4.3 - IMPLEMENTAÇÃO DOS CIRCUITOS LÓGICOS DE CONTROLE ____ 86

4.3.1 - INVERSOR DE MCMURRAY COM DIODO EM ANTIPARALELO E EM SÉRIE COM A CHAVE ____ 86

4.3.2 - INVERSOR DE MCMURRAY COM DIODO EM SÉRIE COM A CHAVE E COMUTAÇÃO TOTALMENTE SUAVE ____ 95

4.4 - CONSIDERAÇÕES FINAIS ____ 96

CAPÍTULO 5 RESULTADOS DE SIMULAÇÃO E EXPERIMENTAIS ____ 97

5.1 - CONSIDERAÇÕES INICIAIS ____ 97

5.2 - RESULTADOS ANALÍTICOS ____ 97

5.2.1 - INVERSOR DE MCMURRAY UTILIZANDO DIODO EM PARALELO COM A CHAVE ____ 98

5.2.2 - INVERSOR DE MCMURRAY UTILIZANDO DIODO EM SÉRIE COM A CHAVE ____ 100

5.2.3 - INVERSOR DE MCMURRAY TOTALMENTE SUAVE ____ 103

5.3 - CONSIDERAÇÕES FINAIS ____ 106

CONCLUSÃO GERAL ____ 107

REFERÊNCIAS BIBLIOGRÁFICAS ____ 110

LISTA DE FIGURAS

Figura 1.1 – Diagrama de blocos simplificado de um típico sistema eletrônico de potência. 6

Figura 1.2 – Inversor trifásico. 9

Figura 1.3 – Inversor monofásico de onda quadrada alimentando carga indutiva. 10

Figura 1.4 – Forma de onda quase quadrada. 11

Figura 1.5 – Estágio ferroressonante. 11

Figura 1.6 – Diagrama esquemático de conversor com vários níveis de tensão. 13

Figura 1.7 – Forma de onda e espectro de sinal multinível. 13

Figura 1.8 – Sinal PWM a dois níveis. 14

Figura 1.9 – Topologias de inversor em ponte completa e em meia ponte. 15

Figura 1.10 – Inversor com barramento CC ressonante. 17

Figura 1.11 – Formas de onda do conversor. 17

Figura 1.12 – Sinal modulado em densidade e sua componente fundamental. 19

Figura 1.13 – Circuito com limitação da sobretensão. 19

Figura 1.14 – Formas de onda no circuito ressonante. 21

Figura 1.15 – Inversor com barramento CC quase ressonante. 22

Figura 1.16 – Formas de onda do inversor com barramento CC quase ressonante. 23

Figura 1.17 – Ramo de inversor com polo ressonante auxiliar. 24

Figura 1.18 – Formas de onda do inversor com pólo ressonante auxiliar. 26

Figura 1.19 – Inversor PWM com circuito auxiliar para comutação suave. 27

Figura 1.20 – Formas de onda do inversor PWM com circuito auxiliar para comutação suave. 28

Figura 1.21 – Diagrama de uma UPS do tipo "double conversion". 30

Figura 2.1 – Classificação dos inversores quanto ao princípio de comutação. 38

Figura 2.2 – Inversor monofásico em ponte completa. 39

Figura 2.3 – Formas do inversor utilizando técnica de controle monopulso. 41

Figura 2.4 – Comportamento das componentes harmônicas do sistema. 42

Figura 2.5 – Diferentes formas de recortar a tensão de saída. 43

Figura 2.6 – Forma de onda de saída do inversor sem a modulação PWM normal. 44

Figura 2.7 – Forma de onda de saída do inversor com a modulação complementar. 44

Figura 2.8 – Diagrama temporal correspondente à operação DPC. 46

Figura 2.9 – Representação da lógica de geração dos pulsos de disparo. 48

Figura 2.10 – Mapa de Karnaugh para A1. 49

Figura 2.11 – Mapa de Karnaugh para B1. 49

Figura 2.12 – Circuito lógico representando a estratégia de controle. 51

Figura 2.13 – Estágio de potência do inversor. 53

Figura 2.14 – Diagrama de blocos representando a operação do inversor em malha fechada. 54

Figura 2.15 – Lógica de modulação normal e complementar. 55

Figura 2.16 – Demonstração da forma de onda de referencia imposta na estratégia de controle. 55

Figura 2.17 – Lógica de controle para as chaves do ramo de alta freqüência. 56

Figura 3.1 – Inversor de McMurray utilizando diodos em antiparalelo com as chaves. 58

Figura 3.2 – Formas de onda teóricas. 59

Figura 3.3 – Primeira etapa. 60

Figura 3.4 – Segunda etapa. 60

Figura 3.5 – Terceira etapa. 61

Figura 3.6 – Quarta etapa. 61

Figura 3.7 – Quinta etapa de operação. 62

Figura 3.8 – Sexta etapa. 62

Figura 3.9 – Sétima etapa. 63

Figura 3.10 – Oitava etapa. 63

Figura 3.11 – Inversor de McMurray utilizando diodos em série com as chaves. 64

Figura 3.12 – Formas de onda teóricas. 65

Figura 3.13 – Primeira etapa. 66

Figura 3.14 – Segunda etapa. 66

Figura 3.15 – Terceira etapa. 67

Figura 3.16 – Quarta etapa. 67

Figura 3.17 – Quinta etapa. 68

Figura 3.18 – Sexta etapa. 68

Figura 3.19 – Sétima etapa. 69

Figura 3.20 – Inversor de McMurray com diodo série comutando totalmente suave. 69

Figura 3.21 – Formas de onda teóricas. 70

Figura 3.22 – Primeira etapa. 71

Figura 3.23 – Segunda etapa. 71

Figura 3.24 – Terceira etapa. 72

Figura 3.25 – Quarta etapa. 72

Figura 3.26 – Quinta etapa. 73

Figura 3.27 – Sexta etapa. 73

Figura 3.28 – Sétima etapa. 74

Figura 3.29 – Oitava etapa. 74

Figura 3.30 – Nona etapa. 75

Figura 3.31 – Décima etapa. 75

Figura 3.32 – Décima primeira etapa. 76

Figura 3.33 – Décima segunda etapa. 76

Figura 4.1 – Diagrama completo do inversor de McMurray. 87

Figura 4.2 – Configuração adotada para o oscilador. 88

Figura 4.3 – Configuração adotada para geração do sinal triangular. 88

Figura 4.4 – Geração dos sinais D e C. 89

Figura 4.5 – Geração dos sinais F e S. 89

Figura 4.6 – Geração dos sinais P e N. 90

Figura 4.7 – Geração dos sinais para diferenciação entre modulação normal e complementar. 91

Figura 4.8 – Geração dos sinais das chaves de alta freqüência (SPWM). 92

Figura 4.9 – Retificador de precisão. 93

Figura 4.10 – Circuito monoestavel. 93

Figura 4.11 – Circuito de isolamento de pulso. 94

Figura 4.12 – Circuito de acionamento das chaves. 94

Figura 4.13 – Geração de pulsos complementares para comutação totalmente suave. 95

Figura 4.14 – Lógica para aplicação dos pulsos complementares. 96

Figura 5.1 – Tensão e corrente de saída com carga leve. 98

Figura 5.2 – Tensão e corrente de saída com carga nominal. 98

Figura 5.3 – Tensão no capacitor e corrente do indutor no ramo de alta freqüência. 99

Figura 5.4 – Tensão e corrente na chave S1 com carga leve. 99

Figura 5.5 – Tensão e corrente na chave S1 com carga nominal. 99

Figura 5.6 – Conteúdo harmônico da tensão de saída obtida por simulação. 100

Figura 5.7 – Conteúdo harmônico da tensão de saída obtida experimentalmente. 100

Figura 5.8 – Tensão e corrente de saída com carga leve. 101

Figura 5.9 – Tensão e corrente de saída com carga nominal. 101

Figura 5.10 – Tensão no capacitor e corrente do indutor no ramo de alta freqüência. 101

Figura 5.11 – Tensão e corrente na chave S1 com carga leve. 102

Figura 5.12 – Tensão e corrente na chave S1 com carga nominal. 102

Figura 5.13 – Conteúdo harmônico da tensão de saída obtida por simulação. 102

Figura 5.14 – Conteúdo harmônico da tensão de saída obtida experimentalmente. 103

Figura 5.15 – Tensão e corrente de saída com carga leve. 103

Figura 5.16 – Tensão e corrente de saída com carga nominal. 103

Figura 5.17 – Tensão no capacitor e corrente do indutor no ramo de alta freqüência. 104

Figura 5.18 – Tensão e corrente na chave S1 com carga leve. 104

Figura 5.19 – Tensão e corrente na chave S1 com carga nominal. 104

Figura 5.20 – Conteúdo harmônico da tensão de saída obtida por simulação. 105

Figura 5.21 – Conteúdo harmônico da tensão de saída obtida experimentalmente. 105

Figura 5.22 – Curvas de rendimento das estruturas. 106

LISTA DE TABELAS

Tabela 1.1 – Modos de conversão da energia elétrica. _____ *7*

Tabela 2.1 – Estados lógicos das variáveis de estado adotadas. _____ *48*

Tabela 2.2 – Tabela verdade para A1 e descrição da situação. _____ *49*

Tabela 2.3 – Tabela verdade para B1. _____ *49*

Tabela 2.4 – Tabela verdade para as chaves S2 e S4. _____ *50*

Tabela 2.5 – Atualização das variáveis lógicas. _____ *51*

Tabela 4.1 – Tipos de núcleos. _____ *81*

Tabela 4.2 – Tamanhos de núcleos. _____ *82*

Tabela 5.1 – Especificações para o projeto do circuito de potência do inversor de McMurray. _____ *97*

LISTA DE ABREVIATURAS E SÍMBOLOS

A_1, A_2, B_1, B_2 – variáveis de saída do sistema de controle;

A_{Cu} – área do fio de cobre [cm^2];

A_e – área efetiva do núcleo [cm^2];

A_j – área da janela do núcleo [cm^2];

A_l – fator de indutância [H/espira^2];

A_p – produto das áreas A_e e A_j [cm^4];

A_s – área da superfície do núcleo [cm^2];

B_{max} – máxima densidade de saturação do material [T];

CA – corrente alternada;

CC – corrente contínua;

CI – circuito integrado;

C_r – capacitância de ressonância [F];

C_{r1}, C_{r2} – capacitâncias de ressonância [F];

D – razão cíclica;

D_1, D_2, D_3, D_4, D_5, D_6, D_7, D_8 – diodos do circuito;

DAC0800 – conversor digital/analógico;

D_{aux1}, D_{aux2}, D_{aux3}, D_{aux4}, D_{aux5}, D_{aux6}, D_{aux7}, D_{aux8} – diodos auxiliares do circuito;

di/dt – taxa de variação da tensão em relação ao tempo [A/s];

D_{min} – razão cíclica mínima;

dv/dt – taxa de variação da tensão em relação ao tempo [V/s];

E – valor eficaz da tensão [V];

EE – tipo de núcleo magnético;

E_L – energia armazenada no indutor L [J];

EMC – "*Electromagnetic Compatibility*" (Compatibilidade Eletromagnética);

EMI – "*Electromagnetic Interference*" (Interferência Eletromagnética);

f – freqüência da rede de alimentação [Hz];

f_r – freqüência de ressonância [Hz];

f_s – freqüência de comutação [Hz];

I – valor eficaz da corrente [A];

$i(t)$ – valor instantâneo da corrente [A];

IEC – International European Comission;

IEEE – Institute of Electrical and Electronics Engineers, Inc.;

I_L – valor da corrente do indutor L [A];

I_o – valor eficaz da corrente de carga [A];

J – densidade de corrente [A/m^2];

K_j, K_μ – constantes multiplicadoras para a determinação um dado tipo de núcleo magnético;

K_m – constante multiplicadora;

L – indutância de carga [H];

L_1 – indutância de linha da fase 1 [H];

L_2 – indutância de linha da fase 2 [H];

L_a – indutância de linha da fase A [H];

L_b – indutância de linha da fase B [H];

l_e – comprimento do caminho do fluxo magnético [m];

l_g – comprimento do entreferro [m];

LM318 – amplificador operacional;

L_{r1}, L_{r2} – indutores de ressonância [H];

MC4049 – circuito integrado inversor;

MC4050 – circuito integrado não inversor;

MC4071 – circuito integrado operando com portas lógicas “OU”;

MC4081 – circuito integrado operando com portas lógicas “E”;

n – ordem harmônica;

N_L – número de espiras do indutor L;

PIC16F84 – microcontolador programável;

PWM – “*Pulse Width Modulation*” (Modulação por Largura de Pulso);

Q_1, Q_2, Q_3, Q_4, Q_5, Q_6, Q_7, Q_8 – interruptores do circuito;

R – resistor de carga [ohms];

RFI – “*Radio Frequency Interference*” (Interferência de Radiofreqüência);

S_1, S_2, S_3, S_4 – interruptores principais circuito;

S_{aux1}, S_{aux2}, S_{aux3}, S_{aux4} – interruptores auxiliares do circuito;

t – tempo [s];

$t_0 \ldots t_{11}$ – instante de tempo [s];

THD_I – taxa de distorção harmônica total de corrente [%];

T_s – período de comutação [s];

V_C – valor da tensão do capacitor C [V];

V_{cc} – valor eficaz da tensão (banco de baterias) [V];

V_f – valor eficaz da tensão da fonte auxiliar V_f [V];

V_i – valor eficaz da tensão de entrada [V];

V_{La}– valor da tensão na indutância L da fase A [V];

V_{Lb} – valor da tensão na indutância L da fase B [V];

V_o – valor eficaz da tensão em cada estágio de saída [V];

X, Y e *Z* – variáveis lógicas de entrada do controle;

ZCS – "*Zero current switching*" (comutação sob corrente nula);

ZVS – "*Zero voltage switching*" (comutação sob tensão nula);

λ – ângulo de deslocamento [rad];

ω – freqüência angular da rede de alimentação [rad/s];

β – relação entre as tensões de saída e de entrada;

η – rendimento [%];

μ_0 – permeabilidade magnética do ar [H/m];

μ_e – permeabilidade efetiva do núcleo magnético com entreferro;

ΔI_i – ondulação da corrente de entrada [A];

ΔV_i – variação do valor eficaz da tensão de entrada [V];

INTRODUÇÃO GERAL

A popularização de diversos equipamentos eletrônicos tem provocado um aumento crescente no consumo de energia elétrica. Devido principalmente a vultosos investimentos necessários e impacto ambiental causado para que ocorra um incremento na geração de energia elétrica, são de fundamental importância estudos referentes à melhoria da qualidade de consumo de energia, bem como seu uso racional. Desta forma, estes assuntos são tema constante entre projetistas e engenheiros. As normas recentes ao consumo de energia elétrica estão cada vez mais rígidas, exigindo conversores estáticos com alta eficiência, que apresentem baixo conteúdo harmônico e reduzida emissão de interferência eletromagnética (EMI). Este fato é visível principalmente na área de telecomunicações. Outra exigência percebida é o aumento da densidade volumétrica de potência, com a finalidade de obtenção de conversores mais compactos, condição necessária à miniaturização dos equipamentos eletrônicos.

Com relação à freqüência de operação dos conversores estáticos, é obtida uma melhora na reposta dinâmica e uma redução no peso e no volume dos transformadores e elementos de filtragem. Por outro lado, a eficiência do é reduzida, uma vez que as perdas de comutação são proporcionais à freqüência de operação e ao nível de potência envolvido. Isso significa que, para não haver um comprometimento da eficiência global dos conversores estáticos, a elevação de freqüência de chaveamento deve ser acompanhada de uma redução da potência e vice-versa. Entretanto, se as perdas de comutação forem diminuídas, sem que isso resulte em aumento nas perdas de condução do conversor, pode-se elevar a freqüência de chaveamento, mantendo-se o mesmo nível de eficiência.

O nível de EMI gerado pelo conversor está diretamente relacionado à velocidade de transição da tensão e da corrente durante as comutações. Desta forma, se as formas de onda do conversor forem suavizadas, com a redução das derivadas envolvidas, pode-se abrandar o nível de interferência eletromagnética gerada pelo conversor.

As perdas presentes nas comutações dos conversores estáticas de potência estão relacionadas com apresenta simultânea de tensão sobre o dispositivo semicondutor e de corrente através do mesmo, com valores consideráveis, durante o processo de comutação. Deste fato resulta a ocorrência de potência dissipada sobre o dispositivo, ou seja, presença de perdas de potência não desprezíveis na chave semicondutora.

Com o intuito de minimizar as perdas que ocorrem nas comutações dos dispositivos semicondutores, foram desenvolvidas técnicas de comutação que reduzem a sobreposição existente entre corrente e tensão durante as comutações. Devido á ação de um circuito auxiliar a corrente através e/ou a tensão sobre o dispositivo são levadas a zero antes de ocorrer a comutação. Estas técnicas, que redizem a potência dissipada nas comutações são denominadas de técnicas de comutação suave, O termo significa que as transições de tensão e/ou corrente presente no dispositivo são suavizadas, podendo reduzir não somente as perdas de comutação, bem como o nível de emissão de EMI.

Desta forma, existem basicamente duas formas de reduzir as perdas presentes nas comutações: realizar as comutações com tensão nula sobre a chave, denominada comutação ZVS ("*Zero Voltage Switching*"), e/ou realizar as comutações com corrente nula através do dispositivo, denominada comutação ZCS ("*Zero Current Switching*").

A eficiência obtida com o emprego de uma determinada técnica de comutação suave em um conversor depende do quanto se consegue reduzir a sobreposição entre corrente e tensão. Existem técnicas que permitem a redução, outras que eliminam completamente a

sobreposição. Além disso, algumas técnicas atuam apenas na metade das comutações (entrada em condução ou bloqueio), enquanto outras atuam em todas as comutações. Esse fato é muito importante, pois além das perdas referentes a comutação das chaves, existem as perdas nos diodos. As perdas de comutação nos diodos são decorrência principalmente do bloqueio, devido a um processo conhecido como recuperação reversa. A técnica de comutação mais favorável para obter a redução das perdas, é a redução de corrente no dispositivo antes do bloqueio, com uma taxa de variação controlada.

Outro fator a ser considerado na escolha da técnica de comutação é o semicondutor controlado a ser empregado no conversor. Dependendo do tipo e da geração de semicondutor, existe uma técnica de comutação mais indicada. De uma forma geral, as perdas mais significativas presentes nas comutações dos semicondutores do tipo portadores majoritários como os MOSFET´s, estão relacionados com a entrada em condução, enquanto que nos semicondutores minoritários como os IGBT´s, as perdas de comutação mais significativas são aquelas referentes ao bloqueio.

Quando os MOSFET's são usados em comutações do tipo ZCS, produzem perdas conhecidas como "*turn-on capacitive losses*", devido ao ser capacitor intrínseco, elevando também a interferência eletromagnética produzida. Por outro lado, quando os IGBT´s são utilizados em comutações do tipo ZVS as perdas envolvidas no bloqueio não podem ser totalmente eliminadas devido a sua corrente residual, chamada de corrente de cauda. Dependendo da geração de um determinado tipo de semicondutor, algumas das suas características tornam-se mais relevantes. Por exemplo, os IGBT´s da terceira geração são mais rápidos do que os da segunda geração, apresentando menos problemas referentes a corrente de cauda. Entretanto, eles possuem uma tensão de condução maior, o que eleva as perdas em condução.

Pelo exposto, conclui-se que a técnica de comutação genérica ideal é a que possibilita que os dispositivos semicondutores sejam comutados simultaneamente em zero de tensão e em zero de corrente (ZVZCS – "*Zero Voltage and Zero Current Switching*"). Uma técnica possibilitando comutação em zero de tensão e de corrente pode ser aplicada a qualquer tipo e geração de semicondutores, uma vez que elimina a sobreposição de tensão e corrente. Além disso, devido às comutações ocorrerem com corrente nula, as perdas referentes à recuperação reversa dos diodos são minimizadas. Na literatura existem várias técnicas de comutação suave proposta para inversores, mas em nenhuma das referências encontradas o circuito auxiliar atua de forma a que todas as comutações das chaves semicondutoras principais ocorram em ZVZCS.

CAPÍTULO 1

CONSIDERAÇÕES SOBRE OS INVERSORES

1.1 - CONSIDERAÇÕES INICIAIS

Este capítulo apresenta a evolução histórica e tecnológica dos inversores, destacando-se aspectos fundamentais de operação.

Normalmente, os inversores são posicionados após os conversores CA-CC, de tal forma que se possa obter tensão senoidal, a qual pode ser ajustada facilmente pelo sistema de controle destes conversores. Como possíveis aplicações, pode-se citar o acionamento de motores de indução, onde a variação de freqüência permite o controle de velocidade. Além disso, pode-se utilizar inversores na saída de conversores CC-CC, no sentido de obter isolamento elétrico da rede de alimentação CA da concessionária e, em segunda instância, regulação da freqüência e da tensão aplicada à carga.

1.2 - ELETRÔNICA DE POTÊNCIA

O termo eletrônica de potência [67] surgiu no início da década de 1960, após a introdução comercial do tiristor, e se refere às aplicações da eletrônica onde a energia elétrica tem primordial importância, a exemplo do controle do fluxo de potência em máquinas e sistemas elétricos. Portanto, é uma tecnologia dedicada à conversão e controle da energia elétrica, adequando a tensão de um suprimento disponível às necessidades da aplicação, utilizando dispositivos semicondutores de potência.

Avaliar um sistema que processa energia, considerando que a diferença entre as potências de entrada e de saída é geralmente convertida em calor, atrai duas preocupações

ligadas à eficiência: o desperdício de energia em tempos de demanda crescente e a dificuldade de se remover o calor proveniente da dissipação de potência.

Nos sistemas lineares, os dispositivos operam na região ativa, como resistores ajustáveis. As perdas são altas e, conseqüentemente, o rendimento se torna baixo, que é tolerado apenas para os baixos níveis de potência, isto em algumas centenas de watts. Os circuitos eletrônicos de potência utilizam semicondutores operando como interruptores [63], o que minimiza a dissipação de energia na forma de calor e implica o aumento de eficiência mesmo em sistemas de grande fluxo de potência, da ordem de centenas de megawatts.

Um sistema eletrônico de potência, mostrado na Figura 1.1, consiste basicamente de um ou mais estágios. Elementos de filtragem são localizados na entrada e/ou saída. O conversor é o responsável pelas modificações nas características elétricas de entrada (amplitude, freqüência e número de fases), conforme a necessidade da carga a ser alimentada. Por sua vez, esta é controlada através de variáveis realimentadas na forma de sinais de controle, correspondentes às grandezas que se deseja monitorar. O circuito de controle processa estas informações e produz os sinais adequados para acionar as chaves do circuito de potência.

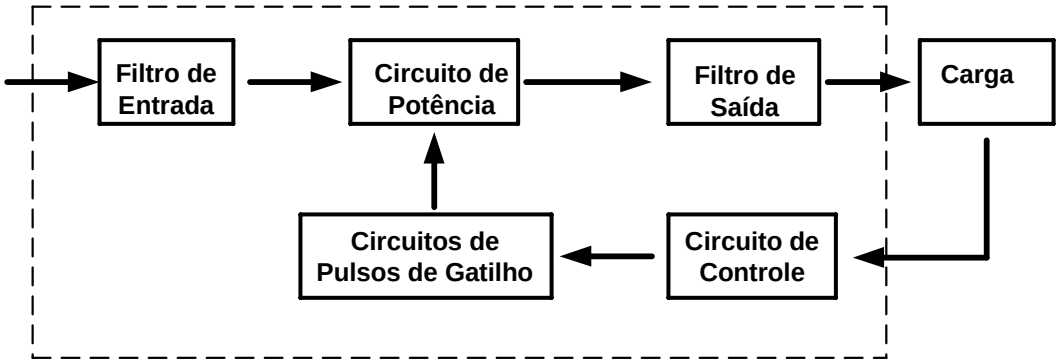


Figura 1.1 – Diagrama de blocos simplificado de um típico sistema eletrônico de potência.

Os conversores estáticos podem ser classificados de várias maneiras [67]; embora não de forma satisfatoriamente abrangente. Uma destas, a qual combina as características da

grandeza elétrica com a entrada e saída do conversor, resultando em quatro modos de conversão, é apresentada na Tabela 1.1. Os circuitos que executam a conversão CC-CC são "*choppers*". Quando o fluxo de potência é do lado CC para o CA, o circuito é chamado de inversor. No sentido contrário, ou seja, fluxo de potência do lado CA para o CC, o circuito é definido como retificador. Os controladores de potência em CA utilizam a variação do ângulo de disparo da chave, sendo que a freqüência de saída é a mesma da entrada. A conversão de freqüência pode ser obtida de forma direta através de cicloconversores ou utilizando um retificador e um inversor em cascata, caracterizando uma fonte chaveada em saída CA.

Os inversores são geralmente construídos de modo a permitir o ajuste ou o controle da freqüência da tensão de saída, sendo que a amplitude pode ser regulada através de um sistema de controle apropriado. Para os sistemas UPS ("*Uninterruptable Power Supply*") [10], o inversor fornece tensão regulada com freqüência constante, gerada a partir de um conjunto de baterias. Nos sistemas APLC ("*Active Power Line Conditioner*"), o inversor é conectado à rede e controlado para funcionar como filtro ativo gerando energia reativa.

Tabela 1.1 – Modos de conversão da energia elétrica.

ENTRADA	**SAÍDA**	
	CC	**CA**
CC	Conversão CC-CC	Inversão Conversão CC-CA
CA	Conversão CA-CC	Controle de Potência CA Conversão de Freqüência Conversão CA-CA

Os inversores podem ser aplicados aos sistemas de aquecimento indutivo e acionamento de motores de indução [1] [2] [55]. Estes motores são máquinas robustas, de construção simples e de amplo espectro de potência, que possuem as características de torque-velocidade e corrente-rotação independentes da carga acionada. Uma das formas de se controlar

velocidade de motores é mantendo-se a relação tensão-freqüência, o conjugado é constante. A velocidade pode ser controlada pela variação da freqüência que para manter o torque constante deve-se variar na mesma proporção, a amplitude da tensão. Para este tipo de aplicação, o inversor deve ser uma fonte de alimentação CA com possibilidade de controle da amplitude e da freqüência da tensão de saída.

O desenvolvimento acelerado da tecnologia eletrônica tem oferecido novos dispositivos semicondutores, cujo desempenho incentiva os pesquisadores a buscar e propor novas estruturas para conversores estáticos, visando à crescente minimização de perdas e aplicação em freqüências cada vez mais altas. Por outro lado, a proliferação de sistemas chaveados atraiu a atenção da comunidade científica para problemas advindos da distorção harmônica nas formas de onda e interferência eletromagnética.

Mesmo que haja esforços no sentido de melhorar a qualidade de energia como, por exemplo, através da aplicação de normas mais exigentes impostas ao consumidor [44], a energia disponível nas redes de distribuição nem sempre é aceitável para algumas aplicações específicas [41]. Como exemplo, pode-se citar equipamentos caracterizados como cargas críticas, como sistemas de comunicação e computadores em aeroportos, equipamentos hospitalares, estações de trabalho e servidores com banco de dados em centros de informática, que necessitam um fornecimento de energia livre de perturbações e de interrupções, sendo assim necessária uma forma de onda que mais se aproxima de uma senóide pura.

Para atender às exigências requeridas, pode-se utilizar um inversor que deve ser projetado segundo as características desejáveis de baixa taxa de distorção harmônica da tensão de saída, resposta dinâmica satisfatória, ótima regulação da tensão de saída, operação em ampla faixa de carga, proteção contra curto-circuito, alta eficiência e custos reduzidos.

1.3 - PRINCIPAIS TIPOS DE INVERSORES

A configuração básica de um inversor trifásico é mostrada na Figura 1.2. Uma estrutura monofásica pode ser obtida utilizando-se apenas dois ramos em vez de três [34] [80]. A seguir, são descritas algumas topologias básicas.

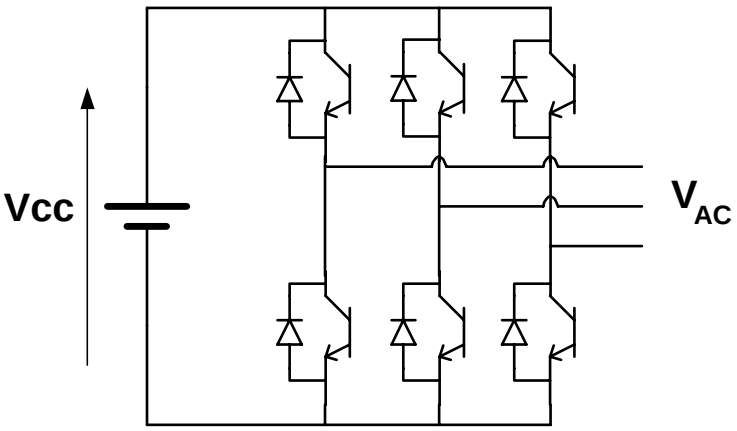


Figura 1.2 – Inversor trifásico.

1.3.1 - INVERSOR DE ONDA QUADRADA

Na Figura 1.3, tem-se a representação esquemática de um inversor monofásico. As leis de modulação são numerosas, embora a mais simples talvez seja a que produz uma onda retangular, na freqüência de saída desejada. Neste caso, uma tensão positiva é aplicada à carga quando *T1* e *T4* conduzirem, estando *T2* e *T3* desligados. A tensão negativa é obtida de forma complementar. O papel dos diodos é garantir um caminho para a corrente no caso de a carga apresentar característica indutiva. Como desvantagem, não é possível o controle da amplitude nem do valor eficaz da tensão de saída.

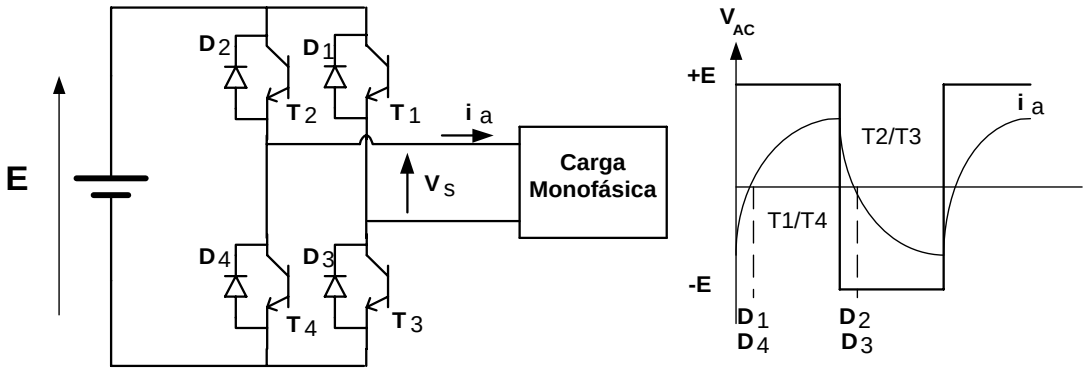


Figura 1.3 – Inversor monofásico de onda quadrada alimentando carga indutiva.

1.3.2 - INVERSOR DE ONDA QUASE QUADRADA

Uma alternativa que permite ajustar o valor eficaz da tensão de saída e eliminar algumas harmônicas residente no inversor de onda quase quadrada, onde se mantém um nível de tensão nulo sobre a carga durante parte do período, como mostrado na Figura 1.4.

Para obter este tipo de onda, obtendo-se tensão positiva na carga, deve-se ter *T1* e *T4* conduzindo e *T2* e *T3* desligados. A tensão negativa é obtida de forma complementar. Os intervalos de tensão nula são obtidos mantendo *T1* conduzindo e desligando *T4*. Com corrente positiva, *D2* entrará em condução. Quando *T1* for desligado, *D3* entrará em condução, aguardando o momento em que *T2* e *T3* passam a conduzir, o que ocorre quando a corrente se inverte. O intervalo de tensão nula seguinte é obtido com o desligamento de *T3* e a continuidade de condução de *T2*.

No espectro harmônico da tensão, estão presentes as componentes ímpares múltiplas, sendo que a obtenção da tensão apenas com componente fundamental exige um filtro com freqüência de corte muito próxima da freqüência de saída.

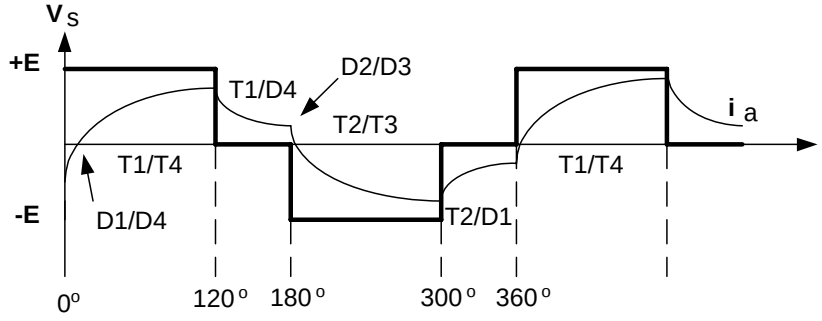


Figura 1.4 – Forma de onda quase quadrada.

1.3.3 - INVERSOR FERRORESSONANTE

A obtenção de uma tensão senoidal, a partir de ondas quadradas é possível através de filtragem. O tamanho do filtro é determinado não apenas pela quantidade de harmônicas que se deseja minimizar, mas também pela freqüência das mesmas. Quanto menores forem as freqüências, maiores serão as dimensões do filtro, reduzindo assim a densidade de energia do inversor. Quanto menor for o filtro, melhor será a regulação da tensão de saída, especialmente em situações transitórias, uma vez que valores elevados de indutância e capacitância produzem respostas lentas a perturbações.

O conceito básico do inversor ferro ressonante, ilustrado na Figura 1.5, é sintonizar um filtro na freqüência desejada na saída, de modo a eliminar as componentes harmônicas. Desta forma obtém-se regulação da tensão de saída e limitação da corrente.

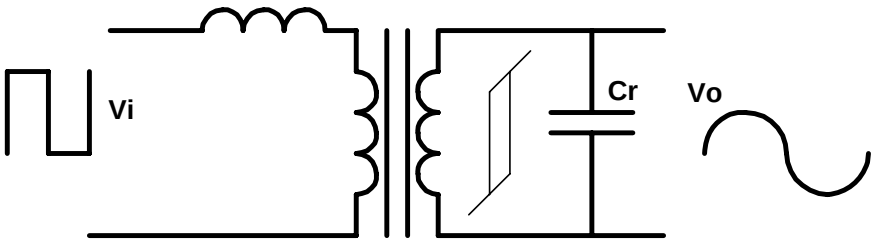


Figura 1.5 – Estágio ferroressonante.

O capacitor *Cr*, associado à indutância de dispersão *Ld* e, eventualmente, a uma indutância adicional, perfazem um circuito ressonante, sintonizado na freqüência desejada. Existe mais de um caminho de fluxo magnético no núcleo do transformador, permitindo ao

secundário saturar, enquanto o primário opera na região linear. Como resultado, o circuito de saída apresenta-se limitado em tensão devido à saturação do secundário, enquanto o primário mantém a característica de limitação da corrente, devido à indutância série presente no circuito. A tensão de saída apresenta-se como uma senóide truncada. O conteúdo harmônico, no entanto, é menor que o da forma de onda quadrada presente na entrada do transformador.

A principal vantagem deste tipo de arranjo é a sua simplicidade. Como desvantagem, tem-se o volume e o peso característico de um transformador/filtro que deve operar na freqüência da rede.

1.3.4 - INVERSOR COM VÁRIOS NÍVEIS DE TENSÃO

Outra estratégia de modulação que produz um reduzido nível harmônico é denominada multinível. Neste caso, a tensão de saída é produzida por diversos módulos inversores conectados em série, cada um acionado no momento adequado, de modo a tentar reproduzir uma forma de onda que se aproxime de uma senóide ou outra forma desejada.

Na Figura 1.6, tem-se um diagrama esquemático do conversor, enquanto a Figura 1.7 representa uma forma de onda deste tipo. Nota-se que a distorção harmônica é reduzida, embora existam componentes em baixa freqüência. O filtro necessário à obtenção de uma onda senoidal deve ter freqüência de corte baixa, uma vez que as componentes harmônicas apresentam-se em múltipla da freqüência da rede. No entanto, a atenuação não precisa ser muito grande, uma vez que as amplitudes das harmônicas são pequenas.

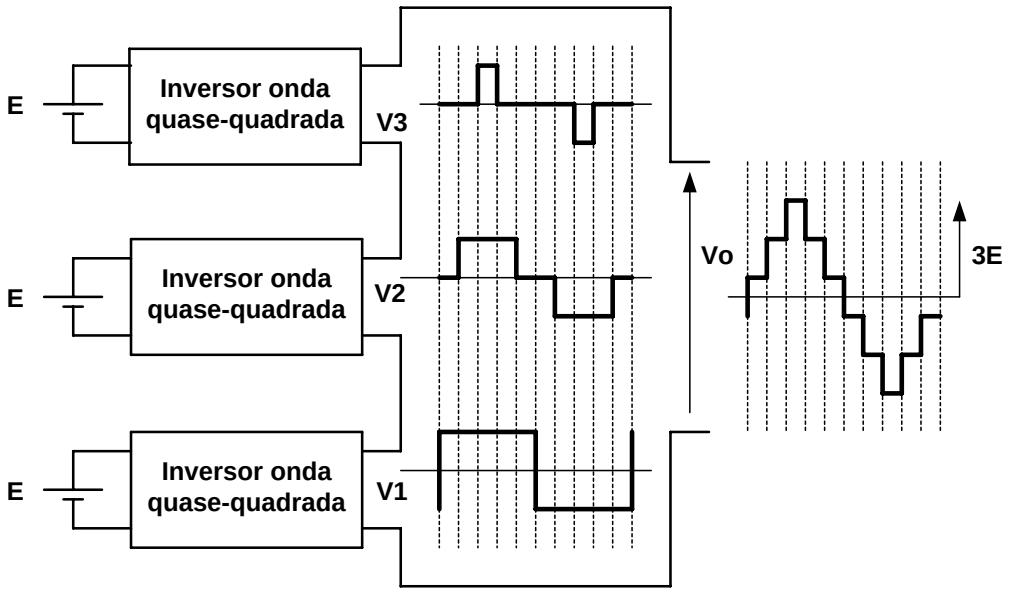


Figura 1.6 – Diagrama esquemático de conversor com vários níveis de tensão.

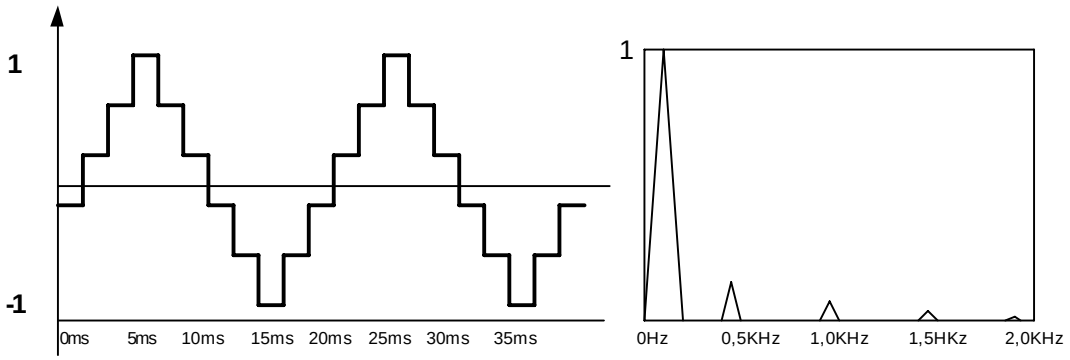


Figura 1.7 – Forma de onda e espectro de sinal multinível.

1.3.5 - INVERSOR UTILIZANDO MODULAÇÃO POR LARGURA DE PULSO

Esta configuração fornece um sinal alternado de baixa freqüência através de modulação em alta freqüência, comparando-se uma tensão de referência que possui a mesma forma de onda de tensão de saída desejada, com um sinal triangular simétrico, cuja freqüência determine a freqüência de chaveamento. A freqüência da onda triangular, chamada portadora, deve ser, no mínimo, 20 vezes superior à máxima freqüência da onda de referência, para que se obtenha uma reprodução aceitável da forma de onda sobre a carga, após efetuada a filtragem. A largura do pulso de saída do modulador varia de acordo com a amplitude relativa

da referência em comparação com a onda portadora. Tem-se, assim, uma modulação por largura de pulso, PWM ("*Pulse Width Modulation*").

A tensão de saída é formada por uma sucessão de ondas retangulares de amplitude igual à tensão de alimentação CC e duração variável. A Figura 1.8 mostra a modulação de uma onda senoidal, produzindo na saída uma tensão com dois níveis, na freqüência da onda triangular.

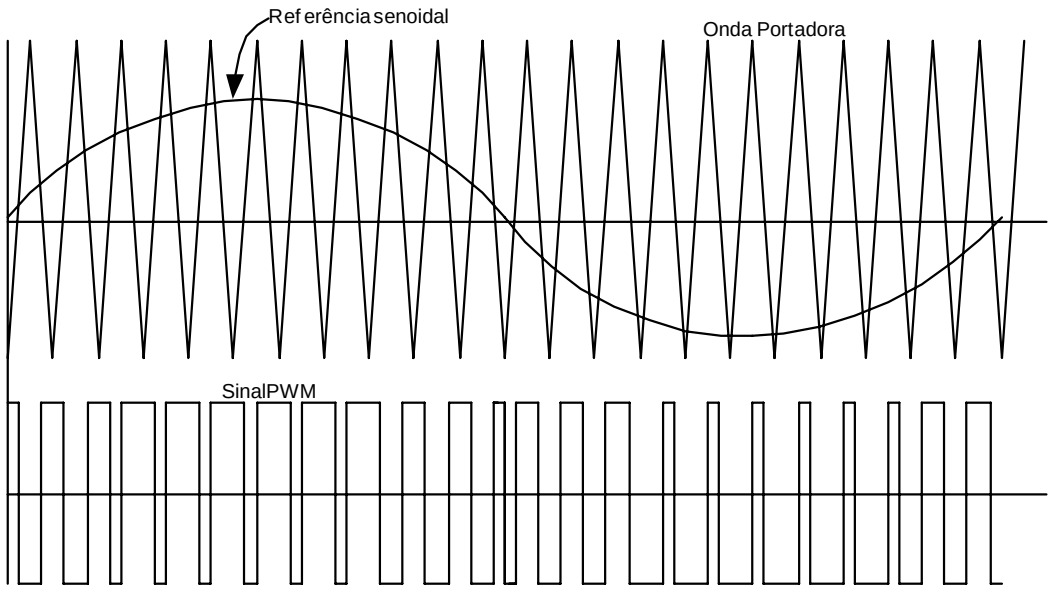


Figura 1.8 – Sinal PWM a dois níveis.

É possível ainda obter uma modulação a três níveis (positivo, zero e negativo), a modulação apresenta um menor conteúdo harmônico. O sinal PWM pode ser gerado analogicamente, de forma mais complexa, embora seja possível esta implementação.

Quando se trata de um inversor trifásico, dois arranjos podem ser obtidos segundo a Figura 1.9. Pode-se associar inversores monofásicos, utilizando-se 12 transistores, resultando em uma topologia em ponte completa. De outra forma, tem-se a configuração em meia ponte, que utiliza seis transistores.

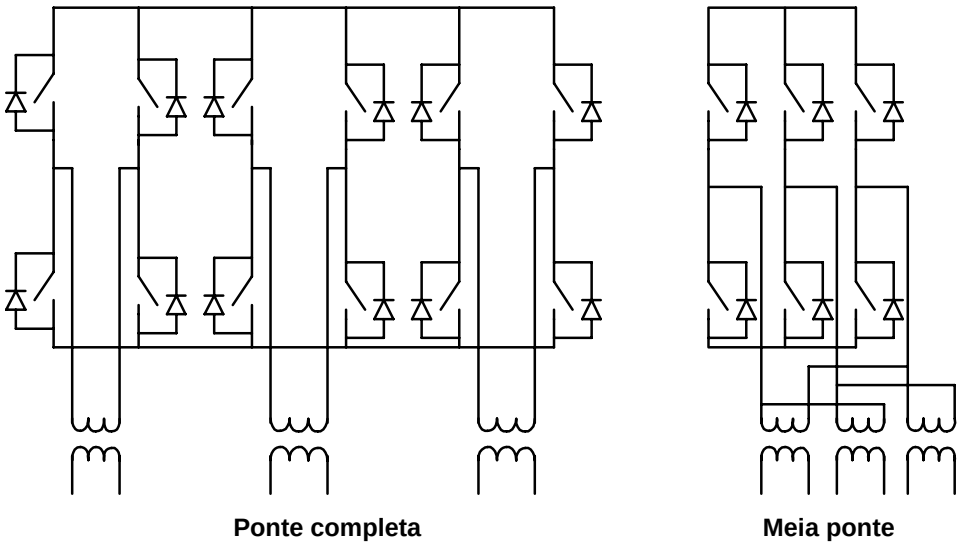


Figura 1.9 – Topologias de inversor em ponte completa e em meia ponte.

1.3.6 - INVERSORES ALIMENTADOS COM FONTE DE TENSÃO E COMUTAÇÃO SUAVE

Nas topologias em que os semicondutores comutam a corrente total da carga a cada ciclo, as chaves ficam sujeitas a picos de tensão e/ou corrente que colaboram para o aumento dos esforços nos componentes, reduzindo sua vida útil. Além disso, elevados valores de derivada de tesão e corrente são fontes potencias de interferência eletromagnética (EMI).

Quando se aumenta a freqüência de chaveamento, no sentido de reduzir o tamanho dos elementos de filtragem e dos transformadores, as perdas de comutação tornam-se mais significativas sendo, em última análise, as responsáveis pela limitação da freqüência máxima de operação dos conversores. Por outro lado, caso a mudança de estado da chave ocorra quando tensão e/ou corrente sejam nulas, o chaveamento ocorre sem dissipação de potência.

A fim de eliminar ou minimizar as perdas que ocorrem no chaveamento dos semicondutores são adotados circuitos que, nas transições de estado das chaves, produzem uma situação de tensão e/ou corrente nulas, minimizando, conseqüentemente, a potência dissipada. A transição onde não há cruzamento entre tensão e corrente é denominada

comutação suave. Quando a comutação ocorre com tensão nula nos terminais do interruptor, é designada por ZVS ("*Zero Voltage Switching*"). Por outro lado, quando a comutação acontece com corrente nula, é do tipo ZCS ("*Zero Current Switching*").

O uso de comutação forçada em inversores é limitado pela freqüências de operação com valores de ordem de 5kHz (para IGBT's e transistores bipolares), além de ocasionar a geração de ruído audível e elevado conteúdo harmônico da corrente sobre a carga. Por outro lado, a elevação da freqüência é dependente da potência do inversor, em função das perdas significativas no chaveamento.

Como solução para a questão, foram introduzidos os primeiros circuitos para comutação suave, embora a aplicabilidade fosse limitada a níveis de tensão e corrente reduzidos. Em função do avanço em termos da tecnologia de construção de semicondutores, especialmente em IGBT's, atualmente é possível operá-los com freqüências da ordem de dezenas de quilo Hertz, sem necessidade de comutação não dissipativa. Por outro lado, em aplicações de potência mais elevada, nas quais só é possível utilizar GTO's (aplicados a freqüências entre 100 e 300Hz) e tiristores, as limitações de freqüência ainda são muito severas, tornando o uso de comutação suave muito importante.

Diferentes técnicas de controle podem ser utilizadas, embora a modulação por largura de pulso seja a escolha primária. Desta forma, circuitos que produzem esforços de tensão e corrente mínimos nos interruptores são mais interessantes [23] [60] [72].

1.3.7 - INVERSOR COM BARRAMENTO CC RESSONANTE

Dentre as primeiras propostas para obtenção de comutações suaves em inversores de tensão, existe o circuito mostrado na Figura 1.10 [23]. Em relação à topologia convencional, tem-se a adição de um ramo ressonante, no lado CC do conversor. Este circuito, mediante um

controle adequado do interruptor *S*, permite manter uma oscilação que leva periodicamente a tensão *vc* a zero. Nos instantes em que esta tensão é anulada é possível ligar ou desligar os interruptores sem dissipar potência. A condução de *S* permite armazenar a energia necessária na indutância de modo a garantir que a tensão na capacitância seja anulada.

O mesmo efeito de controle da energia armazenada na indutância ressonante pode ser obtido com o comando adequado dos interruptores da ponte inversora, eliminando assim a chave adicional. As formas de onda da corrente no indutor e tensão no capacitor são ilustradas na Figura 1.11.

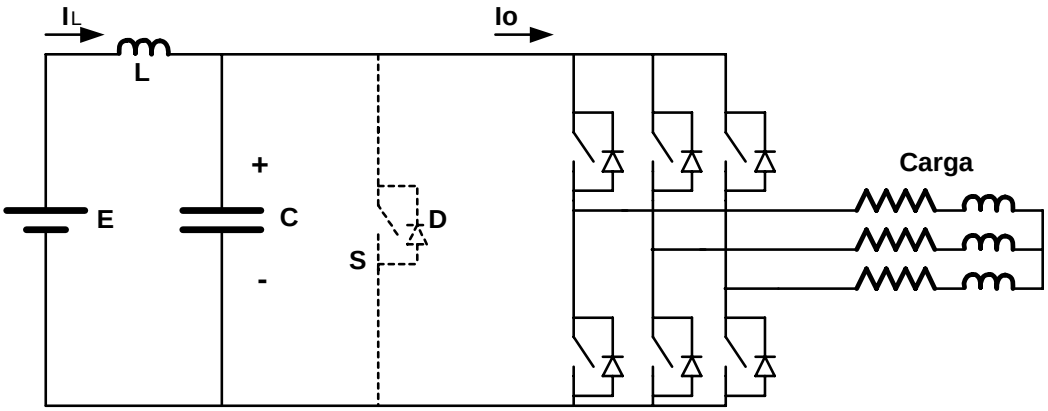


Figura 1.10 – Inversor com barramento CC ressonante.

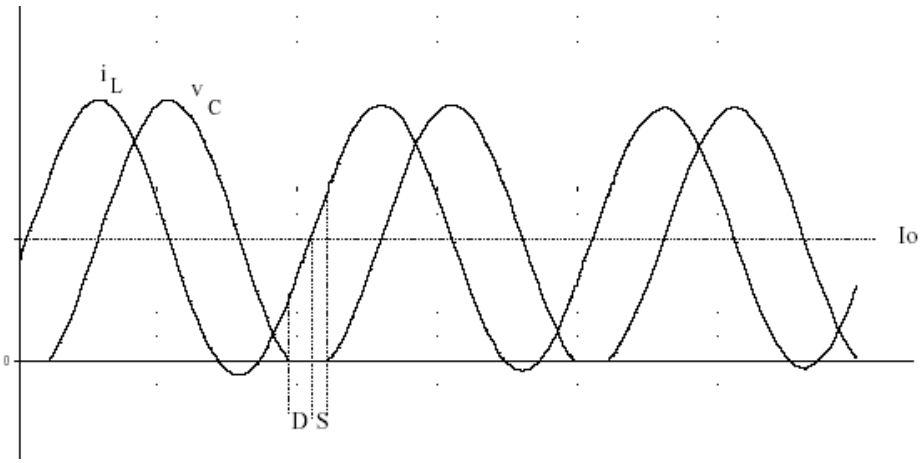


Figura 1.11 – Formas de onda do conversor.

A obtenção da comutação suave pode ser facilmente explicada com a característica indutiva.

Quando a tensão *vc* é anulada, como a corrente *iL* é menor do que a corrente *Io*, o diodo *D* conduz, suprindo a diferença da corrente. Durante a condução de *D,* é enviado o sinal de comando para a chave *S*, que entra em condução quando a corrente do indutor torna-se maior que a da carga. Neste intervalo a corrente *iL* possui variação linear. A chave é desligada sob tensão nula, quando a energia acumulada no indutor for suficiente para garantir que, no próximo ciclo, a tensão volte a se anular.

Entre as desvantagens desta estrutura, pode-se citar:

- a tensão máxima sobre as chaves apresenta picos com o dobro do valor da tensão de entrada CC;
- é possível realizar a comutação somente nos instantes em que a tensão é nula. Assim, este arranjo não é adequado ao uso de modulação PWM.

Como vantagem da topologia pode-se citar a simplicidade, sendo possível aplicá-la em freqüências de ordem de 100kHz (freqüentemente com MOSFET's e raramente com IGBT's). Como não se pode usar a modulação PWM neste caso utilizando-se a modulação de densidade de pulsos. Nesta técnica de acordo com a Figura 1.12, entrega-se à carga parcelas de energia que possuem uma duração constante no caso igual ao período de ressonância. A quantidade de energia em certo período, relativo à freqüência que se deseja na saída, permite alterar o valor médio da tensão sobre a carga. A polaridade é determinada pela condução das chaves do retificador em meia ponte superior, obtendo-se tensão positiva na saída, ou da semi-ponte inferior, resultando em tensão negativa na saída.

Assim, a variação da tensão é discreta, enquanto na modulação PWM é contínua. Esta técnica torna-se mais eficiente quanto maior for a freqüência de ressonância em relação à freqüência fundamental na saída. Estudos indicam que para uma dada freqüência de ressonância, o conteúdo espectral do sinal de saída é equivalente ao de um conversor PWM

com freqüência de chaveamento 10 vezes menor [67]. Por exemplo, um conversor deste tipo operando a 50kHz produz sobre a carga um conteúdo harmônico semelhante ao de um conversor PWM operando a 5kHz.

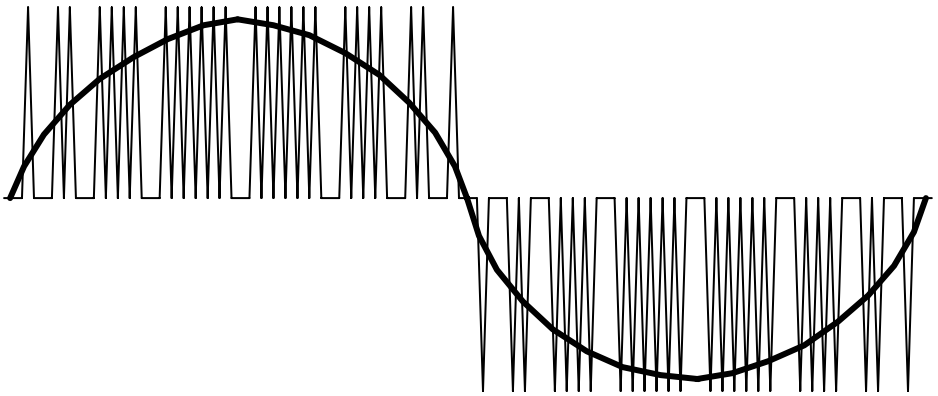


Figura 1.12 – Sinal modulado em densidade e sua componente fundamental.

1.3.8 - INVERSOR COM BARRAMENTO CC RESSONANTE E LIMITAÇÃO DA SOBRETENSÃO

Na Figura 1.13, utiliza-se uma chave auxiliar e um capacitor adicional para limitar o pico de tensão a um valor próximo à tensão de alimentação CC [60]. Na Figura 1.14, tem-se as formas de onda no circuito ressonante.

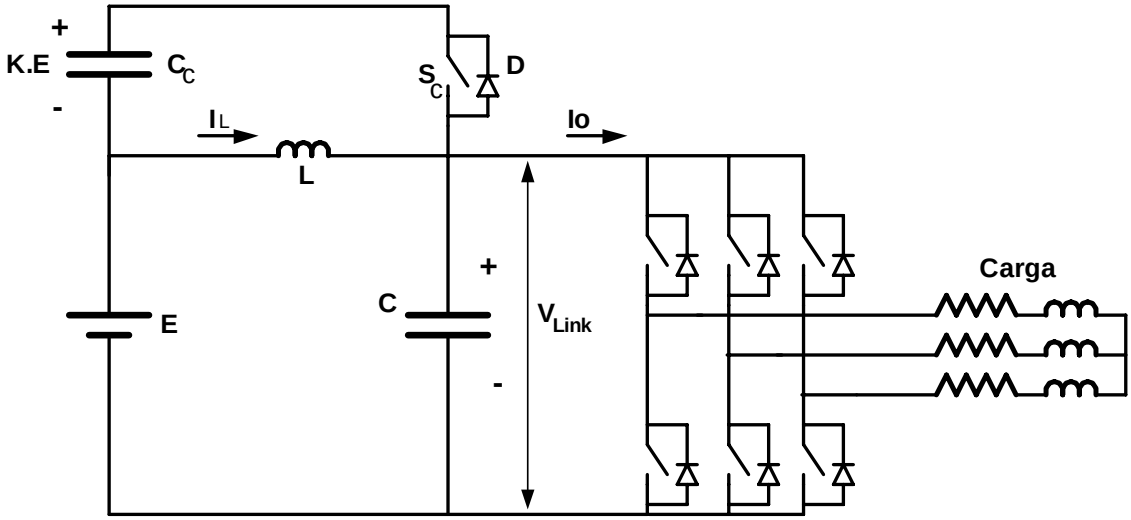


Figura 1.13 – Circuito com limitação da sobretensão.

O capacitor *Cc* é previamente carregado com uma tensão K.E, onde K varia tipicamente entre 0,2 e 0,4,indicando uma sobretensão de 20% a 40%. Quando a tensão no capacitor ressonante atinge este nível, o diodo em antiparalelo com a chave *Sc* entra em condução. O valor do capacitor *Cc* é muito maior que o do capacitor *C*, de modo que a tensão fica limitada. O controle adequado de Sc permite controlar a tensão sobre o capacitor *Cc*. A técnica de modulação utilizada é do tipo densidade de pulsos, ou seja, as comutações só ocorrem em instantes discretos.

Considera-se antes de t_o a chave *Sc* está conduzindo. A tensão V_{link} fica limitada e a corrente da carga, suposta constante em um curto intervalo de tempo, circula pelo capacitor *Cc*, o qual, para não se descarregar completamente deve apresentar valor relativamente elevado. Em t_o, a chave *Sc* é tirada de condução e a corrente de saída é fornecida pelo capacitor *C*. Note-se que neste instante a corrente *iL* é negativa e será suprida também por *C*. No instante *t1* a tensão sobre o capacitor *C* é anulada, iniciando-se um período de livre circulação pelos diodos da ponte inversora. Nesta situação os interruptores são desligados sob corrente nula.

A corrente *iL* que cresce linearmente entre *t1* e *t2*, torna-se maior que a corrente da carga em *t2*, iniciando a recarga do capacitor de forma ressonante. Quando a tensão *Vc* atinge o valor da tensão presente no capacitor *Cc*, em *t3*, o diodo em antiparalelo com Sc conduz, limitando a tensão. O excesso de corrente *iL* em relação a *Is* recarrega *Cc*. Após *t3*, até a corrente passar a variar linearmente. Entre *t3* e *t4* a condução ocorre pelo diodo, embora a corrente passe a oscilar por *Sc* quando a corrente da carga, a corrente começa a circular por *Sc*. Isto significa que este interruptor deve ser acionado ainda durante a condução do diodo. Após *t4*, *Sc* conduz e será desligado em *T*, reiniciando o ciclo. Assim o controle adequado de Sc permite manter constante a tensão sobre o capacitor Cc.

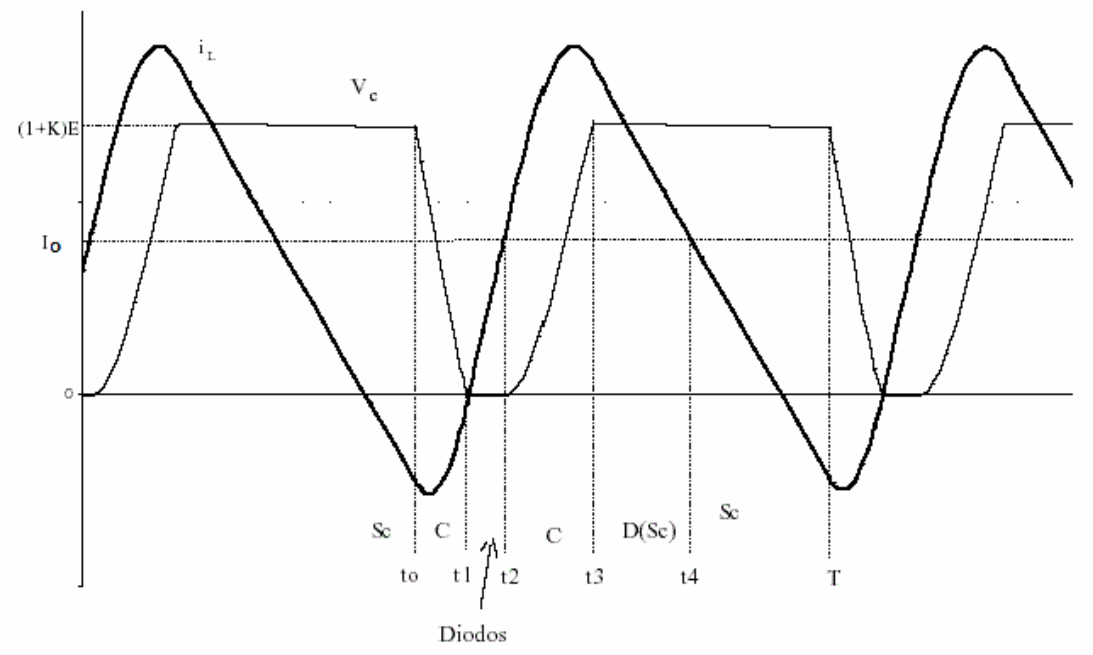


Figura 1.14 – Formas de onda no circuito ressonante.

1.3.9 - INVERSOR PWM COM BARRAMENTO QUASE RESSONANTE

A principal limitação dos conversores precedentes é a impossibilidade da utilização da modulação PWM no acionamento da carga [56]. Além disso, a presença do indutor em série com a alimentação, considerando níveis relativamente elevados da corrente, produz perdas RI^2 significativas, exigindo esforços para sua refrigeração e reduzindo a eficiência do conversor.

Diversas outras topologias PWM foram propostas com o objetivo de reduzir perdas, sem o aumento excessivo na complexidade dos circuitos. A Figura 1.15 mostra um circuito que praticamente supera ambas as restrições apontadas.

Verifica-se no esquema a presença de capacitores em paralelo com os interruptores da ponte, o que permite o desligamento do transistor sob tensão nula, em qualquer momento. Assim, pode-se utilizar a modulação PWM, embora o instante de entrada em condução seja determinado pelo barramento ressonante.

Em série com a fonte de alimentação, utiliza-se um interruptor, cujas perdas em condução crescem com o valor da corrente e não o quadrado da mesma, permitindo menores perdas, além de uma proteção contra sobrecorrente.

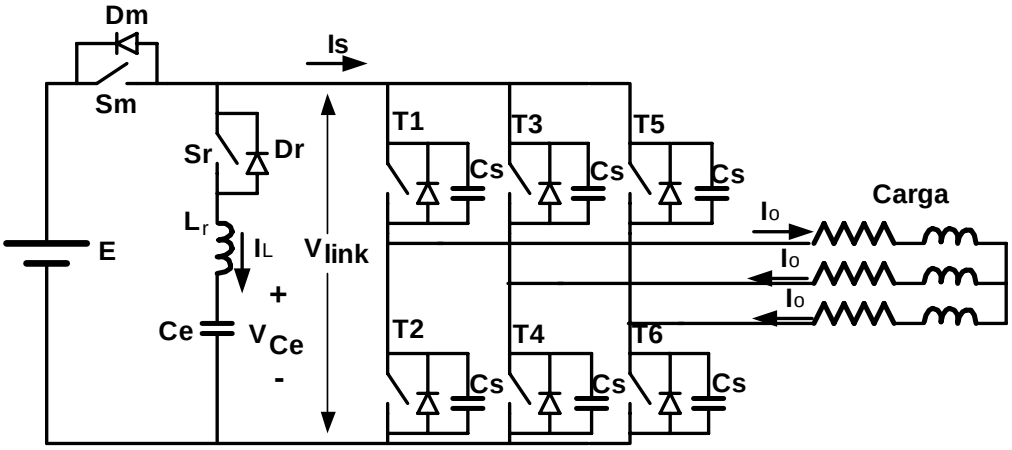


Figura 1.15 – Inversor com barramento CC quase ressonante.

Considera-se as formas de onda mostradas na Figura 1.16 para a análise da operação do circuito da Figura 1.15. No intervalo anterior a *to* o interruptor *Sm* (ou o diodo *Dm*) está conduzindo a corrente da carga, *Io*, mantendo a tensão *Vlink* no valor da tensão de entrada. Os capacitores conectados aos interruptores da ponte que não conduzem estão, assim, carregados com a tensão *E*.

A tensão no capacitor *Ce* é mantida em aproximadamente *E/2*. Em *to*, o interruptor *Sr* é ligado sob corrente nula. A corrente em *Lr* cresce linearmente até atingir um nível adequado, no instante *t1*. Neste momento, *Sm* é desligada sob tensão nula, pois *Vlink=E*, iniciando-se a ressonância entre *Lr* e os capacitores *Cs*. A tensão *Vlink* é anulada em *t2*, quando os diodos em antiparalelo com as chaves entram em condução. Nesta situação, qualquer dos interruptores da ponte pode ser ligado sob tensão nula. Por exemplo, ligam-se *T1*, *T2*, *T4* ou *T6*.

A corrente passa a decrescer linearmente, invertendo sua polaridade em *t3*, quando passa a circular via *Dr,* permitindo desligar *Sr* sem perdas.

Quando a corrente *iL* atinge um valor adequado, igual à soma das correntes positivas da carga, em *t4*, algumas chaves da ponte, selecionadas de acordo com a estratégia de modulação, são desligadas (por exemplo *T2*), ocasionando o aumento da tensão *Vlink* de forma ressonante até atingir a tensão *E* em *t5*. O diodo *Dm* passa a conduzir, limitando a tensão. Após *t5*, a corrente *iL* passa a ter uma variação linear, indo a zero. Durante a condução de *Dm* aciona-se Sm, o qual entra em condução sob tensão nula, repetindo o ciclo.

Como é possível verificar, o instante de entrada em condução dos transistores da ponte deve ocorrer durante o intervalo em que a tensão V_{link} é nula, e o bloqueio pode ocorrer a qualquer momento, garantindo um comando do tipo PWM.

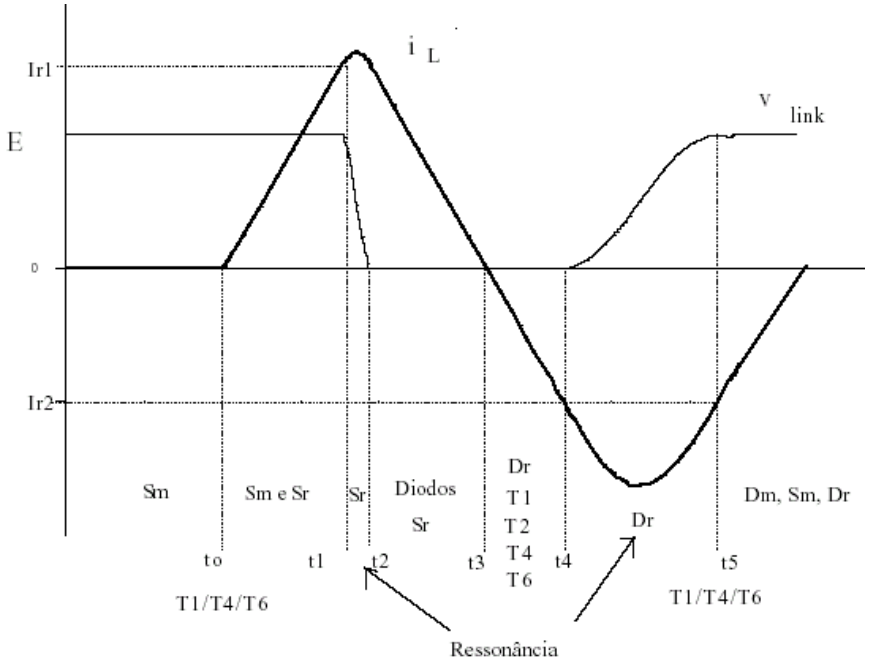


Figura 1.16 – Formas de onda do inversor com barramento CC quase ressonante.

1.3.10 - INVERSOR COM POLO RESSONANTE AUXILIAR

A estrutura da Figura 1.17 pertence à família dos conversores com polo ressonante [22]. Diferentemente dos esquemas anteriores, cada ramo do inversor possui seu próprio circuito para a realização de comutação suave, possibilitando a comutação em qualquer instante, e

ainda, uso de modulação PWM. Como desvantagem, pode-se mencionar o grande número de componentes ativos e passivos.

Os capacitores em paralelo com as chaves *S1* e *S2*, permitem o desligamento sob tensão nula, a qualquer momento. O funcionamento da estrutura deve ser tal que, antes da condução das chaves, os diodos em antiparalelo conduzam, descarregando os capacitores *C1* e *C2*.

O esforço de sobrecorrente adicional presente no indutor ressonante é tipicamente de 1,3 a 1,8 p.u. A atuação do circuito auxiliar deve ser reduzida a um intervalo equivalente de 1/10 a 1/20 do ciclo de chaveamento, de forma que o valor eficaz da corrente não seja significativo.

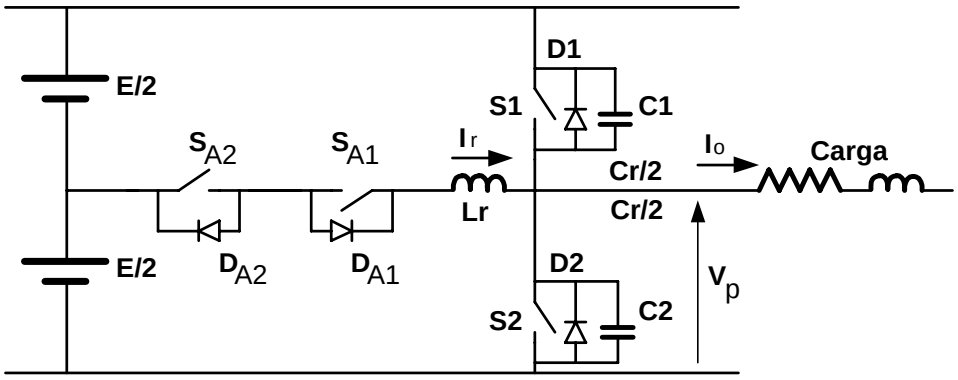


Figura 1.17 – Ramo de inversor com polo ressonante auxiliar.

A Figura 1.18 corresponde às formas de onda da tensão e corrente na chave S2. Neste caso, a corrente da carga é constante durante o período de chaveamento. Considera-se que inicialmente há um intervalo de livre circulação, com a corrente da carga circulando por *D2*. Assim, a tensão *Vp* é nula e o capacitor *C1* está carregado com a tensão total da entrada.

No instante *t0*, a chave *SA2* entra em condução juntamente com *DA1* sob corrente nula. A corrente que passa pelo indutor *Lr* cresce linearmente, pois *D2* continua a conduzir. Ao mesmo tempo, é enviado um sinal de comando para colocar a chave *S2* em condução, a qual não conduz imediatamente porque o diodo *D2* está conduzindo. Quando a corrente *Ir* se iguala à corrente da carga em *t1*, o diodo *D2* é reversamente polarizado e a chave *S2* entra em

condução sob tensão nula, mantendo o crescimento linear da corrente pelo indutor Lr acima do valor da corrente de saída. A corrente que circula pela chave *S2* é a diferença entre as correntes *Ir* e *Io*.

O atraso no desligamento da chave *S2* permite um acúmulo de energia no indutor *Lr*, facilitando o processo de comutação e compensando as perdas do circuito ressonante. Em *t2*, *S2* é bloqueada sob tensão nula, iniciando a ressonância entre o indutor *Lr* e o capacitor *Cr*.

O excesso de corrente *Ir* em relação à corrente da carga irá carregar e descarregar os capacitores *C2* e *C1*, respectivamente. Em *t3*, a tensão *Vp* se iguala à tensão de entrada, de modo que o capacitor *C1* está descarregado e o diodo *D1* inicia a condução da corrente, que será a diferença entre as correntes *Ir* e *Io*, sendo que *Ir* decresce linearmente. Assim, é enviado um sinal para colocar a chave *S1* em condução, de forma que a corrente *Ir* torna-se menor que a parcela absorvida pela carga. Em *t4*, *S1* entra em condução sob corrente nula.

Quando a corrente que passa por *Lr* se anula em *t5*, a corrente da carga flui inteiramente pela chave *S1*. A chave *SA2* pode então ser bloqueada sob corrente nula. A chave *S1* permanece conduzindo pelo tempo determinado pela largura de pulso do sinal PWM. Em *t6*, a chave auxiliar *SA1* é colocada em condução, e a corrente *Ir* torna-se negativa, variando linearmente enquanto *S1* estiver conduzindo. Quando *S1* é bloqueada sob tensão nula, inicia-se a ressonância entre o indutor *Lr* e o capacitor *Cr*. Os capacitores *C1* e *C2* são carregados e descarregados respectivamente. Controlando-se o atraso no desligamento da chave *S1* pode-se determinar a velocidade da transição de tensão. Quando a tensão *Vp* é anulada, em *t7*, o diodo *D2* volta a conduzir. Caso ainda exista corrente no indutor *Lr*, esta irá decrescer linearmente ate se anular, permitindo desligar a chave *SA1*. Assim, inicia-se um novo ciclo de chaveamento.

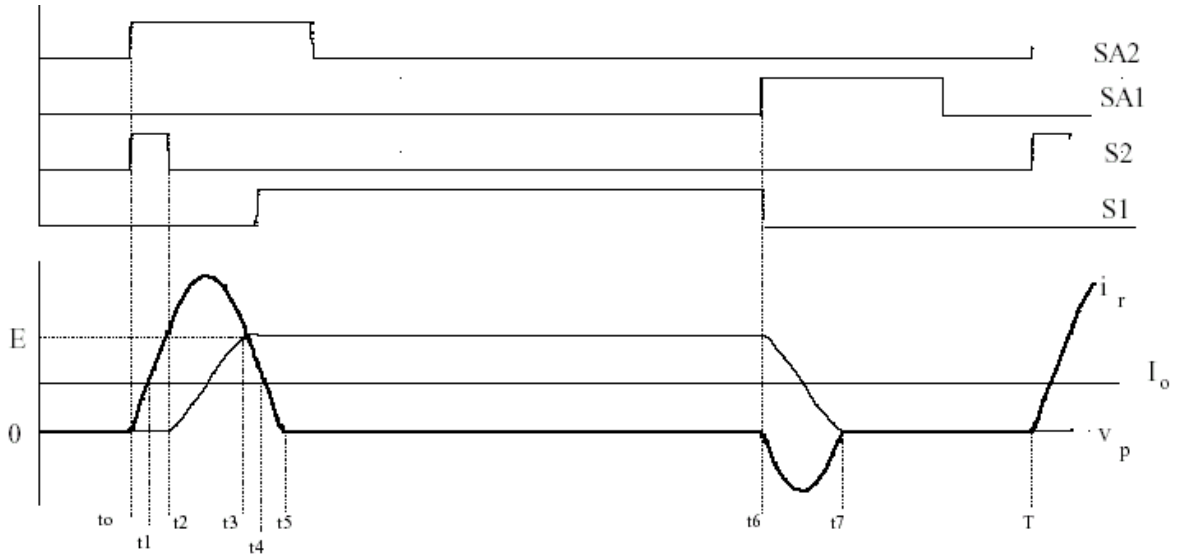


Figura 1.18 – Formas de onda do inversor com pólo ressonante auxiliar.

1.3.11 - INVERSOR/RETIFICADOR PWM COM COMUTAÇÃO SOB TENSÃO NULA UTILIZANDO CIRCUITO AUXILIAR

Uma alternativa para a obtenção da comutação suave em topologias em ponte, operando como inversor ou retificador, reside no uso de um circuito auxiliar único, o qual durante transições produz tensão e/ou corrente nula no interruptor a ser ligado. A operação deve ser tal que seja garantida a modulação PWM, ainda que dentro de certos limites [36] [39].

A Figura 1.19 mostra um conversor que emprega um circuito auxiliar para permitir uma entrada em condução suave dos interruptores. O desligamento suave é sempre obtido por causa da presença dos capacitores em paralelo com as chaves. Este conceito pode se estender a uma estrutura trifásica.

A fonte *Vf* representa um capacitor e uma carga resistiva. Sua função é apenas oferecer um caminho para a absorção de uma parcela de energia remanescente nos indutores *La* e *Lb* quando o interruptor auxiliar *Sa* é aberto. Idealmente, *Sa* deve comutar sob corrente nula.

O retificador mostrado opera como fonte de tensão. As indutâncias de entrada são de valor muito mais elevado que *La* e *Lb* de modo que, durante o intervalo de comutação, pode-se considerar a corrente de entrada constante.

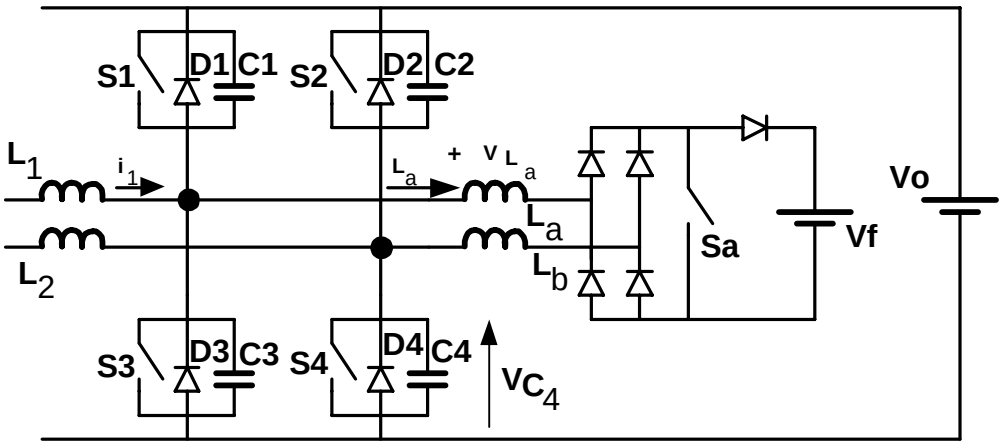


Figura 1.19 – Inversor PWM com circuito auxiliar para comutação suave.

A Figura 1.20 mostra algumas formas de onda para este conversor. O objetivo é criar uma condição favorável para a entrada em condução das chaves, uma vez que a saída de condução das mesmas ocorre sempre de forma suave.

Supõe-se uma corrente *i1* positiva e constante durante o intervalo de comutação. A corrente circula inicialmente por *D1* e *D4*. No instante *to* a chave auxiliar *Sa* entra em condução e são enviados comandos para que *S1* e *S4* também passem a conduzir.

A corrente que passa pelos indutores *La* e *Lb* cresce linearmente. A tensão sobre cada um dos mesmos é *Vo/2*. Quando a corrente *iLa* se torna maior do que corrente *i1* em *t1*, *D1* e *D4* são polarizados reversamente e a corrente passa a circular pelas chaves *S1* e *S4*. Quando a energia acumulada nos indutores for suficiente para produzir a excursão necessária da tensão dos capacitores de comutação, as chaves *S1* e *S4* são bloqueadas em t2.

Inicia-se um processo ressonante, com os capacitores *C1* e *C4* sendo carregados enquanto *C2* e *C3* são descarregados. No instante *t3*, completa-se o intervalo ressonante, e

vC1 e *vC4* atingem a tensão *Vo*, enquanto os diodos *D2* e *D3* entram em condução. Durante este processo é enviado o sinal de comando para que as chaves *S2* e *S3* entrem em condução.

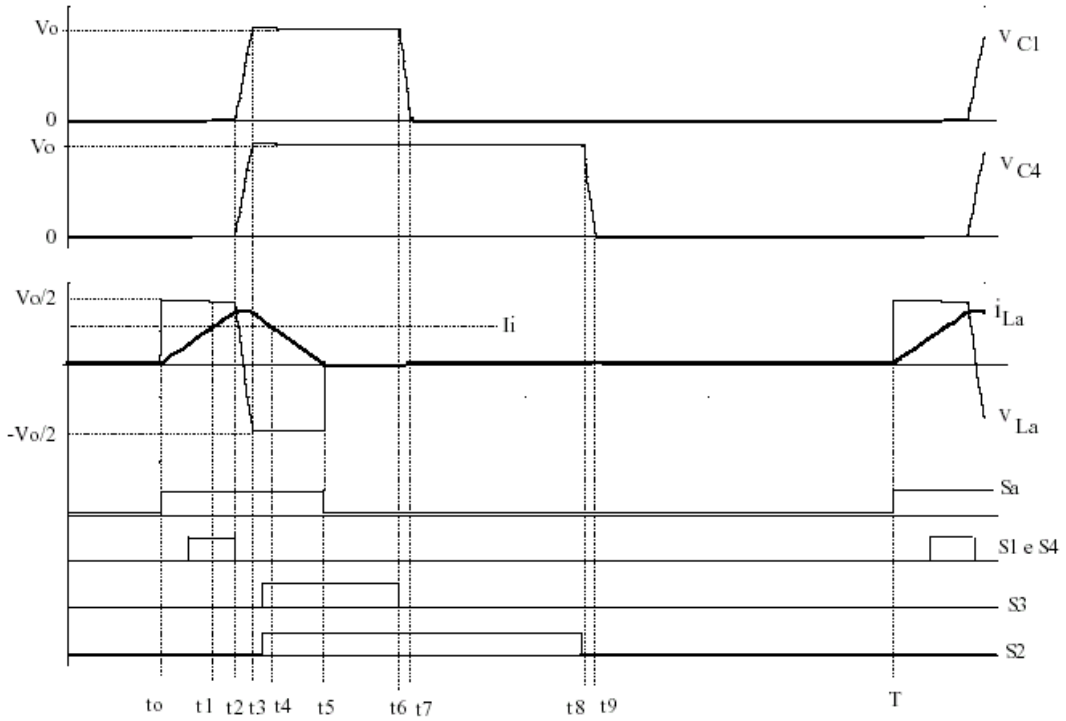


Figura 1.20 – Formas de onda do inversor PWM com circuito auxiliar para comutação suave.

A tensão sobre os indutores *La* e *Lb* torna-se *-Vo/2* e a corrente *iLa* decresce linearmente. Quando *iLa* torna-se menor que i_1, os diodos *D2* e *D3* deixam de conduzir e a corrente passa a circular pelas chaves *S2* e *S3*.

Em *t4*, a chave auxiliar *Sa* é bloqueada. Caso a corrente que passa pelo indutor *La* ainda não tiver se anulado, a energia presente na indutância é descarregada sobre a fonte *Vf*. Após *t5*, o circuito auxiliar não participa mais do processo. Em *t6*, *S3* é desligada em modo ZVS. A corrente *i1* provoca a descarga do capacitor *C1*, enquanto o capacitor *C3* é gradualmente carregado. Em *t7*, a tensão *vC1* se torna nula e o diodo *D1* entra em condução. A corrente de entrada circula por *D1* e *S2*. Em *t8*, a chave *S2* é bloqueada em modo ZVS, o capacitor *C2* é carregado e *C4* é descarregado. Em *t9*, *D4* entra em condução, encerrando o ciclo de operação.

1.4 - APLICAÇÃO DOS INVERSORES

Atualmente, os sistemas de alimentação ininterrupta de energia têm apresentado destaque significativo devido ao crescente número de cargas críticas. Este fato, deve-se principalmente à utilização em massa de microcomputadores, bem como sistemas de gerenciamento e controle microprocessados ou microcontrolados.

Estatísticas recentes demonstram que o mercado mundial de UPS's corresponde a mais de US$ 6,0 bilhões por ano, com uma taxa de crescimento anual esperada não inferior a 6,1% [18]. Desta forma, muitas indústrias e grupos de pesquisas dirigem as atenções para este segmento do mercado. Por outro lado, a globalização tem tornado as pesquisas muito dinâmicas, ocasionando uma concorrência acirrada. Neste sentido, ano após ano, torna-se crescente o número de publicações de trabalhos científicos e são requeridos diversos pedidos de patentes envolvendo este tipo de equipamento.

Devido ao crescente mercado de UPS's, surgiu a necessidade de classificação e unificação de sua nomenclatura, sendo desenvolvidas diversas normas e recomendações nacionais [3] e internacionais [42] [43] [66]. Entretanto, existem dúvidas e divergências nos meios industrial e acadêmico quando a esta classificação [47] [75].

Como forma de solução para o impasse foi criada a norma IEC 62040-3, que além de classificar os sistemas quanto à topologia utilizada, apresenta um código que contém as informações sobre a qualidade da forma de onda gerada, facilitando a compreensão das características de cada tipo. Este código contém informações tais como: dependência da tensão de saída, tempo de resposta para transição em diferentes modos de operação e respostas a degraus de carga.

O diagrama básico de um sistema UPS "*double conversion*" é visto na Figura 1.21, sendo composto por: um retificador/carregador de baterias, um banco de baterias e um

inversor; o qual alimenta a carga. A principal característica deste tipo de arranjo é a dupla conversão de energia, podendo ser aplicado como um sistema estabilizador de energia uma vez que isola o sistema de energia fornecido pela concessionária.

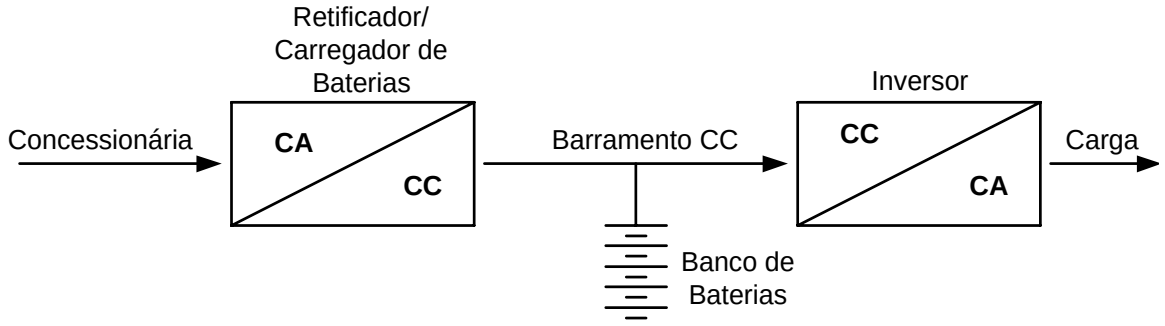


Figura 1.21 – Diagrama de uma UPS do tipo "*double conversion*".

A função do bloco retificador/carregador de baterias é converter a tensão CA fornecida pela concessionária, em uma tensão CC. Esta por sua vez é utilizada para carregar o banco de baterias, após ser aplicada a um conversor CC-CC para adequar os níveis de tensão do barramento CC e do banco de baterias, e também como fonte de energia para o inversor. O banco de baterias é a fonte secundária de energia que mantém o barramento CC em eventuais falhas do fornecimento de energia proveniente da concessionária. Nestes sistemas ininterruptos de energia, as baterias correspondem a uma parte importante dos custos do sistema [26].

A flexibilidade na escolha da tensão do banco de baterias torna possível reduzir o número de unidades que compõem o sistema para uma autonomia desejada, possibilitando assim, a redução de custo. Assim, torna-se indispensável a adequação da tensão do banco de baterias ao nível de tensão requerido pela carga, sendo necessário a inclusão de um conversor CC responsável pela interface entre as baterias e o barramento CC.

Para o funcionamento adequado de um sistema UPS, é indispensável um bom sistema de controle e gerenciamento, uma vez há diversos blocos cada um destes apresentando suas

próprias especificações. Deste modo, o projeto do sistema de controle é realizado individualmente para os subsistemas, sendo o sistema de gerenciamento responsável por garantir a interação entre os mesmos.

Diante destes aspectos, pode-se verificar a importância e a flexibilidade de um sistema ininterrupto de energia, em especial o tipo "*double conversion*". Neste contexto, este trabalho tem por objetivo principal contribuir para a melhoria do estágio inversor deste sistema.

Pode-se reduzir significativamente o peso e o volume dos elementos magnéticos presentes no sistema com a elevação da freqüência de comutação das chaves. Dessa forma, obtém-se um sistema com alta densidade de potência, possibilitando uma melhor resposta dinâmica. Em contrapartida, os níveis de interferência eletromagnética e as perdas por comutação aumentam, comprometendo a eficiência global do sistema. Para minimizar esses problemas, pode-se incluir circuitos de auxílio à comutação, elevando-se assim a eficiência. Por outro lado, um grande número de componentes é acrescido ao sistema para realizar a comutação de modo ZVS ("*Zero Voltage Switching*") [56], ZCS ("*Zero Current Switching*") [56], ZVT ("*Zero Voltage Transition*") [39] e/ou ZCT ("*Zero Current Transition*") 0.

Outro aspecto fundamental no estágio de entrada desta configuração é o sistema de controle pois, como mencionado anteriormente é composta por diversos conversores, o que aumenta a complexidade da estrutura. Além de controlar as variáveis de interesse em cada subsistema, deve-se realizar o gerenciamento e monitoramento do sistema como um todo. Tradicionalmente, são empregados controladores analógicos como UC3524, UC3525, UC3854, entre outros. Assim, o número de componentes e ajustes no sistema de controle torna-se elevado.

A gradativa redução do custo e elevação da performance dos microcontroladores e dos DSP's ("*Digital Signal Processor*"), torna estes dispositivos atrativos para o controle e

gerenciamento de sistemas complexos. Desta forma, torna-se possível implementar um sistema de controle e gerenciamento em um único dispositivo, obtendo-se assim um sistema mais flexível, mais confiável, menos susceptível a variações paramétricas, mais compactos e de simples interação.

1.5 - SISTEMAS DE CONTROLE APLICADOS A INVERSORES

Com o objetivo de atender às especificações de desempenho de um conversor CC-CA, esforços têm sido realizados, nas últimas duas décadas, por pesquisadores das áreas da eletrônica de potência [8] [11] [12] [25] [37] e controle [13] [46] [52] [59] [72], de forma a obter inversores de tensão com baixa distorção harmônica e elevado desempenho.

Dentre os controladores propostos destacam-se os denominados bang-bang, nos quais a tensão de saída é comparada com a referência senoidal, gerando um erro de saída, que, após passar por um bloco de histerese, determina o modo de chaveamento do inversor. Esse tipo de controlador foi amplamente utilizado devido a sua simplicidade e robustez [50] [53], e pode ser classificado na família dos controladores por modos de deslizamento, particularmente atrativos para controle de sistemas não lineares [9] [40] [65] [70] [79]. Apesar das características de robustez, invariância paramétrica e simplicidade, a operação geralmente ocorre com operação em freqüência variável, o que pode ser indesejável em algumas aplicações. A implementação desta técnica de controle, realizada em muitos casos de forma analógica, apresenta algumas desvantagens como, por exemplo, a necessidade de elevadas freqüências de chaveamento e o fato de as harmônicas serem espalhadas ao longo de uma faixa do espectro de freqüência. Como forma de eliminar tais problemas e atingir freqüência fixa, modificações na largura da faixa de histerese ou a introdução de distúrbios foram propostos. Entretanto, implica o aumento complexidade e/ou da perda de robustez [20] [74].

Os controles analógicos são amplamente utilizados [38] para o controle de conversores estáticos, mas apresentam desvantagens em relação a variações paramétricas dos componentes, maior susceptibilidade a interferência eletromagnética e por rádio freqüência, se comparados à implementação digital. Na década de 1980, obteve-se avanços significativos em termos de controle e comando de conversores estáticos. A utilização de microprocessadores elimina vários problemas advindos de controladores analógicos, oferecendo confiabilidade, facilidade de manutenção e flexibilidade de reconfiguração.

Em relação ao controle digital aplicado a inversores monofásicos e trifásicos [48], tem-se a técnica de controle "*deadbeat*", a qual possui a desvantagem de ser extremamente sensível a variações paramétricas da planta. Em [33] é proposto um inversor PWM monofásico com controle da tensão de saída, implementado com um microprocessador de 16 bits, usando periféricos adicionais para obter a interface com o circuito de potência. Os resultados experimentais obtidos apresentam uma forma de onda senoidal com aceitável distorção harmônica para carga linear. Os resultados satisfatórios obtidos devem-se, principalmente, à utilização de um filtro LC de peso e volume elevados. Kawamura e Haneyoshi [49] descrevem a mesma técnica de controle utilizando apenas um sensor de tensão e estimativa de parâmetros da planta, aplicada a um inversor de tensão monofásico. Kawamura e Ishihara [51] propõem um controle "*deadbeat*" digital em alta freqüência para controle de inversores PWM trifásicos, com freqüências de amostragem elevadas. Os resultados comparados a [48] são significativamente melhorados, com distorção harmônica total reduzida. A implementação do controle é realizada com um DSP, usando-se outro microprocessador para o padrão de pulsos PWM. A conversão analógico-digital é realizada por meio de um circuito integrado dedicado. Há necessidade, portanto, de três dispositivos discretos para implementação do controle do inversor. Em [54], tem-se a técnica *"deadbeat"*

aplicada a um inversor trifásico com modulação "*space vector*", alimentando cargas resistivas, a vazio. A resposta é pouco amortecida com reduzida taxa de distorção harmônica. Novamente, para reduzir a sensibilidade paramétrica, é utilizado um filtro LC com valores de indutância e capacitância elevados. Em [17] é tradado de um controlador digital "*deadbeat*" modificado. Um observador de distúrbios para estimar a corrente de carga é proposto com o objetivo de reduzir a sensibilidade a variações paramétricas. Em [45] propõem um controlador "*deadbeat*" discreto para inversores PWM trifásicos implementado em DSP. Neste caso, é utilizada a medida da corrente nos capacitores de filtro, amostrada quatro vezes em período, resultando em desempenho satisfatório. Os parâmetros do filtro são aceitáveis, pois são relativamente pequenos, embora não seja um procedimento sistemático de projeto. Além disso, a modulação PWM, a uma freqüência quatro vezes superior à de amostragem foi implementada com um dispositivo adicional, no caso FPGA. Embora haja a necessidade de sensoriamento das correntes, o esquema proposto não apresenta proteção contra curto-circuito.

Outras técnicas discretas, como o controle repetitivo e OSAP ("*One Sampling Ahead Preview*"), são apresentadas na literatura. O controlador repetitivo possui a capacidade de reduzir o erro de regime permanente, devido a cargas chaveadas "periódicas", tais como retificadores ou cargas controladas por triacs, mas não possui resposta rápida para cargas variáveis. Para solucionar este problema, a técnica OSAP é utilizada junto ao controle repetitivo. Entretanto, o controlador OSAP necessita do conhecimento prévio dos parâmetros da planta, o que torna o desempenho destas técnicas muito sensível às variações paramétricas do controle. Em [36] descrevem uma técnica de controle repetitivo com controlador OSAP para inversores PWM monofásicos, que reduz o erro de regime permanente causado por cargas cíclicas, apresentando baixa sensibilidade a variações paramétricas, ao custo da

utilização de um filtro LC de grandes dimensões. Em [64] realizam uma comparação de três técnicas de controle: OSAP com controle repetitivo, PID-"*feedforward*" preditivo com controlador repetitivo e o sendo este baseado em estados auxiliares. Os três esquemas podem minimizar as distorções periódicas produzidas por distúrbios de carga "periódicos", mas desenvolvem alta taxa de distorção harmônica quando incluídas as cargas dinâmicas. Os mesmos arranjos foram aplicados experimentalmente a um inversor PWM monofásico, obtendo-se resultados satisfatórios para cargas lineares e periódicas, utilizando-se um microcontrolador de baixo custo. Diante do problema mencionado a cerca das cargas dinâmicas, em [35] propõem um controlador robusto por modelo de referência adaptativo (RMRAC), incluindo o controlador repetitivo. Este sistema assegura a robustez e a estabilidade, eliminando de forma efetiva as distorções periódicas da forma de onda da tensão de saída. No entanto, a relativa complexidade deste controlador pode tornar a implementação inviável de um microcontrolador ou DSP. Trabalhos relacionados a este tema foram desenvolvidos em [15] [14]. Um regulador quadrático linear adaptativo discreto (ADLQR), associado ao repetitivo e um identificador de parâmetros (RLS – "*Recursive Least Squares*") da planta para diferentes condições de carga é apresentado em [64]. O controlador apresenta relativa robustez e boa resposta para cargas lineares e não lineares.

Recentemente, controladores, utilizando PI discretos em eixos síncronos dq, foram propostos, incluindo controle de tensão e de corrente [19], utilizando em alguns casos observadores de estado preditivos [18]. Em ambos os casos, os resultados obtidos são aceitáveis, embora não haja proteção contra curto-circuito. Também foram apresentadas estratégias de controle não linear [16], baseadas em retroação de estados, que permitem o desacoplamento das variáveis em *dq*. Um observador de distúrbios de carga é utilizado para estimar as tensões de saída.

Para atender às especificações de confiabilidade do inversor, um controle de corrente em sistemas de alta performance é essencial. O desempenho do controle de corrente determina a performance do sistema como um todo, requerendo respostas transitórias rápidas e bem amortecidas com erro de regime permanente nulo, para proteção contra sobrecarga e curto-circuito. Além disso, um esquema amplamente utilizado para um controlador de corrente de alta performance é o regulador em eixos síncronos dq, onde as grandezas a serem reguladas são quantidades CC.

A ausência de sistemas de controle de corrente para proteção em condições de funcionamento anormais, como é o caso de curto-circuito e sobrecarga, não é abordada na revisão bibliográfica realizada. Diante disto, pode ocorrer sobrecarga das ações integrais do controlador PI ou dos sistemas servos, o que não foi adequadamente abordado até o momento. Problemas de sobrecarga dos integradores, também podem ocorrer durante os transitórios de partida e de desligamento do inversor, ou mesmo da carga alimentada. Assim, pode ocorrer ações de controle inadmissíveis, o que é indesejável em implementações discretas.

Com base nestas afirmações descritas, este trabalho abordará a questão do controle da corrente e tensão de um inversor PWM monofásico.

1.6 - OBJETIVOS DO TRABALHO

Neste trabalho, serão apresentados o projeto, a implementação experimental e a análise de um inversor PWM monofásico, utilizando-se a topologia de McMurray, com controladores analógicos de tensão e corrente projetados de forma sistemática. Como escopos definidos, pode-se citar:

- obtenção do modelo analógico de controle e de potência do inversor PWM proposto;
- projeto do controlador de tensão, em termos dos erros das variáveis medidas;

- investigação dos aspectos práticos relacionados à implementação analógica do controlador proposto;
- validação dos procedimentos teóricos mediante resultados experimentais e por meio de simulações;

No Capítulo 2, são apresentados os conceitos básicos para a concepção e abordagem do inversor proposto.

O Capítulo 3 trata do estudo das topologias sob a ótica qualitativa. A análise visa determinar as condições operacionais, bem como investigar características relevantes ao projeto do conversor.

No Capítulo 4, desenvolve-se um exemplo de projeto das estruturas que são implementadas e investigadas por meio de testes experimentais e de simulação numérica.

No Capítulo 5, os resultados de simulação e experimentais referentes às estruturas propostas. Desta forma, é possível analisar todos os aspectos relativos à operação dos conversores, bem como validar as metodologias previamente desenvolvidas.

Por fim, tem-se a abordagem do estudo desenvolvido de forma ampla, com o intuito de apresentar as devidas conclusões, bem como propor alternativas para continuidade do trabalho.

CAPÍTULO 2

INVERSOR DE MCMURRAY

2.1 - CONSIDERAÇÕES INICIAIS

Este capítulo trata de um conversor monofásico em ponte completa. Inicialmente, são apresentados aspectos relevantes à modulação, visando escolher uma estratégia adequada para a obtenção de tensão e corrente de saída senoidais.

Como forma de habilitar a operação do conversor em altas freqüências é proposta uma topologia com comutação suave que possui a característica desejável de elevado rendimento.

2.2 - APRESENTAÇÃO DA TOPOLOGIA

A implementação de um conversor CC-CA com baixa distorção harmônica e minimização das perdas por comutação pressupõe a utilização de uma modulação especial em largura de pulso e de um sistema de comando de chaves principais em condições não dissipativas. Os inversores apresentam-se em diversas formas e princípios de operação, resumidos no quadro da Figura 2.1 [58].

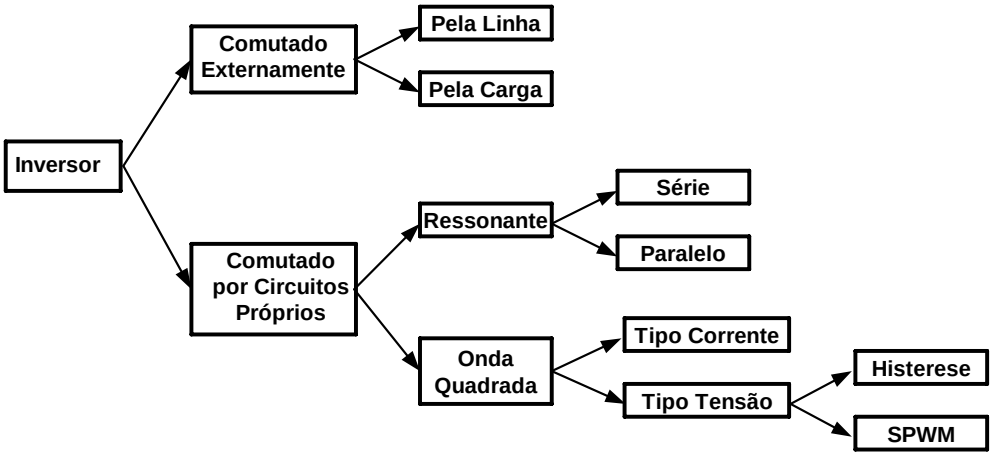


Figura 2.1 – Classificação dos inversores quanto ao princípio de comutação.

Na Figura 2.2, tem-se o inversor monofásico em ponte completa, alimentando uma carga indutiva. Esta estrutura também é conhecida como inversor de McMurray e será utilizada na análise subseqüente. As convenções da Figura 2.2 valem para todo o texto.

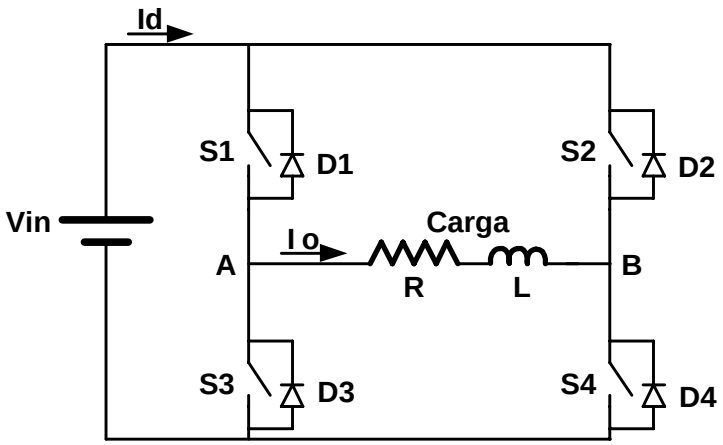


Figura 2.2 – Inversor monofásico em ponte completa.

2.3 - TÉCNICA DE MODULAÇÃO

2.3.1 - EVOLUÇÃO DA MODULAÇÃO PWM

Usando-se técnica mais simples, denominada PWM monopulso sem deslocamento de fase, ilustrada na Figura 2.3 (a), as chaves são disparadas com pulsos contínuos de largura igual a de um semiciclo da freqüência desejada para a tensão de saída.

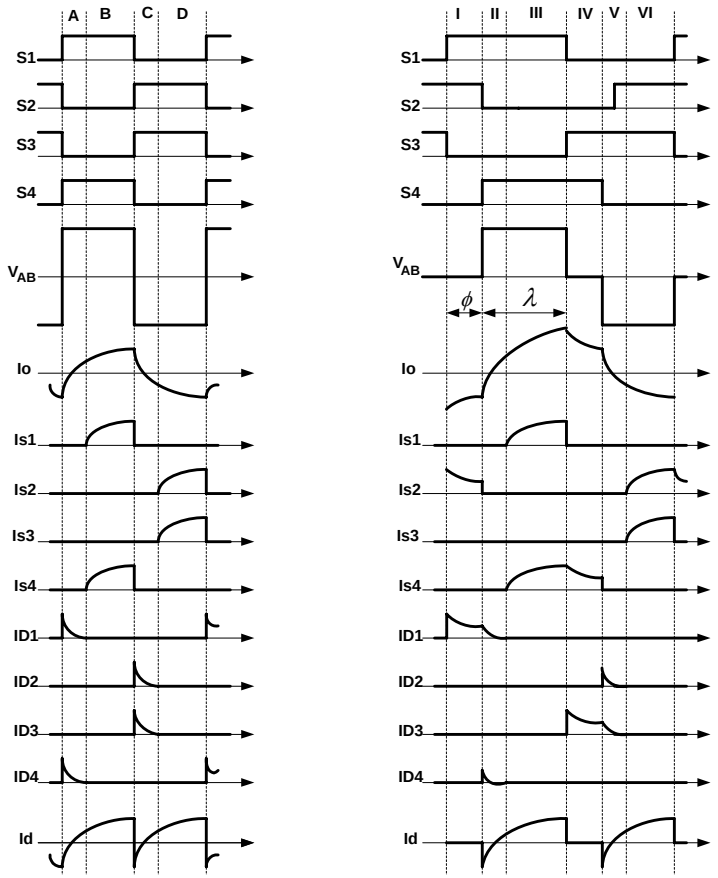
Os grupos de dispositivos alteram o estado de condução, ou seja, *S1* e *S4* conduzem, ou *S2* e *S3* conduzem, resultando em uma forma de onda quadrada de tensão, dita a dois níveis, ou seja, +*Vin* e -*Vin*. A corrente da carga indutiva cresce e decresce exponencialmente, o que provoca um deslocamento em relação aos zeros da tensão. Nesta forma preliminar de obter corrente alternada, as componentes harmônicas estão muito próximas da fundamental, o que torna difícil à filtragem. Além disso, não é possível variar a tensão de saída, a não ser pela variação da tensão de entrada.

Uma pequena alteração na filosofia de disparo das chaves, conhecida como avanço ou deslocamento de fase ϕ, introduz períodos nulos entre os pulsos positivo e o pulso negativo da tensão de saída, que passa assumir três níveis, +*Vin*, zero e -*Vin*. Dependendo da largura remanescente do pulso λ, podem ser obtidos diferentes valores eficazes para a tensão de saída. A Figura 2.3 (b) mostra as formas de onda correspondentes a esta situação.

O valor da componente espectral de ordem *k*, para diferentes larguras de pulso λ, é dada pela equação (2.1) [60].

$$E_k = \frac{2\sqrt{2}V_{in}}{\pi}\left(\frac{1}{k}\operatorname{sen}\frac{k\lambda}{2}\right) \tag{2.1}$$

Adotando se $E_\lambda = \frac{2\sqrt{2}V_{in}}{\pi}$, podem ser traçadas as curvas da Figura 2.4, que mostram a relação entre E_k / E_λ e a largura λ. Para efeito de redução de harmônicas, neste sistema, o melhor valor λ é 120º (ou $2\pi/3$ rad) [63].



(a) λ=π (b) λ< π

Figura 2.3 – Formas do inversor utilizando técnica de controle monopulso.

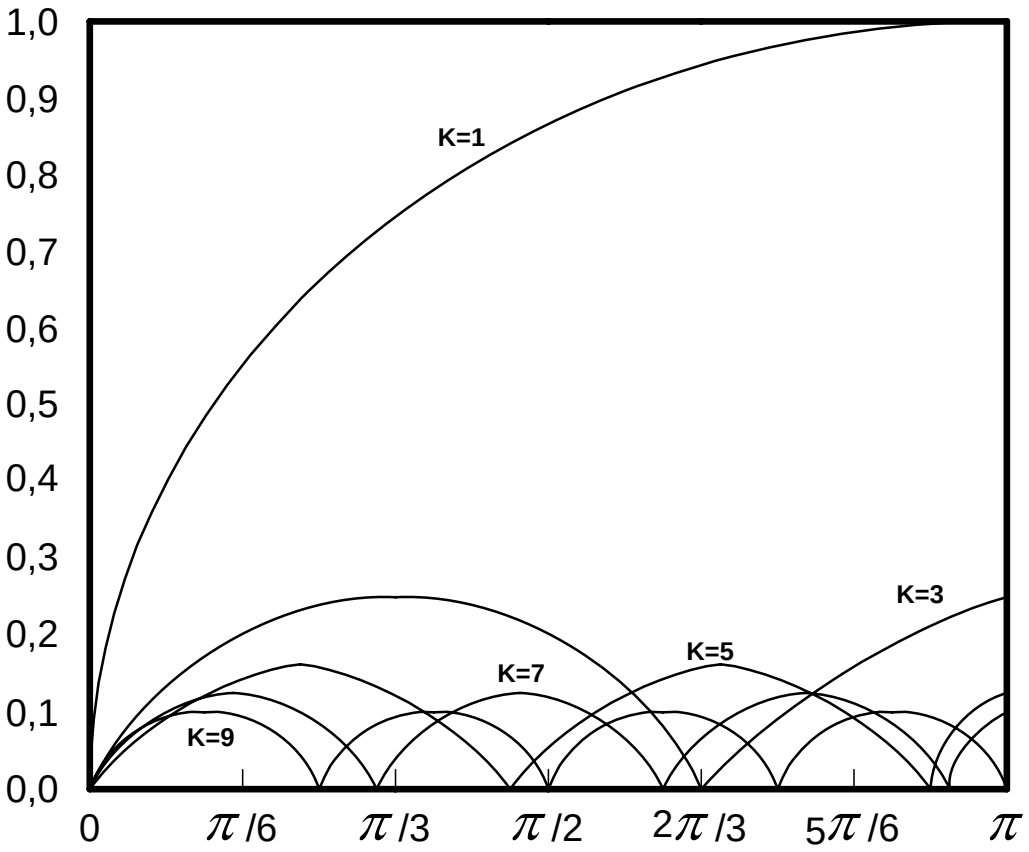


Figura 2.4 – Comportamento das componentes harmônicas do sistema.

Uma maneira mais eficaz de controlar a tensão consiste em dividir o pulso maior em vários pulsos menores comandando e bloqueando os pares de chaves correspondentes a cada semiciclo. A Figura 2.5 apresenta duas formas diferentes de PWM multipulso, sendo que a investigação dos espectros harmônicos nestas circunstâncias revela a facilidade de se realizar a filtragem.

A técnica SPWM ("*Sinusoidal Pulse Width Modulation*") consiste em manter a tensão de saída próxima ao nível da tensão CC de entrada por intervalos de tempo ou larguras de pulso proporcionais aos valores instantâneos de uma senóide de referência, que esteja na mesma freqüência da tensão de saída.

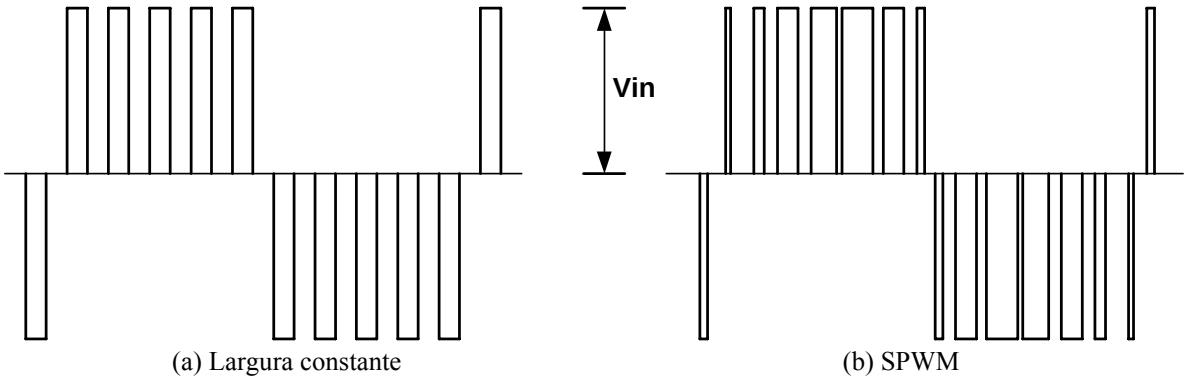


Figura 2.5 – Diferentes formas de recortar a tensão de saída.

2.3.2 - ESCOLHA DA TÉCNICA DE MODULAÇÃO ADEQUADA

A estratégia de modulação desenvolvida neste trabalho é baseada na SPWM, ilustrado na Figura 2.5 (b). Duas das quatro chaves principais (S_1 e S_3) são acionadas em alta freqüência, enquanto as outras chaves (S_2 e S_4) irão comutar em baixa freqüência. A conexão de uma carga indutiva proporciona certa filtragem, o que pode ser verificado na forma de onda de corrente mostrada na Figura 2.6. Entretanto, introduz-se um defasamento, que por sua vez provoca uma deformação que se reflete na tensão.

Atuando nos intervalos em que a tensão e a corrente da carga tem sentidos diferentes, a técnica de modulação denominada DPC ("*Direct Pulse Plus Complementary*") PWM [85] [86] objetiva corrigir a distorção de modo a aproximar a forma de onda da Figura 2.6 a uma senóide, conforme a Figura 2.7. Esta estratégia de modulação especial, utilizando o monitoramento atual da corrente de carga, proporciona a correção automática do formato senoidal da tensão e da corrente de saída, resultando em baixa distorção harmônica [94].

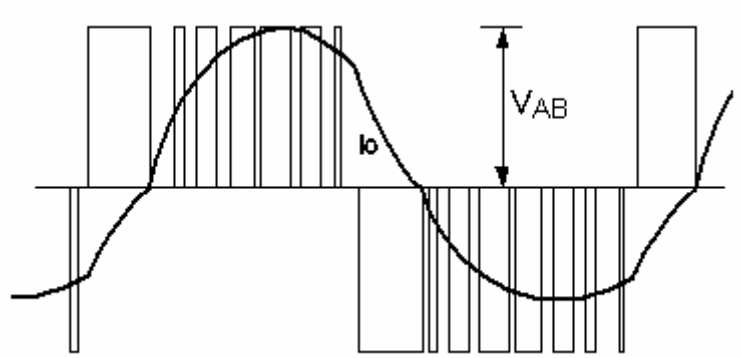


Figura 2.6 – Forma de onda de saída do inversor sem a modulação PWM normal.

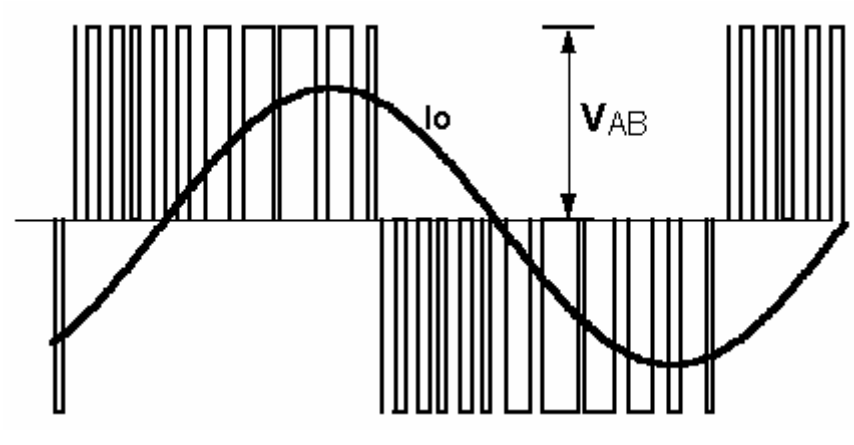


Figura 2.7 – Forma de onda de saída do inversor com a modulação complementar.

2.3.2.1 - MODULAÇÃO COMPLEMENTAR

Nos conversores PWM, a tensão de entrada é constante. A amplitude e a freqüência da tensão de saída podem ser controladas e ajustadas, modulando-se em largura os pulsos que compõem os sinais de disparo das chaves. Na utilização desta técnica de controle SPWM, vários arranjos possíveis existem para que a tensão de saída seja o mais próximo possível da forma senoidal. O sinal senoidal de controle (modulador), na freqüência desejada para a saída, é comparado com uma onda triangular (portadora). Desta comparação resultam pulsos de largura variável de acordo com a evolução senoidal, com freqüência constante, que são empregados no acionamento das chaves, como mostrado anteriormente.

No acionamento monopulso com avanço de fase, a tensão de saída é controlada pelo ângulo de deslocamento ϕ. A operação é desenvolvida em baixa freqüência e resulta em

baixas perdas por comutação, embora o espectro harmônico de baixa ordem apresente amplitude considerável.

Nas técnicas multipulso, particularmente do tipo SPWM, os semicondutores são comutados em freqüência muito superior a freqüência de saída, facilitando assim o trabalho de filtragem das componentes harmônicas. Os pulsos de chaveamento são normalmente obtidos a partir da comparação entre uma referência senoidal e um sinal triangular, os quais, por meio de controladores lógicos, são tratados e utilizados adequadamente na obtenção da modulação.

O inversor da Figura 2.2 contém dois pólos de chaveamento, ou seja, *S1*/*S4* e *S2*/*S3*. A utilização de dois dispositivos semicondutores operando em baixa freqüência representa uma redução do custo do conversor, pois possibilita o uso de dispositivos de comutação mais lenta.

No caso de uma carga com característica indutiva, com os diodos de circulação livre (intrínsecos, no caso de MOSFET's) para a corrente de desmagnetização do indutor, as formas de onda de tensão e corrente dependem da relação de magnitudes entre a reatância indutiva e a resistência da carga. Uma indutância suficientemente grande provoca defasamento considerável e certa filtragem nas componentes de alta freqüência. Nos trechos em que a corrente e a tensão apresentam o mesmo sentido, suas formas de onda são praticamente senoidais. Entretanto, quando a tensão inverte o sinal, forçada pelos sinais de chaveamento, a corrente mantém-se atrás em relação à tensão por alguns instantes, dependendo da relação entre os valores de indutância e resistência. Enquanto o módulo da corrente cresce exponencialmente, a tensão permanece constante, com sinal oposto ao da corrente. Neste trecho, perde-se o envoltório senoidal, caracterizando uma deformação ou distorção, que surge quando se utiliza a modulação SPWM a três níveis.

A técnica DPC empregada na modulação SPWM foi idealizada para atuar de modo diferenciado nos intervalos em que a tensão e a corrente possuem sentidos opostos, para corrigir a distorção nas formas de onda da tensão e da corrente de saída. A principal modificação na técnica convencional reside na introdução nos trechos de distorção, de modulação com pulsos complementares em uma das chaves que operam de modo PWM, para manter a tensão de saída senoidalmente recortada e a corrente de carga com formato próximo de uma senóide.

2.3.2.2 - OBTENÇÃO DO CIRCUITO LÓGICO PARA GERAÇÃO DOS PULSOS DE COMANDO

Para um ciclo completo da tensão de referência ou da corrente senoidal desejada, há quatro intervalos com diferentes combinações lógicas de interesse para a geração dos pulsos a serem aplicados chaves. Estas combinações possibilitam deduzir as expressões lógicas e o correspondente circuito combinatório, responsável pela implementação prática da estratégia de controle proposta. Para tal, utiliza-se o diagrama da Figura 2.8.

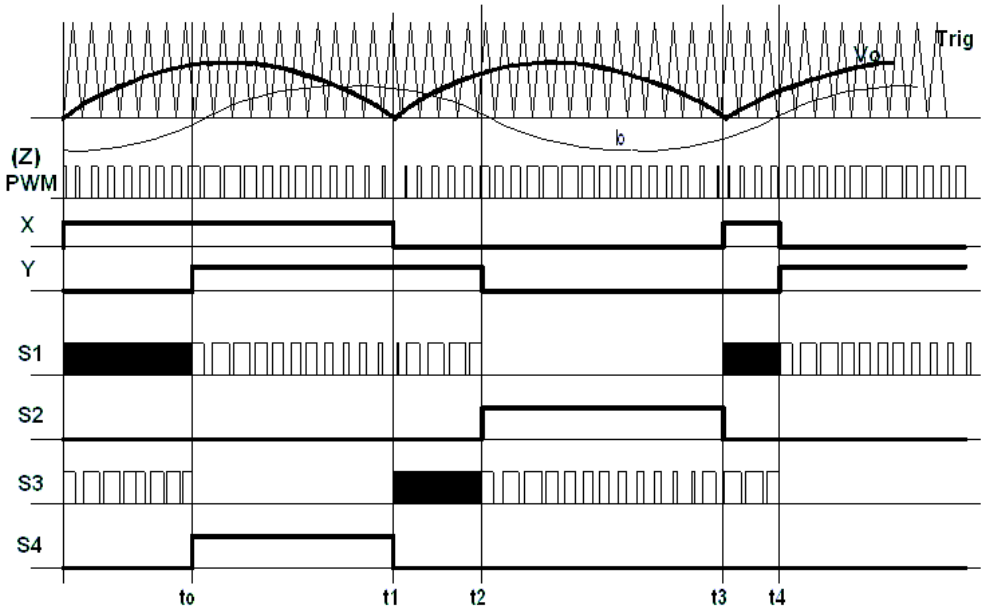


Figura 2.8 – Diagrama temporal correspondente à operação DPC.

Adotam se as seguintes variáveis:

- Io – sinal de tensão obtido a partir da corrente de carga do inversor por meio de um resistor para retirada de amostra;
- Vo – sinal de tensão obtido a partir da tensão de carga do inversor, retificado para aplicação no controle;
- Trig – sinal de tensão triangular que irá determinar a freqüência de chaveamento das chaves do ramo de alta freqüência;
- X – sinal digital de entrada retificado, obtido a partir da referência da tensão senoidal e correspondente ao sentido da tensão;
- Y – sinal digital de entrada, correspondente à condição da corrente de carga;
- Z – sinal digital de entrada correspondente ao PWM direto, gerado em um circuito dedicado a comparação do sinal senoidal com o sinal triangular.
- Sn – sinais digitais de saída, correspondentes aos pulsos de disparos das chaves de mesmo Sn, n=1...4;
- An – sinais digitais de saída, correspondentes à lógica para uso da comutação normal e da comutação complementar para o inversor (An), n=1,2.
- Bn – sinais digitais de saída, correspondentes à lógica para uso das comutações normal e complementar, n=1,2.

Aplicando se as convenções da lógica positiva [7] [78], e considerando os sentidos da corrente e da tensão adotados Figura 2.2, pode-se listar o significado da ocorrência de um dado valor lógico. O quadro das possíveis ocorrências individuais é apresentado na Tabela 2.1. Por exemplo, se dado chave recebesse um sinal $S = X.\overline{Y}$, estaria em condução enquanto durasse o semiciclo positivo (X=1) e a corrente fosse negativa (Y=0), e estaria bloqueada nos demais casos. Em um circuito lógico com três variáveis de entrada, o fato de somente

aparecerem duas delas na expressão de saída significa que função (*S*) independe da terceira variável.

Adotadas estas convenções, é possível projetar um circuito lógico que combine as entradas *X*, *Y* e *Z* para gerar pulsos *S1*, *S2*, *S3* e *S4* que definem os disparos das chaves. Este circuito é apresentado no diagrama de blocos na Figura 2.9. O diagrama temporal da Figura 2.8 estabelece as relações para preencher as tabelas verdade que resumem o comportamento das saídas. Utilizando o mapa de Karnaugh [7] [78], determinam as expressões lógicas das saídas.

A expressão lógica correspondente à variável S1 é deduzida a partir da Tabela 2.2. A solução utiliza o mapeamento de Karnaugh e considera a condição irrelevante (-), de acordo com a conveniência para simplificar o circuito.

Figura 2.9 – Representação da lógica de geração dos pulsos de disparo.

Tabela 2.1 – Estados lógicos das variáveis de estado adotadas.

Variável	Estado	Significado
X	0	Semiciclo negativo da referência senoidal
	1	Semiciclo positivo da referência senoidal
Y	0	Corrente negativa na carga
	1	Corrente positiva na carga
Z	0	PWM complementar ou invertido
	1	PWM direto

Tabela 2.2 – Tabela verdade para A1 e descrição da situação.

X	Y	Z	A1	Descrição
0	0	0	0	A chave S1 nao pode ser fechada durante o semiciclo negativo (X=0), com a corrente netativa (Y=0)
0	0	1	0	
0	1	0	1	Semiciclo negativo, corrente positiva (Y=1), A chave S1 recebe modulação complementar (S1=$\overline{Z}$)
0	1	1	0	
1	0	0	-	Não importa a condição de S1 (irrelevante), devido à condução do diodo D1 em paralelo
1	0	1	-	
1	1	0	0	Semiciclo positivo da referência senoidal (X=1), a corrente positiva (Y=1), PWM direto (A1=Z)
1	1	1	1	

Z \ XY	00	01	11	10
0	0	1	0	-
1	0	0	1	-

→

Z \ XY	00	01	11	10
0	0	1	0	-
1	0	0	1	-

Figura 2.10 – Mapa de Karnaugh para A1.

A partir da Figura 2.10, tem-se (2.2).

$$S1 = XZ + \overline{X}Y\overline{Z} \tag{2.2}$$

Tabela 2.3 – Tabela verdade para B1.

X	Y	Z	B1	Descrição
0	0	0	0	Semiciclo negativo (X=0), corrente negativa (Y=O), S3 recebe o PWM direto (B1=Z)
0	0	1	1	
0	1	0	-	Semiciclo negativo (X=0), corrente positiva (Y=1), S1 recebe modulação complementar de S1 (irrelevante para B1)
0	1	1	-	
1	0	0	1	Semiciclo positivo (X=1), corrente negativa (Y=0), região complementar de S1 (B1= $\overline{Z}$)
1	0	1	0	
1	1	0	0	Semiciclo positivo (X=1), corrente positiva (Y=1), PWM direto (S2 fica desligada)
1	1	1	0	

Z \ XY	00	01	11	10
0	0	-	0	1
1	0	-	0	0

→

Z \ XY	00	01	11	10
0	0	1	0	1
1	1	-	1	0

Figura 2.11 – Mapa de Karnaugh para B1.

Da Figura 2.11, resulta a seguinte expressão lógica:

$$B1 = YZ + X\overline{Y}\,\overline{Z} \tag{2.3}$$

As saídas *A2* e *B2* independem de *Z* porque as chaves *S2* e *S4* não estão sob o modo de condução PWM. A tabela verdade, portanto, fica reduzida a duas variáveis, conforme a Tabela 2.4.

Tabela 2.4 – Tabela verdade para as chaves S2 e S4.

X	Y	A2	B2
0	0	1	0
0	1	0	0
1	0	0	0
1	1	0	1

As expressões lógicas das saídas podem ser obtidas diretamente da Tabela 2.4, utilizando a fórmula de integração de Lagrange [24]:

$$S2 = \overline{X}\,\overline{Y} \tag{2.4}$$

$$S4 = XY \tag{2.5}$$

As expressões (2.2) e (2.3) são relativas às condições ideais de regime permanente, uma vez que, na prática as chaves não mudam de estado instantaneamente. A realimentação de corrente *Y*, que está sendo tratada como binária, pode ser nula nos instantes de partida. Considerando a existência de perturbações transitórias, atrasos e condução simultânea indesejada, é conveniente desdobrar os sinais, que a partir deste ponto serão tratados conforme a convenção da Tabela 2.5.

Tabela 2.5 – Atualização das variáveis lógicas.

Anterior	Atual	Significado
X	F	Primeiro semiciclo da tensão
$\overline{X}$	S	Segundo semiciclo da tensão
Y	P	Semiciclo positivo da corrente
$\overline{Y}$	N	Semiciclo negativo da corrente
Z	D	PWM direto
$\overline{Z}$	C	PWM complementar

As expressões (2.2) a (2.5) podem ser reescritas, conforme (2.6) a (2.9). O circuito lógico atualizado é representado na Tabela 2.5.

$$S1 = FD + SPC \tag{2.6}$$

$$S2 = SN \tag{2.7}$$

$$S3 = PD + FCN \tag{2.8}$$

$$S4 = FP \tag{2.9}$$

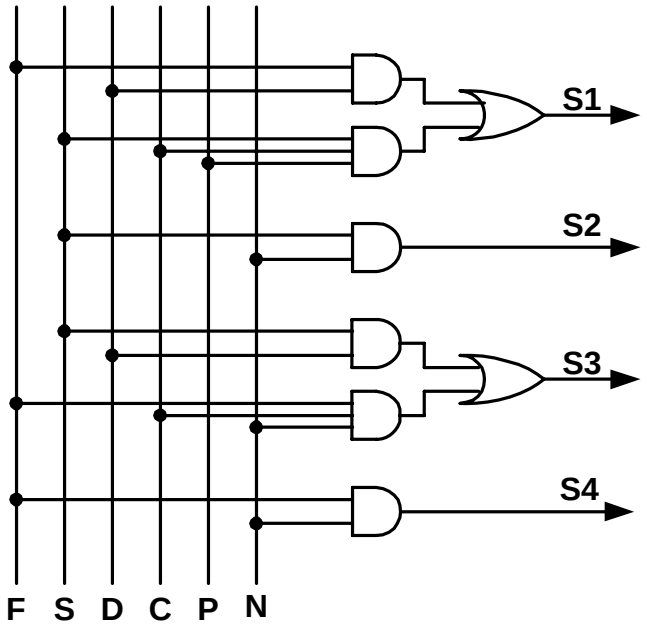


Figura 2.12 – Circuito lógico representando a estratégia de controle.

2.4 - INVERSOR DE MCMURRAY COM COMUTAÇÃO SUAVE

Nas chaves totalmente controladas ideais não há perdas por comutação, pois a transição na entrada e saída de condução é considerada instantânea. Por outro lado, os dispositivos reais geralmente comutam com dissipação de energia, e podem até mesmo falhar, danificando-se ou destruindo componentes do circuito. A minimização das perdas na comutação possibilita a aplicação das estruturas em freqüências de chaveamento mais elevadas, acarreta a redução de peso e volume do conversor, bem como elevação da eficiência energética.

Nesta parte do trabalho, pretende-se aplicar a comutação suave ao inversor de McMurray em ponte completa, por meio de chaves auxiliares que suavizarão a transição de condução e de bloqueio para os elementos semicondutores, sem perdas das chaves principais.

2.4.1 - ESTRUTURA DO INVERSOR PROPOSTO

A Figura 2.13 mostra a topologia não dissipativa em ponte completa. Deve-se ressaltar que apenas dois dispositivos semicondutores (*S1* e *S3*) operam sob modo de condução PWM, em alta freqüência, sendo fundamental a obtenção da comutação não dissipativa. As demais chaves principais (*S2* e *S4*) operam em baixa freqüência. Embora as perdas por comutação sejam mínimas, são introduzidas chaves auxiliares, de forma que seja possível a utilização de qualquer tipo de dispositivo semicondutor, a exemplo de MOSFET's, IGBT's ou mesmo tiristores.

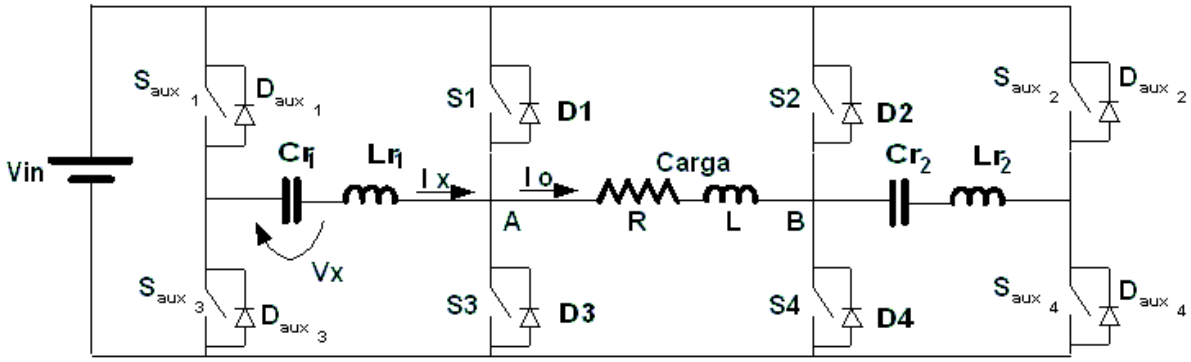


Figura 2.13 – Estágio de potência do inversor.

2.4.2 - DIAGRAMA DE BLOCOS DO CONVERSOR

A descrição do circuito com base no diagrama de blocos da Figura 2.14. O circuito de comando processa os sinais digitais *F*, *S*, *P*, *N*, *K*, *C* e *D*, definidos anteriormente, de acordo com a estratégia de modulação proposta.

Os sinais *F* e *S* são obtidos por retificação, seguida de quadramento, a partir da onda de tensão de referência senoidal, gerada por um oscilador do tipo VCO ("*Voltage Controlled Oscillator*"), que permite variar a freqüência de saída. Neste caso, é utilizado um microcontrolador PIC esta referência.

Um sensor, inserido para gerar no circuito de carga, informa o sentido atual da corrente, através dos sinais convencionados como P e N. Conforme mencionado anteriormente, se o valor médio da corrente circulante é nulo, o circuito de comando mantém o chaveamento, apenas retirando a modulação complementar SPWM. Nesta situação, o fornecimento externamente deixa de ser utilizado, sendo substituído por um sinal amostrado a partir da carga.

A geração do padrão PWM é obtida a partir da comparação de dois sinais, isto é, uma forma de onda senoidal comparada a um sinal portador triangular. Ambas formas de onda,

senóide e triangular, são geradas por meio de um circuito microprocessador PIC. As portas inversoras posicionadas na saída definem os sinais *C* e *D* (PWM e $\overline{PWM}$).

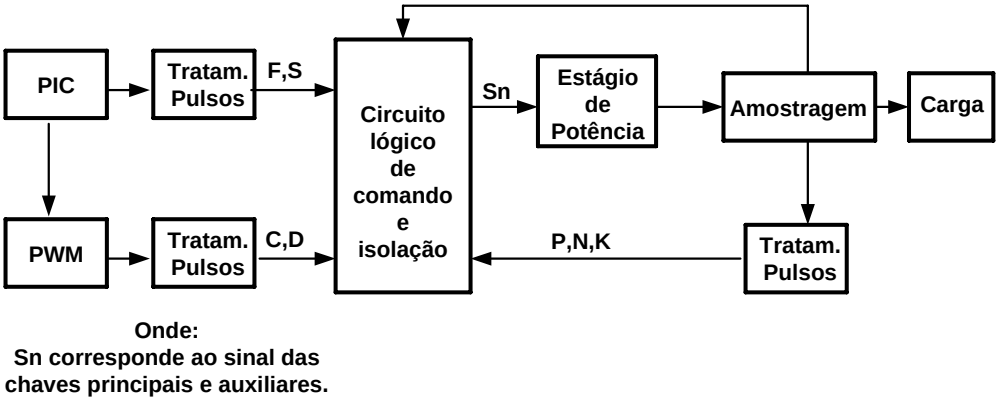


Figura 2.14 – Diagrama de blocos representando a operação do inversor em malha fechada.

O estágio de potência é formado por quatro chaves principais em configuração de ponte completa, associada a quatro chaves de auxílio à comutação. Dos oito sinais fornecidos pelo circuito de controle (Figura 2.15), quatro sinais de controle precisam ser isolados por possuírem referencias diferentes. Estes sinais precisam ser isolados eletricamente em relação ao controle, para isto, são usados acopladores ópticos. Contudo, as quatro chaves remanescentes podem receber diretamente os sinais de controle que são circuitos de acionamento para quadratura de pulso. A lógica de controle das chaves principais e auxiliares é obtida por meio de um circuito monoestável.

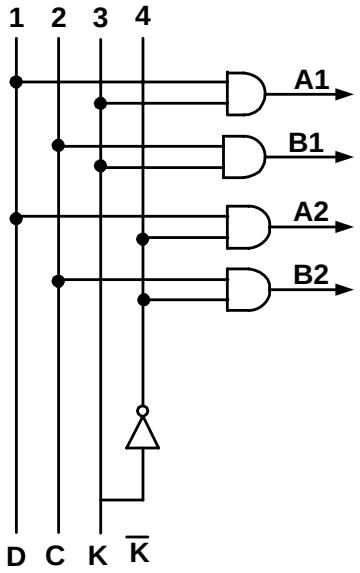


Figura 2.15 – Lógica de modulação normal e complementar.

A Figura 2.15 representa o esquema lógico que desempenha a ação da Figura 2.16, sendo que o circuito de controle pode atuar com a modulação normal nos intervalos *A1* e *A2*, ou complementar nos intervalos *B1* e *B2*. Desta forma, pode se garantir que a forma de onda da corrente de saída será senoidal e imposta pelo controle, que sempre monitorará esta grandeza por meio de uma amostra de corrente realimentada.

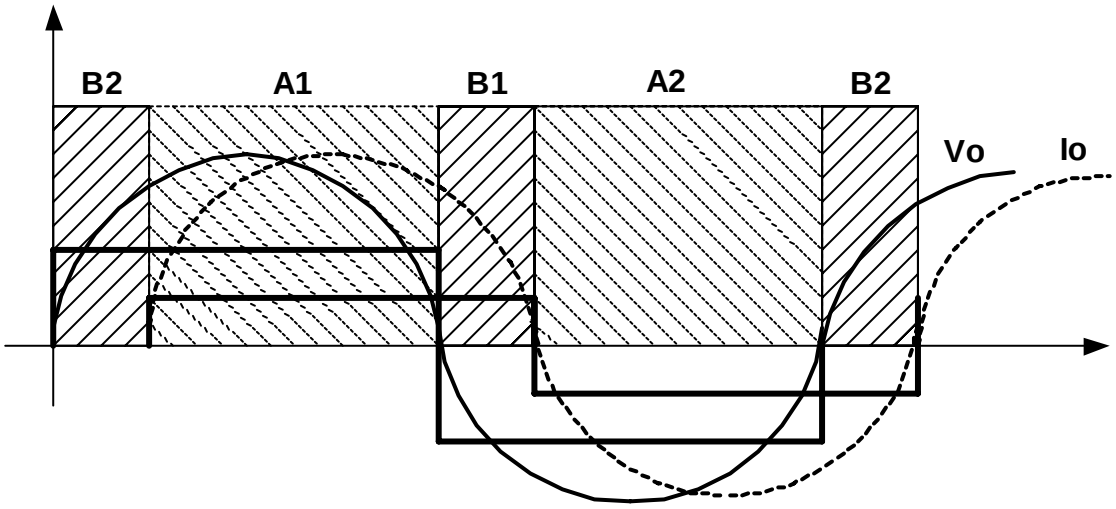


Figura 2.16 – Demonstração da forma de onda de referencia imposta na estratégia de controle.

Uma vez definidos os intervalos de tempo em que deve atuar a modulação normal ou complementar, deve-se proceder a seqüência de acionamento das chaves. Os pulsos devem ser

enviados diretamente para as chaves de auxilio à comutação (*Saux1*, *Saux2*, *Saux3* e *Saux4*), conforme for adotada a convenção de disparo das chaves, de forma que no ramo de alta freqüência sejam acionadas *Saux1*, *Saux2*, e no ramo de baixa freqüência sejam acionadas *Saux3* e *Saux4*.

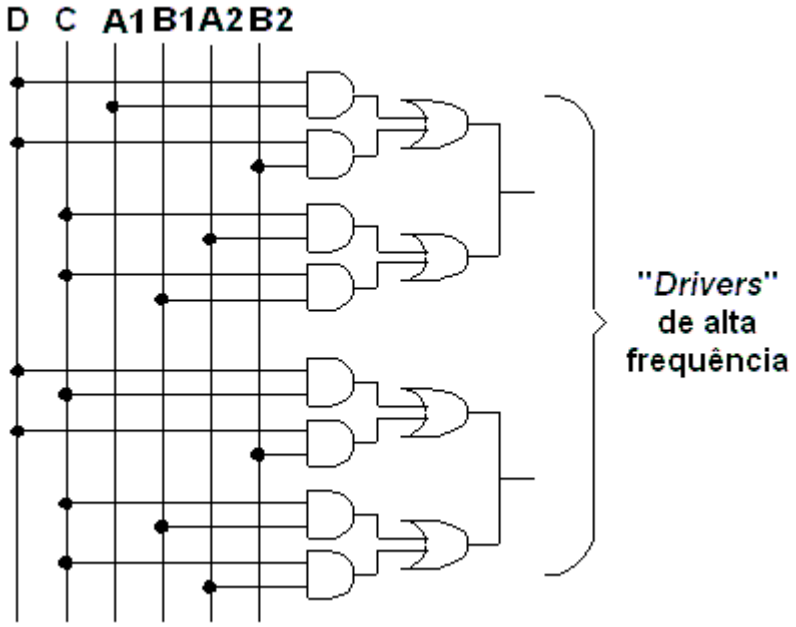


Figura 2.17 – Lógica de controle para as chaves do ramo de alta freqüência.

2.5 - CONSIDERAÇÕES FINAIS

Este capítulo abordou a técnica de modulação utilizada, bem como o procedimento para acionamento das chaves, de forma a se obter a corrente e tensão de saída senoidais.

Visando à minimização das perdas por comutação, é proposta uma estrutura que utiliza chaves auxiliares, bem como ramos ressonantes, de modo que a condução e bloqueio das chaves principais ocorram de forma não dissipativa.

CAPÍTULO 3

ANÁLISE QUALITATIVA

3.1 - CONSIDERAÇÕES INICIAIS

Este capítulo apresenta o inversor em ponte completa, também conhecido como inversor de McMurray. São descritas três configurações possíveis, nas quais é possível obter comutação suave tanto na entrada como na saída de condução. As estruturas são analisadas de forma teórica no que se refere à operação em regime permanente, destacando-se aspectos relevantes às mesmas.

3.2 - VARIAÇÕES TOPOLÓGICAS DO INVERSOR DE MCMURRAY

A estrutura desenvolvida no Capítulo 2, na qual é possível obter comutação não dissipativa, admite três configurações:

- Inversor com diodo em antiparalelo com a chave;
- Inversor com diodo em série com a chave;
- Inversor com diodo em série com comutação totalmente suave.

A seguir, tem-se a descrição pormenorizada e análise operacional de cada uma das mesmas.

3.2.1 - INVERSOR DE MCMURRAY COM DIODO EM ANTIPARALELO

Na Figura 3.1, tem-se o inversor em ponte completa associado às chaves de auxílio à comutação. Neste caso, os diodos auxiliares encontram-se em antiparalelo com as chaves. Deve-se ressaltar que o inversor proposto pode utilizar vários tipos de semicondutores, como MOSFET's, IGBT's e tiristores. No caso dos MOSFET's, utiliza-se os diodos intrínsecos aos

mesmos, embora outros dispositivos requeiram a introdução de diodos adicionais. As células de comutação, aplicadas aos ramos de alta e baixa freqüência, são constituídas por dois pares de chaves auxiliares, bem como dois tanques ressonantes, representados por um capacitor e um indutor.

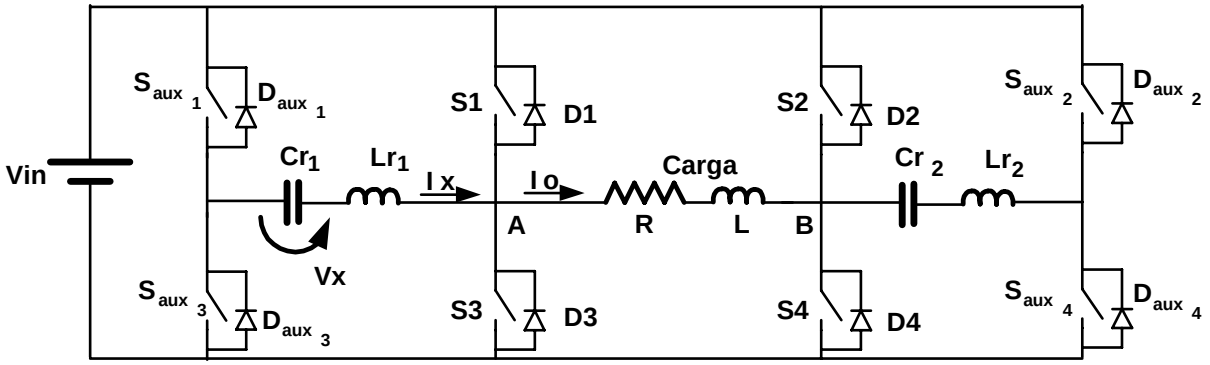


Figura 3.1 – Inversor de McMurray utilizando diodos em antiparalelo com as chaves.

Uma vez que a freqüência de chaveamento é muito maior que a freqüência da componente fundamental da tensão de saída do inversor, as seguintes considerações podem ser adotadas ao longo de um ciclo de chaveamento [30] [29] [28]:

- A corrente de carga é constante;
- A corrente de entrada é constante e livre de ondulações.

Durante um período de chaveamento, há oito etapas de operação, sendo que as formas de onda teóricas relevantes são representadas na Figura 3.2. A operação do circuito da Figura 3.1 é apresentada a seguir, considerando-se apenas um dos ramos de auxílio à comutação. A análise é análoga para o ramo adicional, embora as freqüências de comutação das chaves sejam distintas.

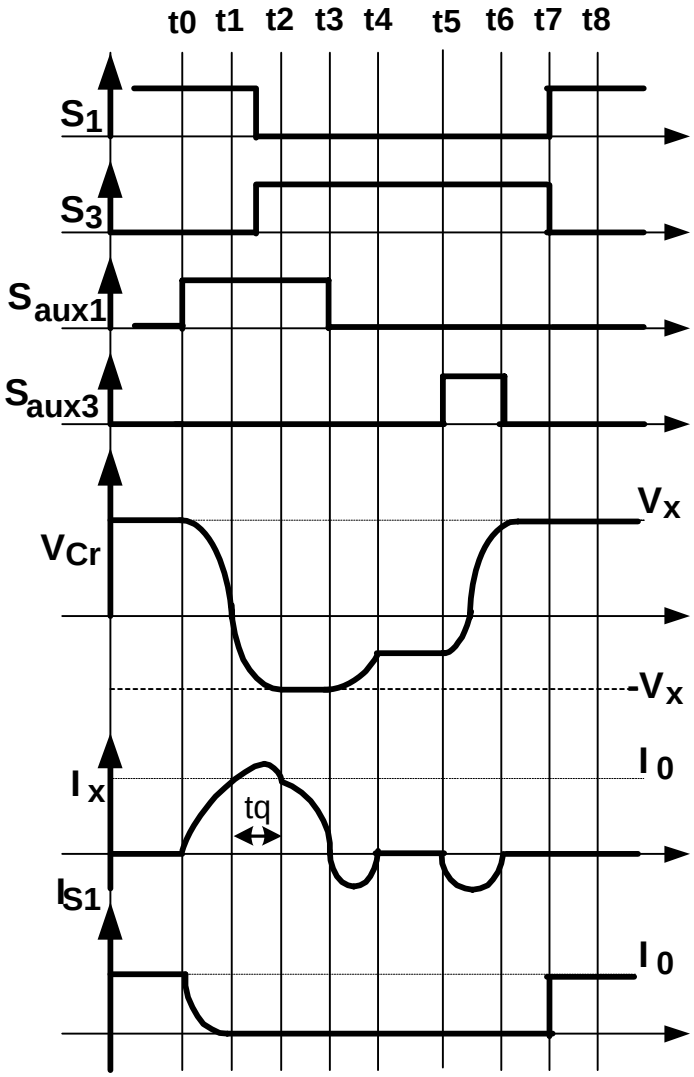


Figura 3.2 – Formas de onda teóricas.

- **Primeira Etapa [t0, t1] (Figura 3.3):**

Esta etapa prima pelo desvio da corrente de carga *Io* da chave principal *S1*, deste modo sob a chave *Saux1* entra em condução, provocando assim uma ressonância entre *Cr1* e *Lr1*, fazendo com que a corrente *Io* comece a ser desviada para o ramo ressonante. Na mesma proporção que a corrente ressonante *Ix* cresce no ramo ressonante, a corrente de carga *Io* decresce na chave *S1*.

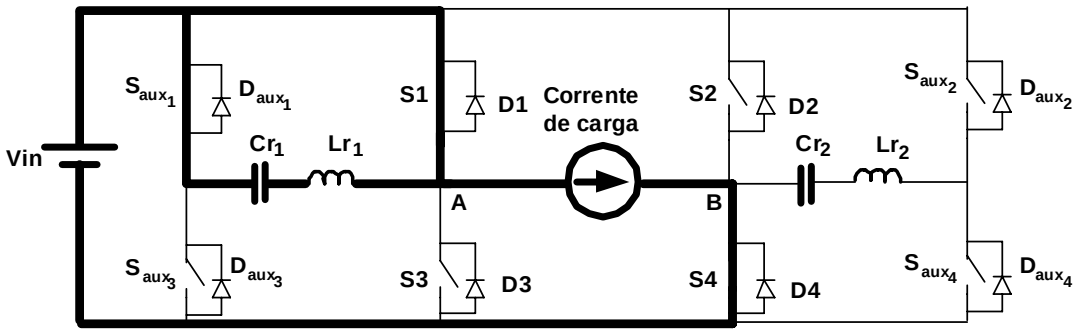


Figura 3.3 – Primeira etapa.

- **Segunda Etapa [t1, t2] (Figura 3.4):**

O diodo *D1* é colocado em condução, de forma que a corrente dada pela diferença entre *Ix* e *Io* passa a circular. Esta diferença entre as correntes é o excedente da corrente de ressonância, que garante que a corrente na chave *S1* é nula, de forma que neste instante a chave *S1* pode ser retirada de condução em modo ZCS.

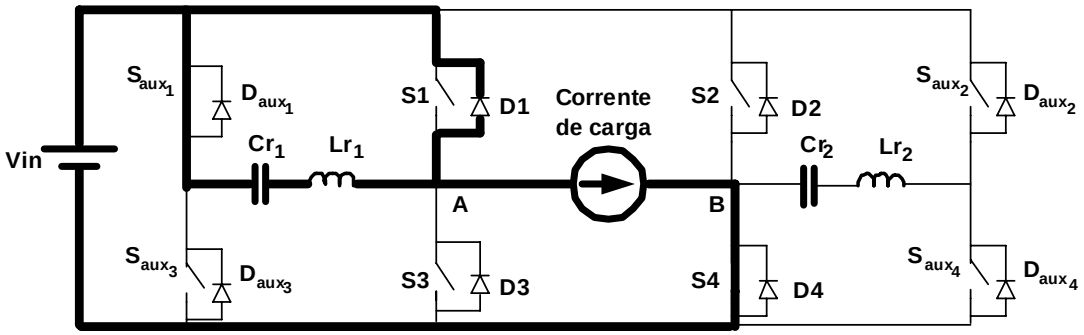


Figura 3.4 – Segunda etapa.

- **Terceira Etapa [t2, t3] (Figura 3.5):**

A Corrente *Ix* começa a decrescer por influência do capacitor Cr1 que esta se carregando, de forma que o diodo *D3* é polarizado diretamente, assumindo assim a parcelada corrente que deixa de circular pelo ramo ressonante, pois a corrente *Io* é constante e esta diferença passa a ser assumida pelo diodo *D3*.

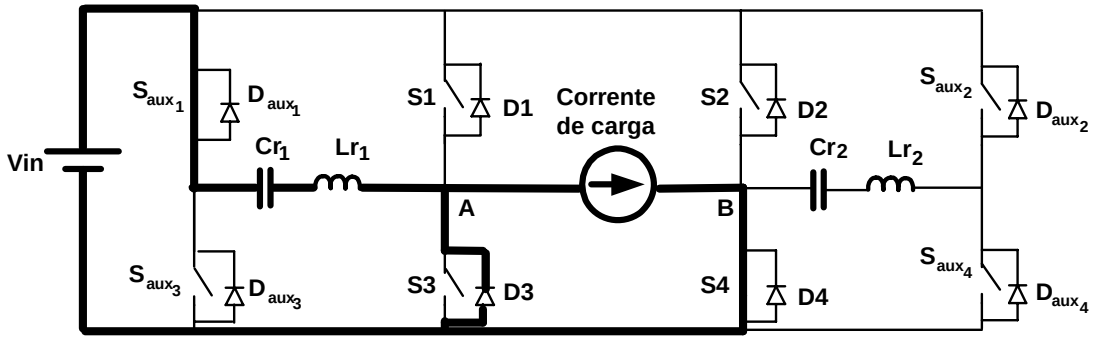


Figura 3.5 – Terceira etapa.

- **Quarta Etapa [t3, t4] (Figura 3.6):**

O diodo intrínseco da chave *Saux1* entra em condução devido à inversão na corrente *Ix*, que é definida como ressonância parasita, por se tratar de uma ressonância indesejada. O *D3* permanece em roda livre e parte da energia armazenada no ramo ressonante é devolvida para a fonte *Vin*.

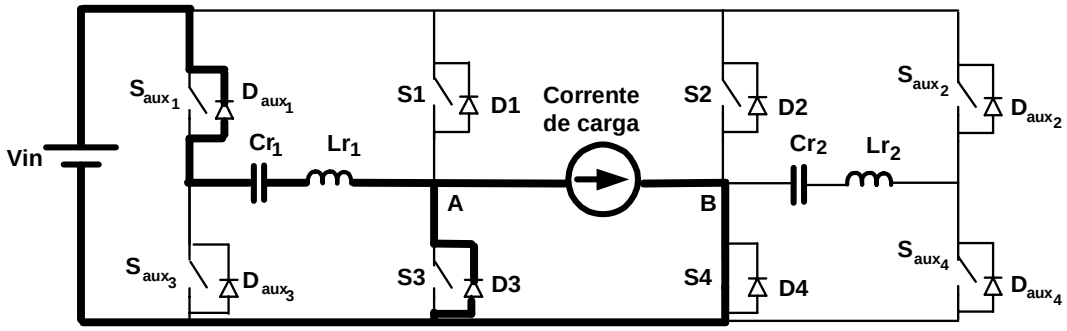


Figura 3.6 – Quarta etapa.

- **Quinta Etapa [t4,t5] (Figura 3.7):**

A chave *Saux1* sai de condução, pois o capacitor *Cr1* se carrega, de forma que, tornando-se uma chave aberta ao circuito, fazendo com que a corrente *Io* seja conduzida por *D3*, garantindo etapa de roda livre.

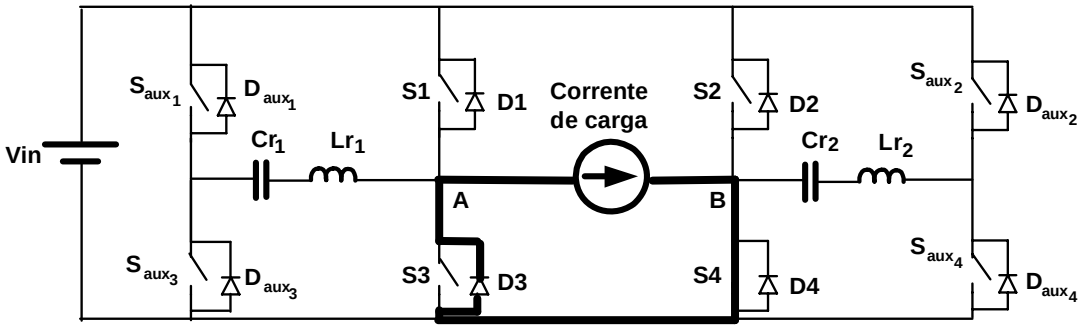


Figura 3.7 – Quinta etapa de operação.

- **Sexta Etapa [t5, t6] (Figura 3.8):**

A chave auxiliar *Saux3* entra em condução, iniciando assim outra oscilação no ramo ressonante, com o intuito de inverter o sentido de tensão do capacitor *Cr1*, preparando assim o circuito para a próxima etapa de operação do mesmo. Desta forma, quando *Cr1* estiver completamente carregado, torna-se uma chave aberta ao circuito, finalizando assim esta etapa de operação.

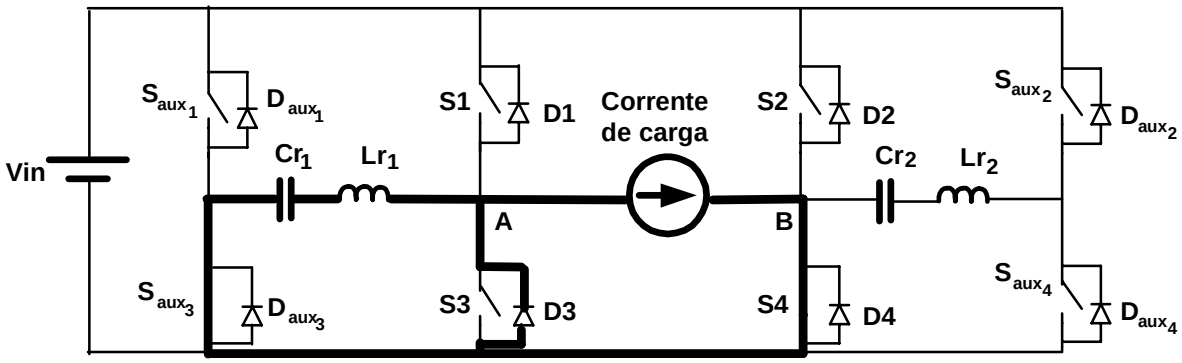


Figura 3.8 – Sexta etapa.

- **Sétima Etapa [t6, t7] (Figura 3.9):**

A carga completa de *Cr1*, faz com que a corrente ressonante *Ix* torne-se nula, de forma que o diodo *D3* passa conduzir a corrente de carga *Io*, garantindo a etapa de roda livre.

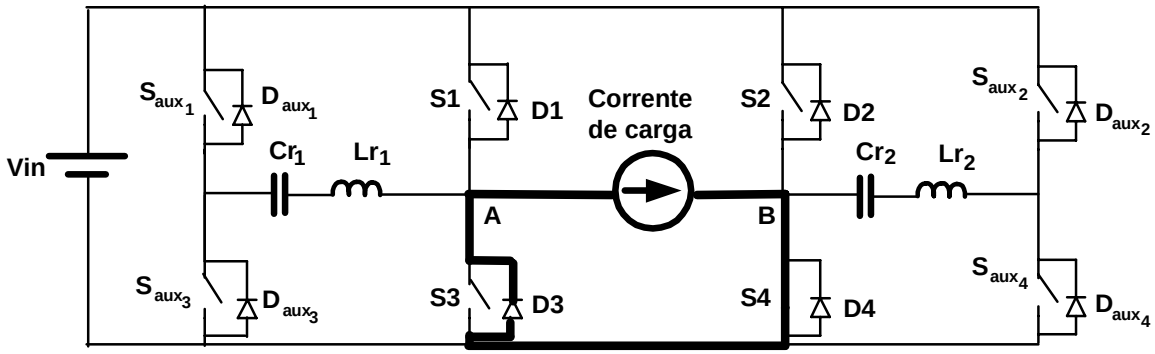


Figura 3.9 – Sétima etapa.

- **Oitava Etapa [t7, t8] (Figura 3.10):**

A chave *S1* entra em condução de modo dissipativo, pois assume a corrente *Io* instantaneamente, enquanto o diodo *D3* é polarizado reversamente. Desta forma, finaliza-se a etapa de operação pertinente ao funcionamento da chave principal *S1*

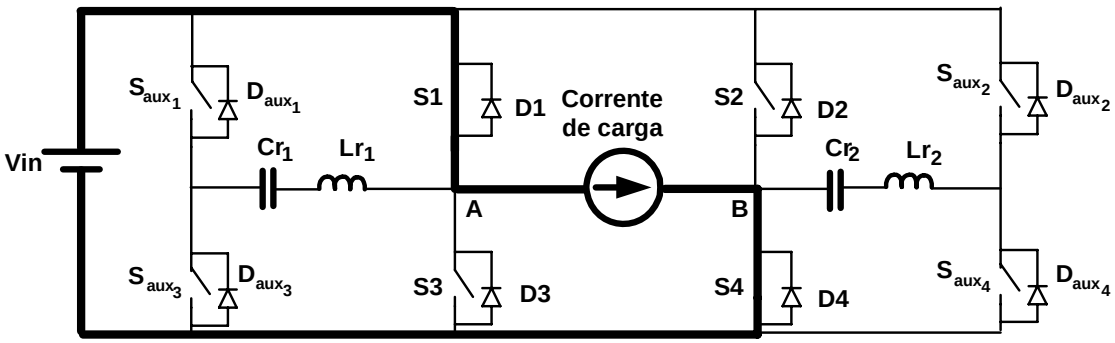


Figura 3.10 – Oitava etapa.

3.2.2 - INVERSOR DE MCMURRAY COM DIODO EM SÉRIE

Na Figura 3.11, tem-se o inversor em ponte completa associado às chaves de auxílio à comutação. Neste caso, os diodos auxiliares encontram-se em série com as chaves.

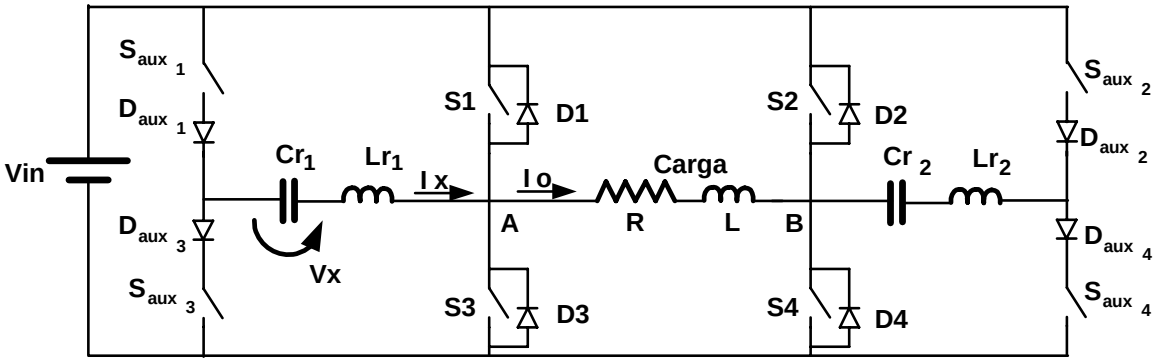


Figura 3.11 – Inversor de McMurray utilizando diodos em série com as chaves.

Uma vez que a freqüência de chaveamento é muito maior que a freqüência da componente fundamental da saída do inversor, as seguintes considerações podem ser adotadas ao longo de um ciclo de chaveamento [30] [29] [28]:

- A corrente de carga é constante;
- A corrente de entrada é constante e livre de ondulações.

Durante um período de chaveamento, há sete etapas de operação, sendo que as formas de onda teóricas relevantes são representadas na Figura 3.12. A operação do circuito da Figura 3.11 é apresentada a seguir, considerando-se apenas um dos ramos de auxílio à comutação. A análise é análoga para o ramo adicional, embora as freqüências de comutação das chaves sejam distintas.

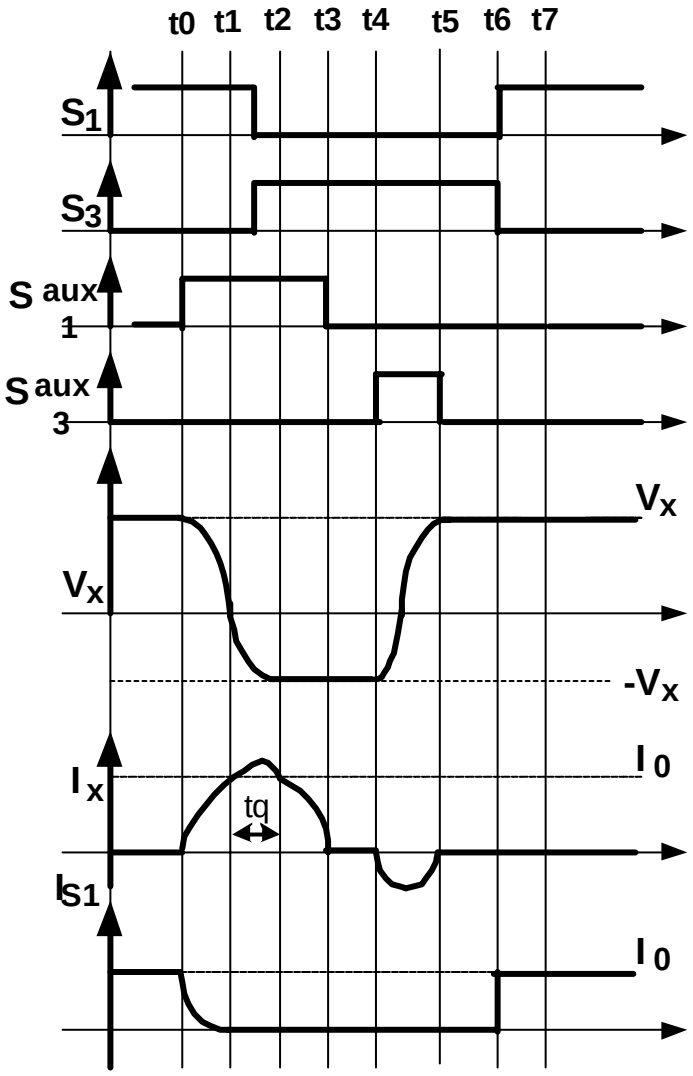


Figura 3.12 – Formas de onda teóricas.

- **Primeira Etapa [t0, t1] (Figura 3.13):**

Esta etapa prima pelo desvio da corrente de carga *Io* da chave principal *S1*, deste modo sob a chave *Saux1* entra em condução, provocando assim uma ressonância entre *Cr1* e *Lr1*, fazendo com que a corrente *Io* comece a ser desviada para o ramo ressonante. Na mesma proporção que a corrente ressonante *Ix* cresce no ramo ressonante, a corrente de carga *Io* decresce na chave *S1*.

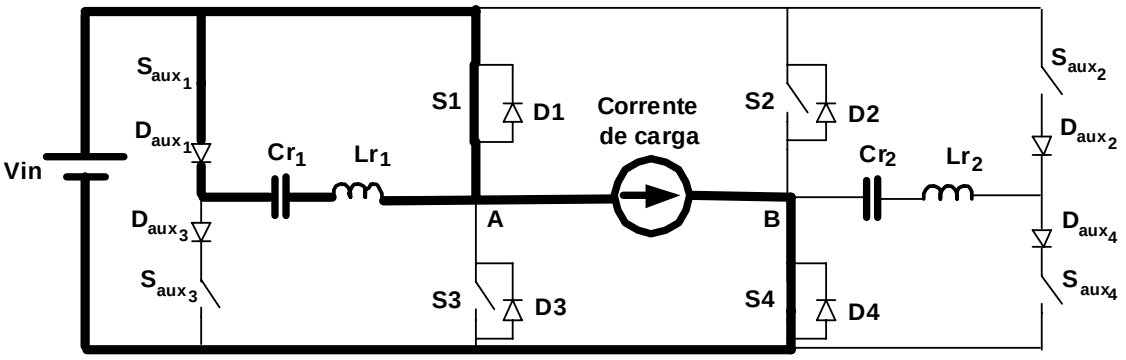


Figura 3.13 – Primeira etapa.

- **Segunda Etapa [t1, t2] (Figura 3.14):**

O diodo *D1* é colocado em condução, de forma que a corrente dada pela diferença entre *Ix* e *Io* passa a circular. Esta diferença entre as correntes é o excedente da corrente de ressonância, que garante que a corrente na chave *S1* é nula, de forma que neste instante a chave *S1* pode ser retirada de condução em modo ZCS.

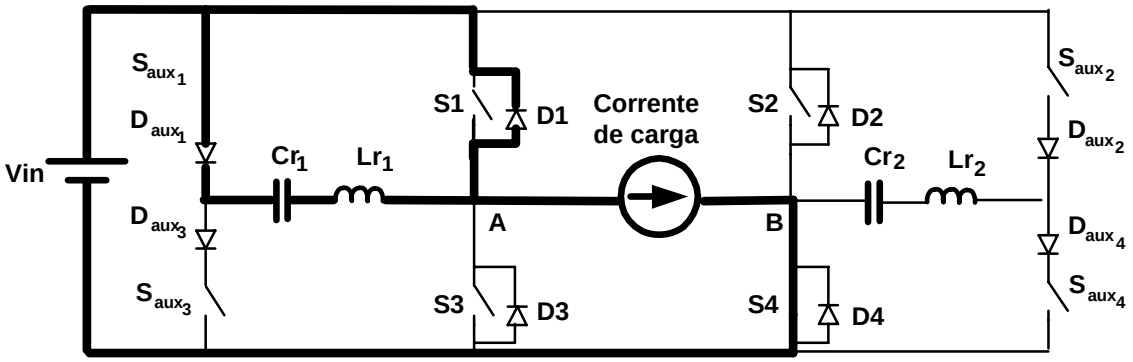


Figura 3.14 – Segunda etapa.

- **Terceira Etapa [t2, t3] (Figura 3.15):**

A Corrente *Ix* começa a decrescer por influência do capacitor Cr1 que esta se carregando, de forma que o diodo *D3* é polarizado diretamente, assumindo assim a parcelada corrente que deixa de circular pelo ramo ressonante, pois a corrente *Io* é constante e esta diferença passa a ser assumida pelo diodo *D3*.

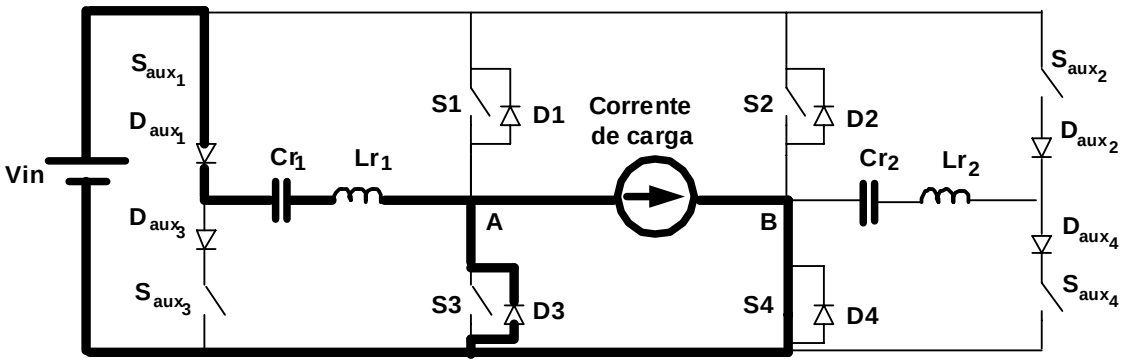


Figura 3.15 – Terceira etapa.

- **Quarta Etapa [t3, t4] (Figura 3.16):**

A chave *Saux1* sai de condução, pois o capacitor *Cr1* se carrega, de forma que, tornando-se uma chave aberta ao circuito, fazendo com que a corrente *Io* seja conduzida por *D3*, garantindo etapa de roda livre.

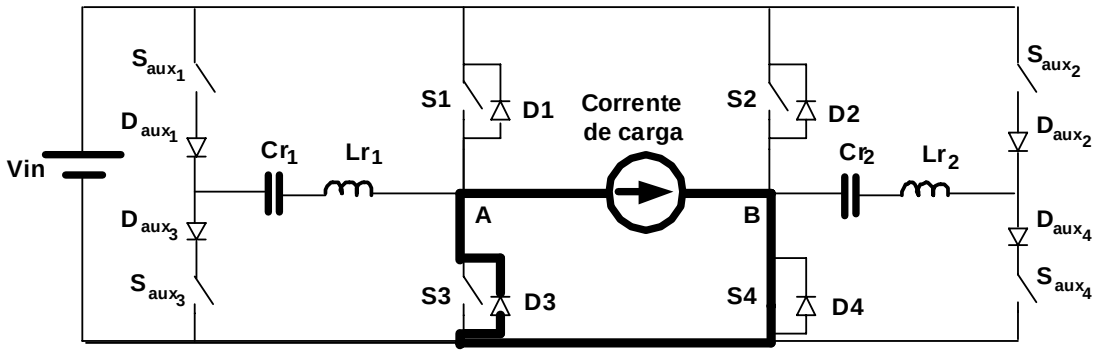


Figura 3.16 – Quarta etapa.

- **Quinta Etapa [t4, t5] (Figura 3.17):**

A chave auxiliar *Saux3* entra em condução, iniciando assim outra oscilação no ramo ressonante, com o intuito de inverter o sentido de tensão do capacitor *Cr1*, preparando assim o circuito para a próxima etapa de operação do mesmo. Desta forma, quando *Cr1* estiver completamente carregado, torna-se uma chave aberta ao circuito, finalizando assim esta etapa de operação.

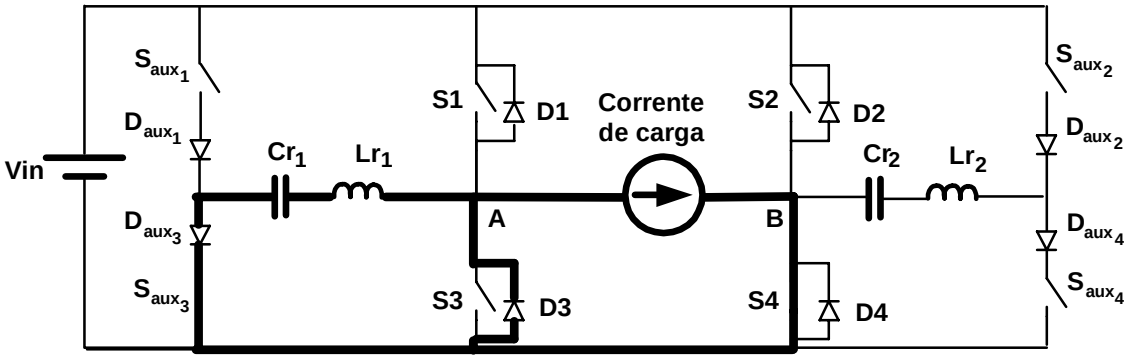


Figura 3.17 – Quinta etapa.

- **Sexta Etapa [t5, t6] (Figura 3.18):**

A carga completa de *Cr1*, faz com que a corrente ressonante *Ix* torne-se nula, de forma que o diodo *D3* passa conduzir a corrente de carga *Io*, garantindo a etapa de roda livre.

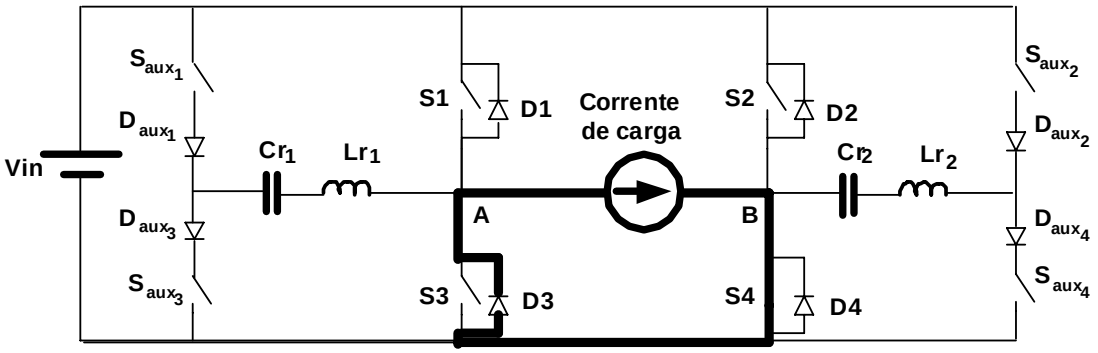


Figura 3.18 – Sexta etapa.

- **Sétima Etapa [t6, t7] (Figura 3.19):**

A chave *S1* entra em condução de modo dissipativo, pois assume a corrente *Io* instantaneamente, enquanto o diodo *D3* é polarizado reversamente. Desta forma, finaliza-se a etapa de operação pertinente ao funcionamento da chave principal *S1*.

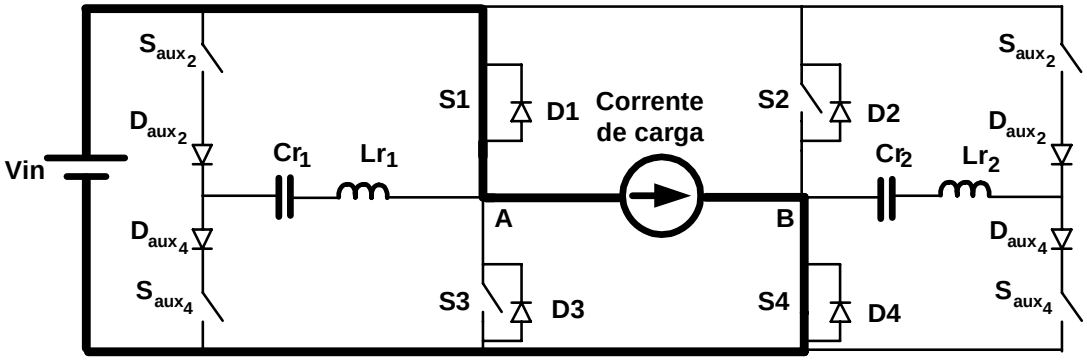


Figura 3.19 – Sétima etapa.

3.2.3 - INVERSOR DE MCMURRAY COM DIODO SÉRIE COMUTANDO TOTALMENTE SUAVE

Na Figura 3.20, tem-se o inversor em ponte completa associado às chaves de auxílio à comutação totalmente suave. Neste caso, os diodos auxiliares encontram-se em série com as chaves.

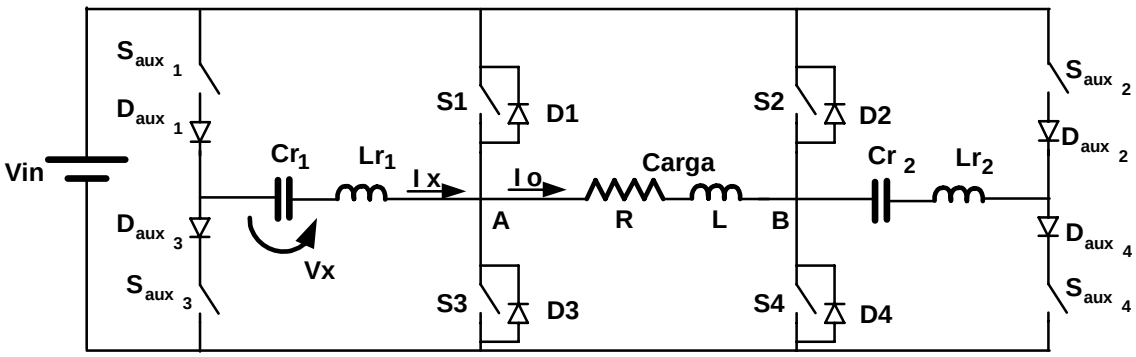


Figura 3.20 – Inversor de McMurray com diodo série comutando totalmente suave.

Uma vez que a freqüência de chaveamento é muito maior que a freqüência da componente fundamental da saída do inversor, as seguintes considerações podem ser adotadas ao longo de um ciclo de chaveamento [30] [29] [28]:

- A corrente de carga é constante;
- A corrente de entrada é constante e livre de ondulações.

Durante um período de chaveamento, há doze etapas de operação, sendo que as formas de onda teóricas relevantes são representadas na Figura 3.21. A operação do circuito da Figura 3.21 é apresentada a seguir, considerando-se apenas um dos ramos de auxílio à comutação. A análise é análoga para o ramo adicional, embora as freqüências de comutação das chaves sejam distintas.

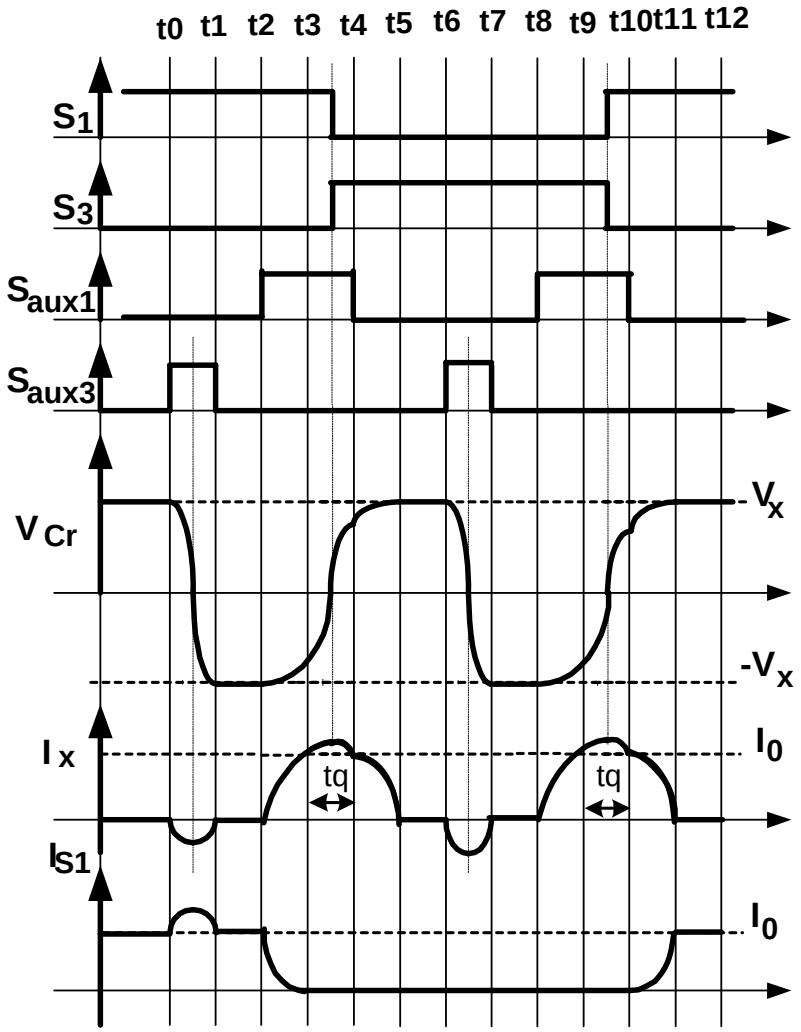


Figura 3.21 – Formas de onda teóricas.

- **Primeira Etapa [t0, t1] (Figura 3.22):**

A chave auxiliar *Saux3* entra em condução com o intuito de inverter o sentido da tensão de *Cr1* e a corrente ressonante *Ix* passa a circular pelo ramo ressonante, decrescendo no sentido negativo até chegar ao valor de pico, anulando-se posteriormente em *t1*.

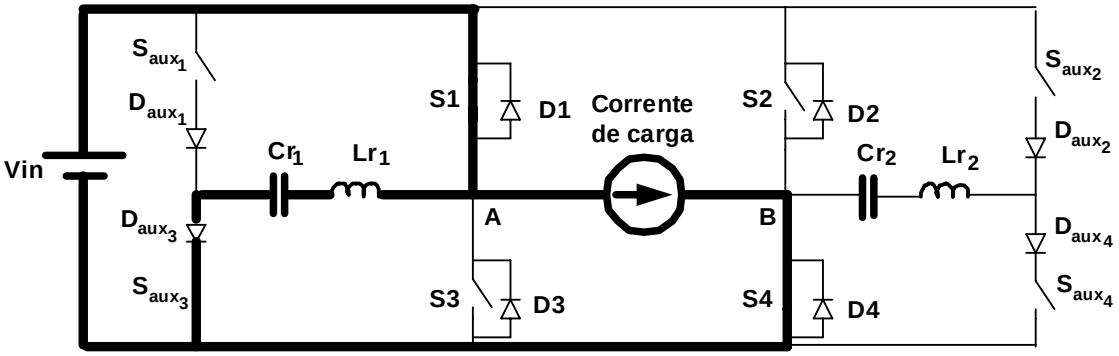


Figura 3.22 – Primeira etapa.

- **Segunda Etapa [t1, t2] (Figura 3.23):**

A chave *S1* permanece em conduzindo a corrente de carga Io e permanecendo assim até a próxima atuação externa ao circuito, ocasionando assim, a mudança de operação do sistema.

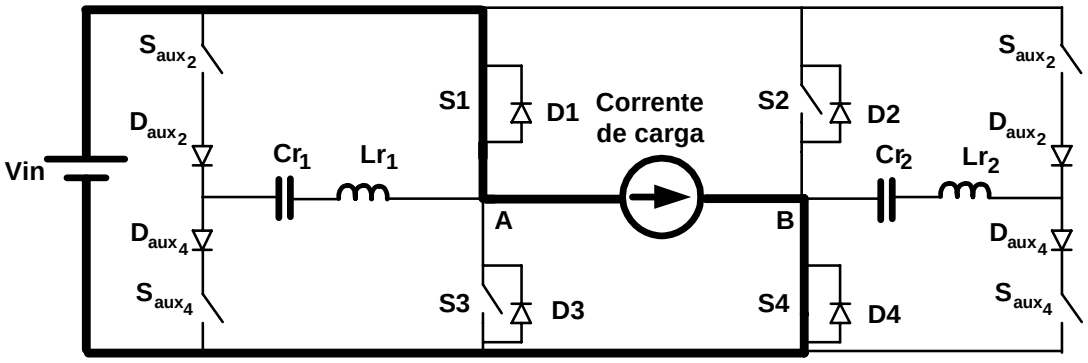


Figura 3.23 – Segunda etapa.

- **Terceira Etapa [t2, t3] (Figura 3.24):**

A chave Saux1 entra em condução para que se inicie a operação de retirada da chave principal *S1* de operação de modo não dissipativo. A entrada de *Saux1* inicia-se a circulação da corrente *Ix* que cresce na mesma proporção que a corrente em S1 decresce, de forma que quando a corrente *Ix* se igualar a corrente *Io*, a corrente na chave *S1* torna-se nula.

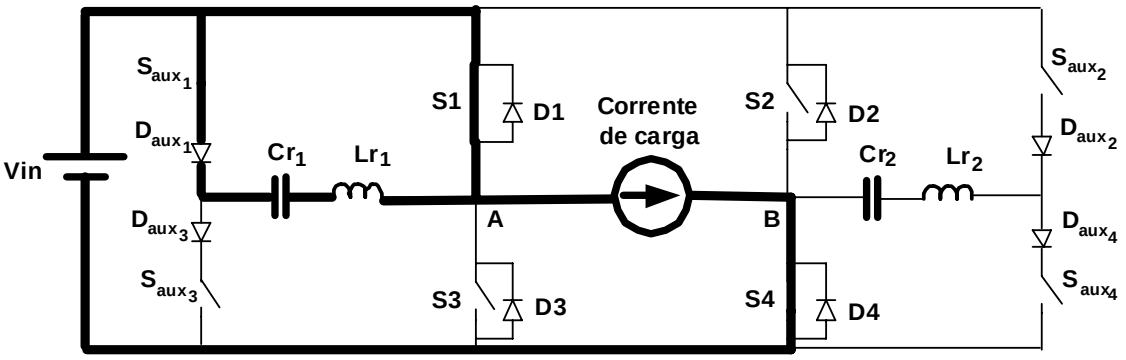


Figura 3.24 – Terceira etapa.

- **Quarta Etapa [t3, t4] (Figura 3.25):**

O diodo *D1* entra em condução, pois *Ix* assume um valor superior ao valor da corrente *Io*, de forma que o diodo *D1* é polarizado diretamente para assumir a condução deste excedente de corrente. Devido ao decréscimo da corrente em *S1* a zero proporcionado na etapa anterior, a chave *S1* pode ser retirada de condução sob corrente nula, ou seja, sai de operação em modo ZCS.

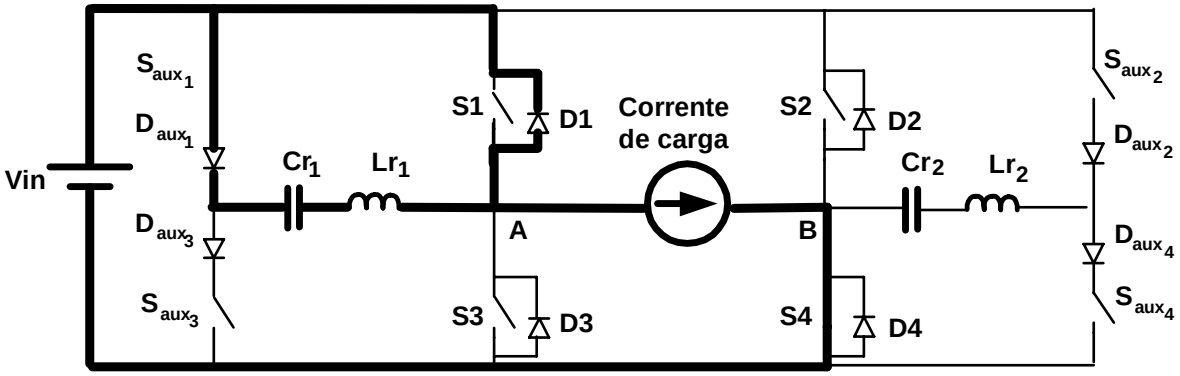


Figura 3.25 – Quarta etapa.

- **Quinta Etapa [t4, t5] (Figura 3.26):**

Nesta etapa toda a corrente de carga passa a ser conduzida pelo ramo ressonante, onde se da inicio o ciclo de carga do capacitor ressonante *Cr1*, onde devido ao carregamento do mesmo, a corrente *Ix* passa a decrescer. O Diodo *D3* é polarizado diretamente para que possa conduzir o decréscimo da corrente no ramo ressonante, garantindo assim que a corrente *Io*

permaneça constante. A corrente *Ix* torna-se nula no final desta etapa devido a carga completa de *Cr1*, onde o mesmo torna-se uma chave aberta ao circuito ressonante

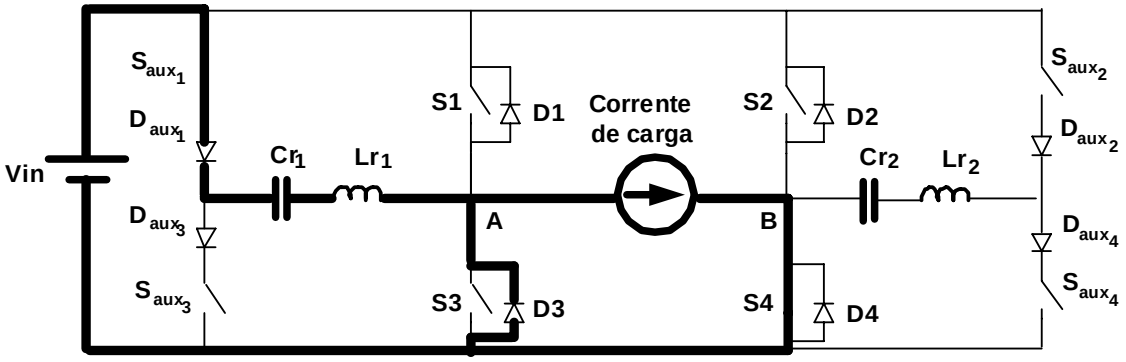


Figura 3.26 – Quinta etapa.

- **Sexta Etapa [t5, t6] (Figura 3.27):**

O diodo *D3* é polarizado diretamente onde passa a conduz a corrente *Io*, garantindo assim a etapa de roda livre.

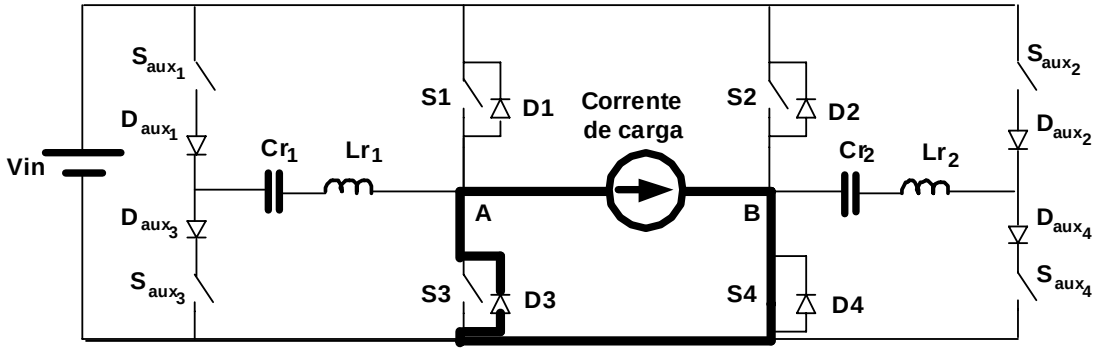


Figura 3.27 – Sexta etapa.

- **Sétima Etapa [t6, t7] (Figura 3.28):**

A chave *Saux3* entra em condução, dando inicio assim a processo de colocação da chave *S1* em condução de modo de condução suave. A entrada da chave *Saux3* dá inicio à oscilação entre os elementos ressonantes, invertendo o sentido de tensão de *Cr1*, onde com esta carga há um desvio de corrente por *D3*, onde este assume o decréscimo da corrente do

ramo ressoante para que *Io* permaneça constante. Com a carga completa de *Cr1*, este se torna chave aberta ao circuito extinguindo-se assim a corrente *Ix*, que finaliza a etapa em *t7*.

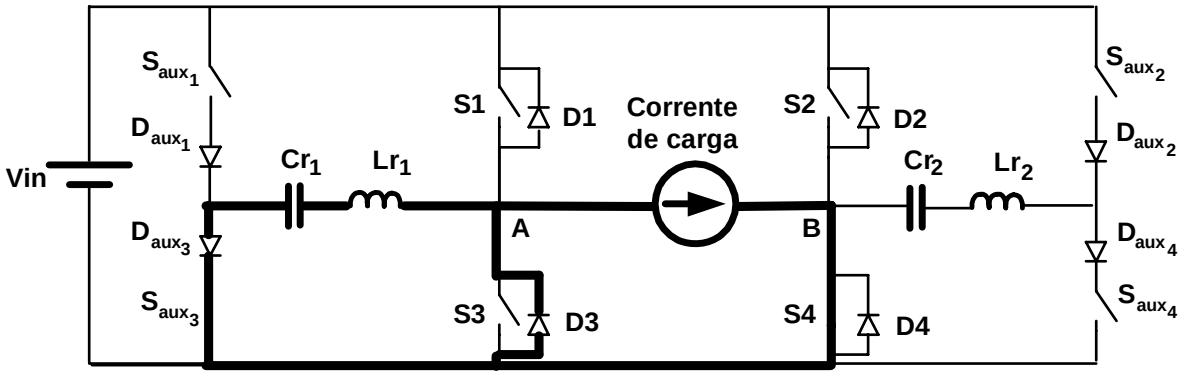


Figura 3.28 – Sétima etapa.

- **Oitava Etapa [t7,t8] (Figura 3.29):**

Após o fim da ressonância da etapa anterior, a corrente de carga *Io* passa a circular pelo diodo *D3* possibilitando assim a etapa de roda livre.

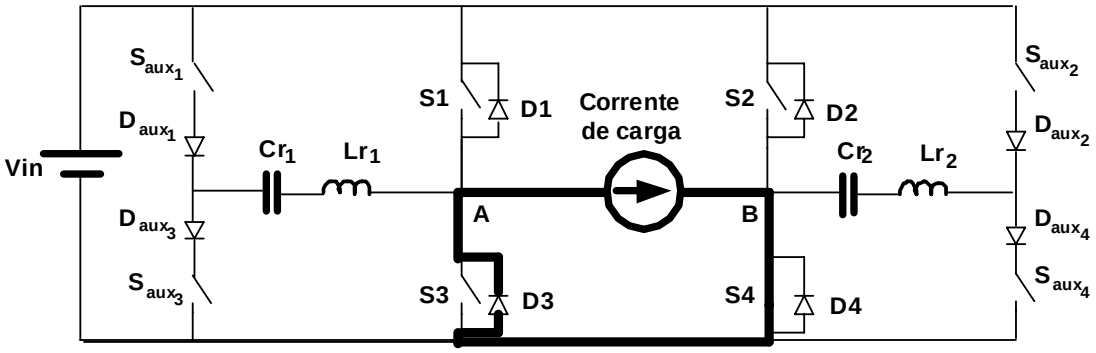


Figura 3.29 – Oitava etapa.

- **Nona Etapa [t8, t9] (Figura 3.30):**

A chave *Saux1* entra em condução iniciando assim o desvio da corrente do diodo D3 de este sai de condução de modo suave, de modo que quando a corrente no ramo ressonante se igual a corrente de carga *Io*, o diodo *D3* é tirado de condução.

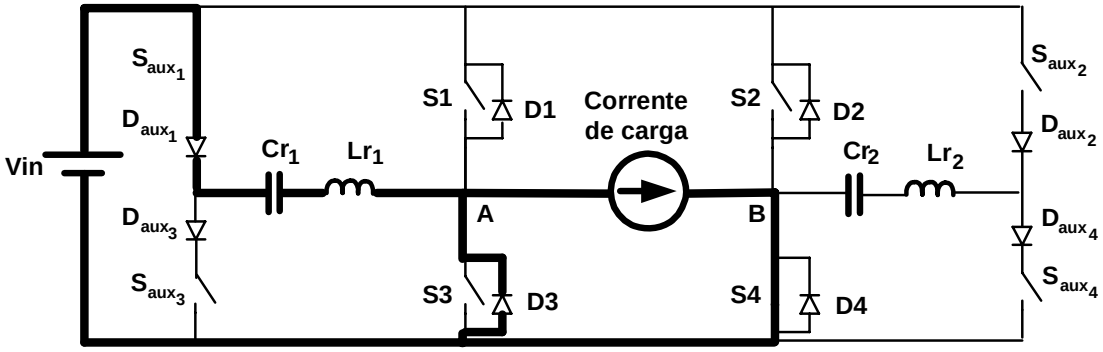


Figura 3.30 – Nona etapa.

- **Décima Etapa [t9,t10] (Figura 3.31):**

O diodo *D1* entra em condução, pois o crescimento da corrente no ramo ressonante faz com que *Ix* assuma valor superiro a corrente *Io*, deste modo o diodo *D1* passa a assumir a diferença entre as correntes *Ix* e *Io*. Durante esta etapa a chave S1 é colocada em condução em modo de tensão nula ou em modo ZVS.

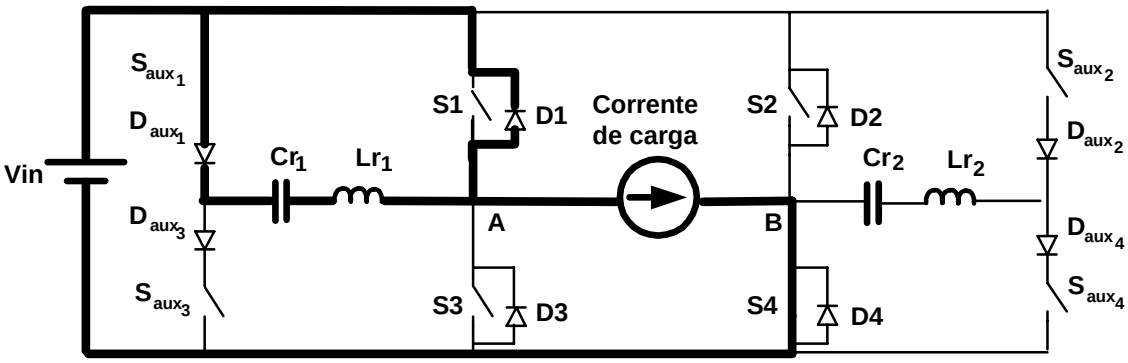


Figura 3.31 – Décima etapa.

- **Décima Primeira Etapa [t10,t11] (Figura 3.32):**

A chave *S1* entra em condução passando a assumir a corrente de caga *Io* de modo proporcional ao decréscimo da corrente *Ix*, pois com a carga de *Cr1*, *Ix* decresce ate que se torne nula com o carregamento completo de *Cr1*.

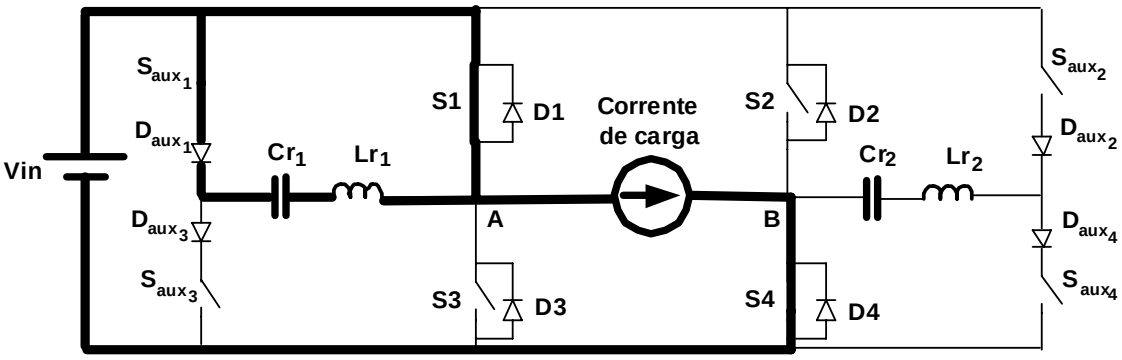


Figura 3.32 – Décima primeira etapa.

- **Décima Segunda Etapa [t11,t12] (Figura 3.33):**

A chave *S1* assume a corrente *Io*, uma vez que a corrente *Ix* tornou-se nula na etapa anterior.

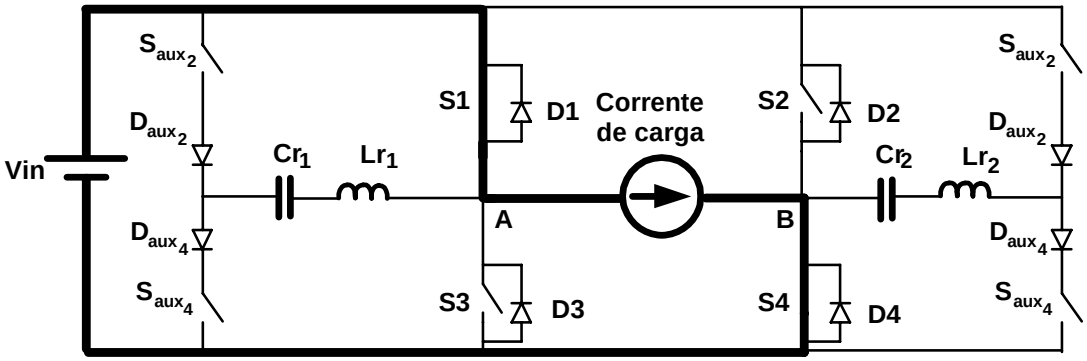


Figura 3.33 – Décima segunda etapa.

3.3 - CONSIDERAÇÕES FINAIS

Este capítulo dedicou-se à proposta de três configurações distintas do inversor de McMurray, onde é possível obter comutação suave tanto na entrada como na saída de condução. As estruturas são analisadas de forma teórica no que se refere à operação em regime permanente, destacando-se aspectos relevantes às mesmas.

No ramo de alta freqüência, as perdas por comutação são significativamente reduzidas em função da utilização da célula ativa. Por outro lado, esta é aplicada também ao ramo de baixa freqüência, para que se possa garantir a utilização de diversos tipos de semicondutores, a exemplo de MOSFET's, IGBT's e tiristores.

CAPÍTULO 4

PROJETO DO CONVERSOR

4.1 - CONSIDERAÇÕES INICIAIS

A análise teórica do inversor de McMurray foi desenvolvida nos capítulos anteriores. O estudo qualitativo apresentou os circuitos equivalentes à operação do conversor, enquanto na abordagem quantitativa foram determinadas as expressões relevantes ao projeto dos elementos da topologia.

Neste capítulo, serão apresentados os critérios do projeto, juntamente com os detalhes dos circuitos de comando e controle das chaves, de modo que possam ser utilizados na implementação de um protótipo experimental.

4.2 - METODOLOGIA DE PROJETO

O procedimento de projeto do conversor será elaborado juntamente com um exemplo numérico, de acordo com determinados passos a serem seguidos.

4.2.1 - ESPECIFICAÇÕES PRELIMINARES

Os seguintes parâmetros são necessários:

- **Potência de saída**

$$Po = 2\text{kW} \tag{4.1}$$

- **Tensão de saída**

$$Vo = 220\text{Vrms} \tag{4.2}$$

- **Tensão de entrada**

$$Vin = 450\text{Vcc} \tag{4.3}$$

- **Freqüências**

Ramo de alta freqüência

$$Fs = 30\text{kHz} \tag{4.4}$$

Ramo de baixa freqüência

$$Fs' = 60\text{Hz} \tag{4.5}$$

- **Rendimento**

$$\eta = 0{,}95 \tag{4.6}$$

- **Potência de entrada**

$$P_{ent} = \frac{P_0}{\eta} \tag{4.7}$$

Substituindo (4.1) e (4.6) em (4.7), tem-se:

$$P_{ent} = \frac{2000}{0{,}95} = 2105{,}26\text{W} \tag{4.8}$$

4.2.2 - DETERMINAÇÃO DA CORRENTE DE PICO NOS INDUTORES RESSONANTES

O valor de indutância deve ser determinado em função da variação máxima de corrente. O pior caso ocorre quando a tensão de entrada é mínima e a corrente de entrada é máxima Assim, o projeto pode ser realizado para um ciclo de chaveamento, considerando-se a tensão de entrada mínima 360V (igual a 80% do valor nominal) e tensão de saída 220V.

A corrente de saída do inversor pode ser dada por:

$$I_0 = \frac{\sqrt{2}P_0}{V_0}(1 + \Delta I) \tag{4.9}$$

Para o cálculo da corrente que circula pelo indutor, pode-se adotar o valor excedente de 20% da corrente de carga *Io*, ou seja:

$$I_0 = \frac{\sqrt{2}P_0}{V_0}(1+\Delta I) = \frac{2000\sqrt{2}}{220}\left(1+0,20\right) = 15,43\text{A} \tag{4.10}$$

4.2.3 - DETERMINAÇÃO DOS INDUTORES RESSONANTES

A partir das equações (4.9) e (4.10), um novo parâmetro *k* pode ser introduzido:

$$k = \frac{I_{pk}}{I_0} = 0,2 \tag{4.11}$$

A impedância característica é dada por [73]:

$$Z_0 = \frac{E}{\sqrt{2}kI_0} \tag{4.12}$$

Assim, pode-se escrever:

$$Z_0 = \frac{360}{\sqrt{2}\cdot 0,2\cdot 15,43} = 82,49\Omega \tag{4.13}$$

Para minimizar o efeito da corrente de recuperação reversa do diodo, é necessário que a corrente de ressonância seja capaz de controlar a derivada de corrente durante o bloqueio da chave.

$$\frac{di}{dt} \cong \frac{I_0\omega}{\sqrt{2}\,\text{arcsen}\left(\frac{1}{2k}\right)} \tag{4.14}$$

De outra forma, tem-se:

$$\omega = \frac{\frac{di}{dt}\sqrt{2}\,\text{arcsen}\left(\frac{1}{2k}\right)}{I_0} \tag{4.15}$$

Adotando a taxa de crescimento da corrente igual a 80A/μs [31] [71] [57], e substituindo (4.10) e (4.11) em (4.15), obtém-se:

$$\omega = \frac{80.\sqrt{2}\,\text{arcsen}\left(\frac{1}{2.0,2}\right)}{15,43} = 172,88\text{rad/}\mu\text{s} \tag{4.16}$$

Os indutores ressonantes podem ser dimensionados conforme (4.17).

$$L_{r1} = \frac{Z_0}{\omega} \tag{4.17}$$

Substituindo (4.13) e (4.16) em (4.17), chega-se a (4.18).

$$L_{r1} = \frac{Z_0}{\omega} = \frac{82,49}{\frac{172,88}{10^{-6}}} = 2,6\mu H \tag{4.18}$$

A energia armazenada no indutor L_{r1} é dada por (4.19).

$$E = \frac{1}{2} L \cdot I^2 \tag{4.19}$$

Reescrevendo (4.19) em função dos valores de (4.10) e (4.18), obtém-se:

$$E = \frac{1}{2} L_{r1} I_{pk}{}^2 = \frac{1}{2}.2,6.10^{-6}.15,43^2 = 0,31\text{mJ} \tag{4.20}$$

O tamanho do núcleo é dado por (4.21) [62]:

$$A_p = \left(\frac{2.E.10^4}{K\mu.Kj.B\max}\right)^Z \tag{4.21}$$

onde:

$$Z = \frac{1}{1-x} \tag{4.22}$$

A referência [93] mostra a Tabela 4.1, que representa os tipos de núcleos.

Tabela 4.1 – Tipos de núcleos.

NÚCLEO	Kj 20ºC < ΔT < 60ºC	X
POTE	$74{,}78.\ \Delta T^{0{,}54}$	+ 0,17
EE	$63{,}35.\ \Delta T^{0{,}54}$	+ 0,12
X	$56{,}72.\ \Delta T^{0{,}54}$	+ 0,14
RM	$71{,}7.\ \Delta T^{0{,}54}$	+ 0,13
EC	$71{,}7.\ \Delta T^{0{,}54}$	+ 0,13
PQ	$71{,}7.\ \Delta T^{0{,}54}$	+ 0,13

O núcleo escolhido é do tipo EE, cujos dados, para $\Delta T \leq 30^{o}C$, são:

$$Kj = 397 \tag{4.23}$$

$$K\mu = 0,4 \tag{4.24}$$

$$x = 0,12 \tag{4.25}$$

A densidade de fluxo não pode ser maior que a densidade de saturação do material que, no caso do ferrite, é 0,3T. Então, adota-se:

$$B_{max} = 0,3T \tag{4.26}$$

Utilizando (4.25) em (4.22), obtém-se:

$$z = 1,136 \tag{4.27}$$

Substituindo-se (4.23), (4.24), (4.25) e (4.27) em (4.21), obtém-se:

$$A_P = 9,884.10^{-2}\text{cm}^4 \tag{4.28}$$

A referência [93] também mostra a Tabela 4.2, que apresenta os vários tamanhos de núcleos.

Tabela 4.2 – Tamanhos de núcleos.

TIPO	TAMANHO	Ap (cm^4)	CEM (cm)	le (mm)	Ae (cm^2)	As (cm^2)
EE	20/10/5	0,48	3,8	4,29	0,312	28,6
	30/15/7	0,71	5,6	6,69	0,597	34,8
	30/15/14	1,43	6,7	6,69	1,2	43,2
	42/21/15	4,66	9,3	9,7	1,82	89,1
	42/21/20	6,14	10,5	9,7	2,4	97,5
	55/28/21	13,3	11,6	12,3	3,54	150
	65/33/26	57,2	15	14,7	10,6	312

O tamanho do núcleo a ser utilizado é o 30/15/7, que possui o valor de A_p , dado na Tabela 4.2, imediatamente superior ao calculado. Os valores tabelados de A_p e A_e são, respectivamente:

$$A_p = 0,71\text{cm}^4 \tag{4.29}$$

$$A_e = 0,597\text{cm}^2 \tag{4.30}$$

$$l_e = 4,29\text{mm} \tag{4.31}$$

De acordo com a referência [93], o fator de indutância é dado por:

$$A_l = \frac{A_e^2 . B_{\max}^2}{2.E} \tag{4.32}$$

Substituindo os valores de (4.20), (4.26) e (4.30) em (4.32), obtém-se:

$$A_l = 51,736.10^{-4}\text{H/esp}^2 \tag{4.33}$$

Um núcleo sem entreferro com um alto valor de A_l proporcionará um valor elevado de indutância. Desde modo, é aconselhável a utilização de um entreferro de papel cuja espessura l_g é calculada de acordo com [93].

A determinação da permeabilidade efetiva do núcleo com entreferro μ_e é dado por:

$$\mu_e = \frac{A_l.l_e}{\mu_0.A_e} \tag{4.34}$$

onde:

$$\mu_0 = 4\pi.10^{-7}\,\text{H/m} \tag{4.35}$$

Utilizando-se os dados da Tabela 4.1 e da Tabela 4.2 do núcleo EE 30/15/7 e os valores de (4.31) e (4.33), e substituindo-se nem (4.34), obtém-se:

$$\mu_e = \frac{A_l.l_e}{\mu_0.A_e} = \frac{51{,}736.10^{-4}.4{,}29}{4\pi.10^{-7}.0{,}597.10^{-4}} = 295{,}85\text{H/m} \tag{4.36}$$

O valor de l_g é dado por:

$$l_g = \frac{l_e}{\mu_e} \tag{4.37}$$

Substituindo-se o valor de (4.31) e (4.36) em (4.37), obtém-se:

$$l_g = 1{,}45\text{mm} \tag{4.38}$$

Utiliza-se entreferro de papel nos dois braços do núcleo EE, com uma espessura de 0,8mm.

O número de espiras é calculado na referência [93] pela seguinte equação:

$$N = \sqrt{\frac{L}{A_l}} \tag{4.39}$$

Substituindo-se (4.18) e (4.33) em (4.39), obtém-se:

$$N = 22{,}42 \cong 23 \text{ espiras} \tag{4.40}$$

O cálculo da seção transversal dos condutores é descrito a seguir [62].

A densidade de corrente é dada por:

$$J = K_j.A_P^{-x} \tag{4.41}$$

Substituindo-se os valores de (4.23), (4.25) e (4.29) em (4.41), obtém-se:

$$J = 250,028\text{A/cm}^2 \tag{4.42}$$

A área de cobre é dada por:

$$A_{CU} = \frac{I}{J} \tag{4.43}$$

Substituindo-se os valores de (4.10) e (4.42) na equação (4.43), obtém-se:

$$A_{CU} = 0,12278\text{cm}^2 \tag{4.44}$$

Utilizando-se 4 fios 16 AWG em paralelo, pode-se obter aproximadamente o valor da área calculada. O indutor L_{r1} do ramo de alta freqüência possui as seguintes características:

$$L_{r1} = 2,6\mu\text{H} \tag{4.45}$$

- Indutância: $L_{r1} = 2,6\,\mu\text{H}$;

- Núcleo: EE 30/15/7;

- Número de espiras: 23;

- Número de condutores e seção transversal: 4 fios em paralelo de 16 AWG.

Para a determinação dos parâmetros para o indutor ressonante do ramo de baixa freqüência L_{r2}, segue-se os mesmos parâmetros que foram descritos para o indutor L_{r1}, diferenciando apenas na freqüência, Desta forma, as características para o indutor L_{r2} são:

- Indutância: $L_{r2} = 1,3\text{mH}$;

- Núcleo: 20/10/5;

- Número de espiras: 13;

- Número de condutores e seção transversal: 4 fios em paralelo de 16 AWG.

4.2.4 - DETERMINAÇÃO DAS FREQÜÊNCIAS DE RESSONÂNCIA

Uma vez determinados os valores dos indutores ressonantes, deve-se relacioná-los aos capacitores, para determinar a freqüência de ressonância em cada um dos ramos. Assim, deve-se considerar a seguinte relação de freqüência:

$$\frac{F_S}{F_O} = 0,08 \tag{4.46}$$

Para o ramo de alta freqüência, a freqüência de ressonância é:

$$F_O = 1,25\text{MHz} \tag{4.47}$$

Para o ramo de baixa freqüência, a freqüência de ressonância é:

$$F_O' = 750\text{Hz} \tag{4.48}$$

4.2.5 - DETERMINAÇÃO DOS CAPACITORES RESSONANTES

A freqüência angular de ressonância no ramo de alta freqüência é dada por:

$$\omega_O = \frac{1}{\sqrt{L_{r1}C_{r1}}} = 2\pi F_O \tag{4.49}$$

Substituindo-se o valor da equação (4.47) em (4.49), obtém-se:

$$L_{r1}C_{r1} = 1,62 \cdot 10^{-14} \tag{4.50}$$

Substituindo-se o (4.18) em(4.50), obtém-se:

$$C_{r1} = 16,2\text{nF} \tag{4.51}$$

Analogamente para o ramo de baixa freqüência, pode-se obter o valor de C_{r2}. A freqüência angular de ressonância é dada por:

$$\omega_O' = \frac{1}{\sqrt{L_{r2}C_{r2}}} = 2\pi F_O' \tag{4.52}$$

Substituindo-se (4.48) em (4.52), obtém-se:

$$L_{r2}C_{r2} = 4,51 \cdot 10^{-8} \tag{4.53}$$

Substituindo-se (4.45) em (4.53), obtém-se:

$$C_{r2} = 7,2\mu\text{F} \tag{4.54}$$

Os capacitores de ressonância ficam submetidos a uma tensão de 400V. Por questões de segurança e devido a transientes que podem ocorrer, serão especificados três capacitores de 47nF/250V colocados em série no ramo de alta freqüência, sendo a capacitância resultante igual a 15,67nF. Para o ramo de baixa freqüência, serão utilizados dois capacitores de 20μF/380V em série, sendo a capacitância resultante igual a 10μF.

4.3 - IMPLEMENTAÇÃO DOS CIRCUITOS LÓGICOS DE CONTROLE

O mesmo sistema de controle pode ser aplicado às configurações que utilizam diodos em antiparalelo e em série. Entretanto, o arranjo com diodo série requer algumas modificações básicas. A seguir, tem-se a descrição dos respectivos circuitos.

4.3.1 - INVERSOR DE MCMURRAY COM DIODO EM ANTIPARALELO E EM SÉRIE COM A CHAVE

O diagrama completo da estrutura aplicada ao inversor de McMurray é demonstrado na Figura 4.1, de forma que se pode analisar a aplicação por meio de diagrama de blocos do controle aplicado a estrutura de potência. Os blocos que constituem o diagrama completo do inversor proposto será detalhado posteriormente explicitando os circuitos integrados empregados, bem como todas as conexões necessárias para a implementação individual para estes elementos do sistema todo.

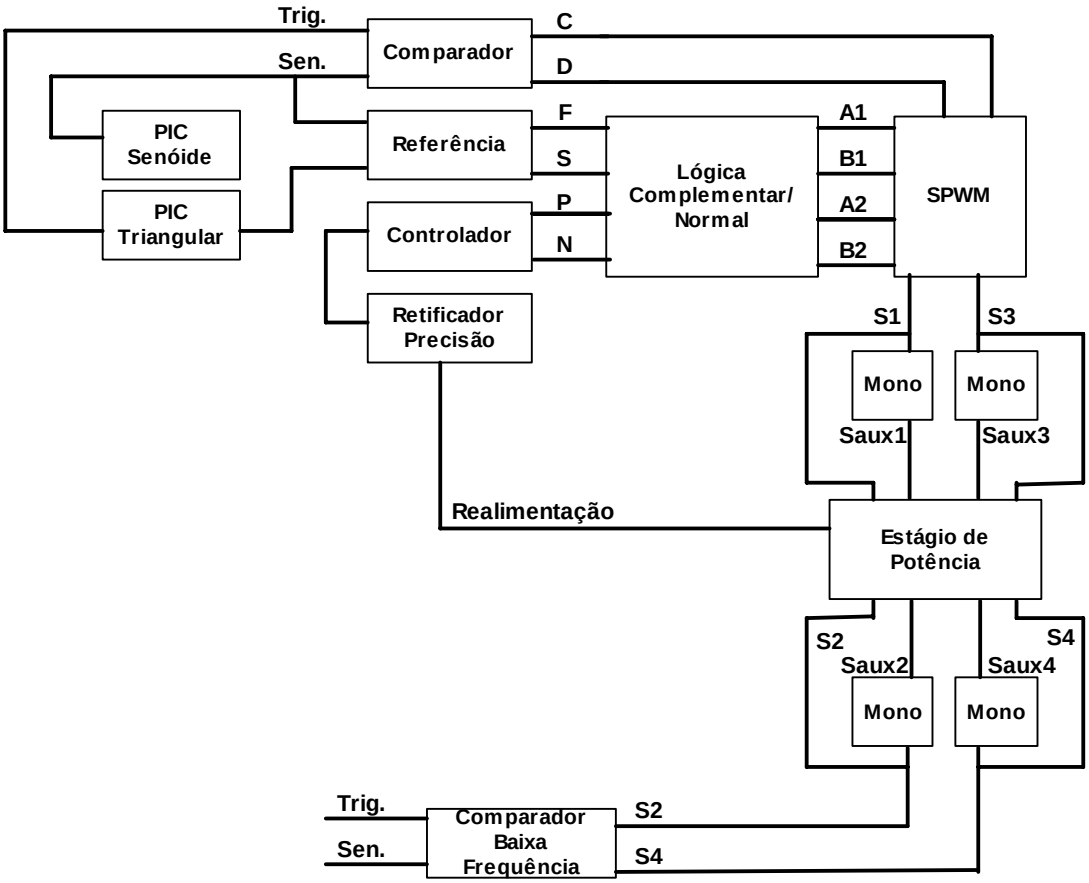


Figura 4.1 – Diagrama completo do inversor de McMurray.

No circuito lógico de controle, foram empregadas portas lógicas de tecnologia CMOS, por suas características de disponibilidade comercial, compatibilidade de níveis de tensão e alta imunidade a ruídos. Os blocos constituintes do sistema são descritos separadamente a seguir:

- Oscilador local

Este estágio, mostrado na Figura 4.2, é responsável pela geração da senóide de referência que será empregada na obtenção imediata dos sinais *F* e *S*. Após a retificação em onda completa, esta será aplicada ao comparador do gerador de sinais PWM gerando os sinais *C* e *D*. Com o intuito de melhorar o sinal de saída, faz se uso de um "buffer", onde se usa para tal fim o LM318. O converso D/A DAC0800 recebe 7 "bits" provenientes do "PIC" 16F84, proporcionando uma resolução de 0,23 Volts.

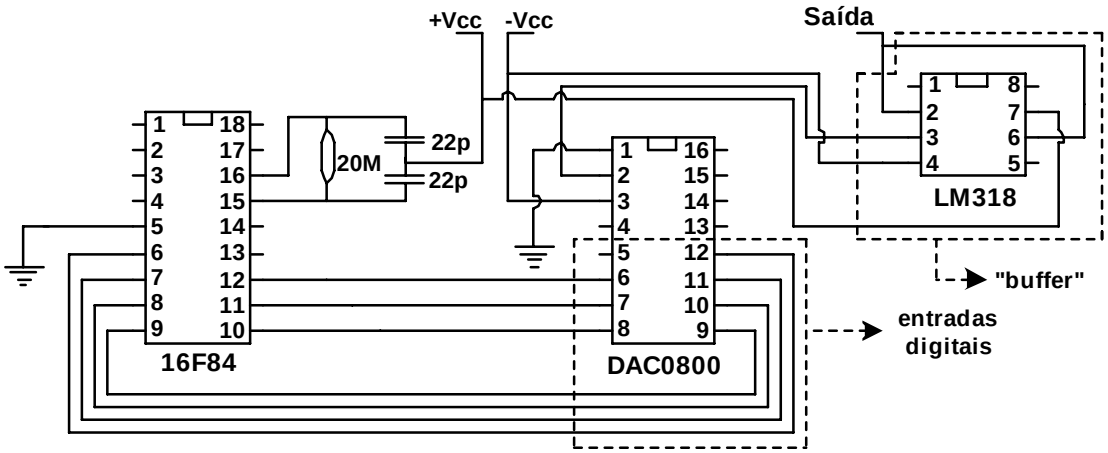


Figura 4.2 – Configuração adotada para o oscilador.

Este oscilador utiliza uma configuração mutio simples para gerar a senóide de referencia para o inversor proposto. A utilização do microcontrolador PIC justifica-se pela indisponibilidade de um circuito mais simples para geração não somente da senóide, mas também do sinal da triangular utilizado no PWM, como mostra o esquema na Figura 4.3. Com o intuito de melhorar o sinal de saída, faz se uso de um "buffer", onde se usa para tal fim o LM318. O converso D/A DAC0800 recebe 7 "bits" provenientes do "PIC" 16F84, proporcionando uma resolução de 0,23 Volts.

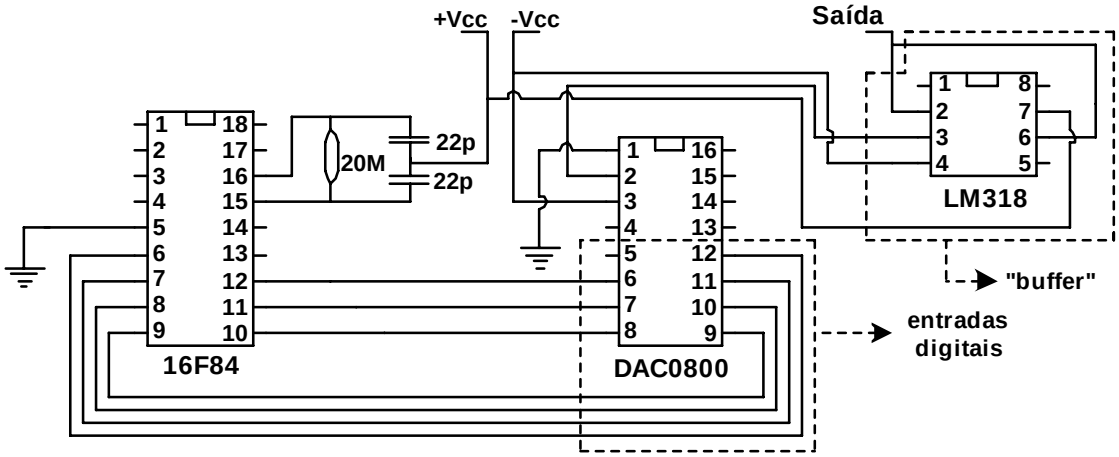


Figura 4.3 – Configuração adotada para geração do sinal triangular.

- Sinais D e C

Os sinais *F* e *S* são pulsos digitais obtidos a partir da comparação entre os sinais triangular e o senoidal de referência, de forma que se obtém os sinais *D* (PWM direto) e *C*

(PWM complementar), sendo as saídas diretas dos amplificadores operacionais C e D, respectivamente conforme a Figura 4.4.

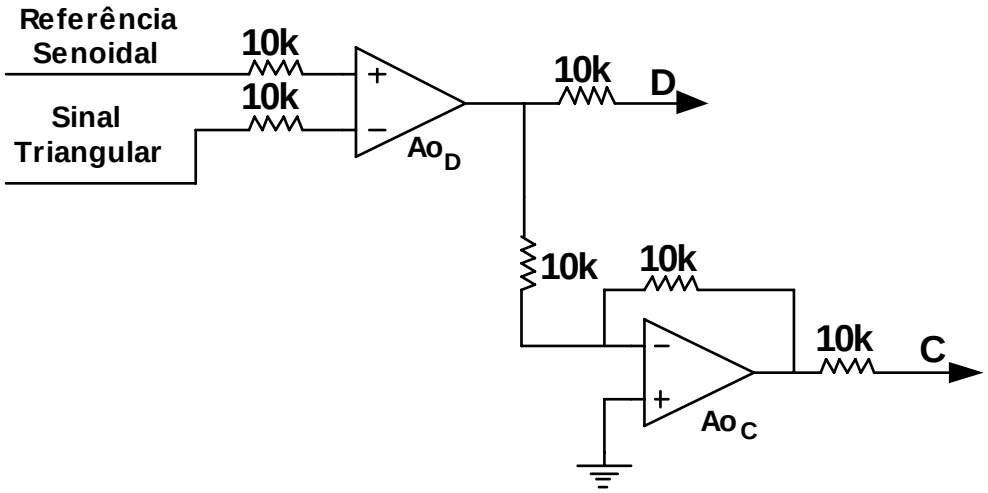


Figura 4.4 – Geração dos sinais D e C.

- Sinais F e S

Os sinais *F* e *S* são pulsos digitais que representam o primeiro e o segundo semiciclo da tensão de referência, respectivamente, de acordo com a Figura 4.5. O sinal senoidal é isolado em corrente por um amplificador operacional não inversor, enquanto o outro amplificador operacional é responsável pelo sinal *S*.

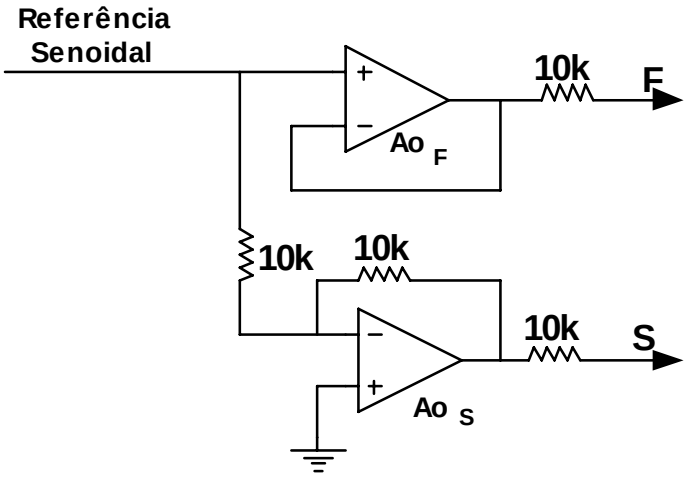


Figura 4.5 – Geração dos sinais F e S.

- Sinais P e N

Os sinais P e N são pulsos que representam o primeiro e o segundo semiciclos da corrente de referência amostrada na carga, respectivamente, segundo a Figura 4.6. O sinal senoidal é isolado em corrente por um amplificador operacional não inversor para a obtenção do sinal *P*, enquanto o outro amplificador operacional é responsável pelo sinal *N*.

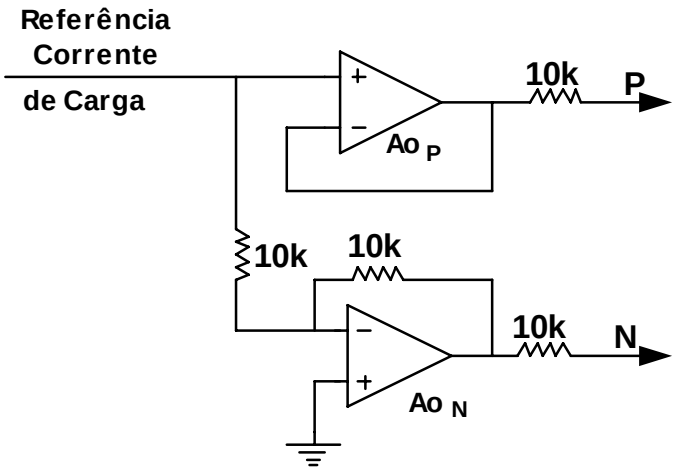


Figura 4.6 – Geração dos sinais P e N.

- Áreas de controle A1, B1, A2 e B2

As áreas de controle *A1*, *B1*, *A2* e *B2*, são regiões onde serão determinadas as formas de modulação (normal ou complementar) que as chaves do ramo de alta freqüência (*S1*, *S3*, *Saux1* e *Saux3*) deverão estar conduzindo. Para tal, utiliza-se portas lógicas *E*, como mostra a Figura 4.7.

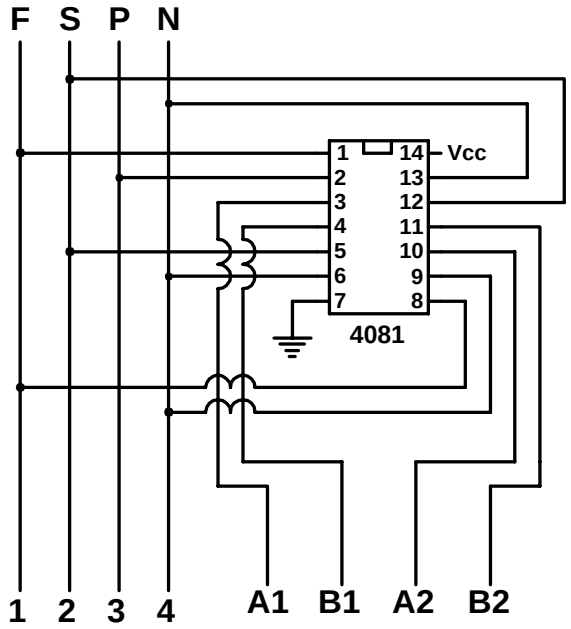


Figura 4.7 – Geração dos sinais para diferenciação entre modulação normal e complementar.

- Geração do SPWM

O circuito responsável pela geração do SPWM, a partir dos sinais *F* e *S* associados à de corrente, ilustrado na Figura 4.7. Para tal lógica, serão utilizadas as portas lógicas "NÃO", "OU" e "E", presente nos circuitos integrados MC4049, MC4071 e MC4081, respectivamente.

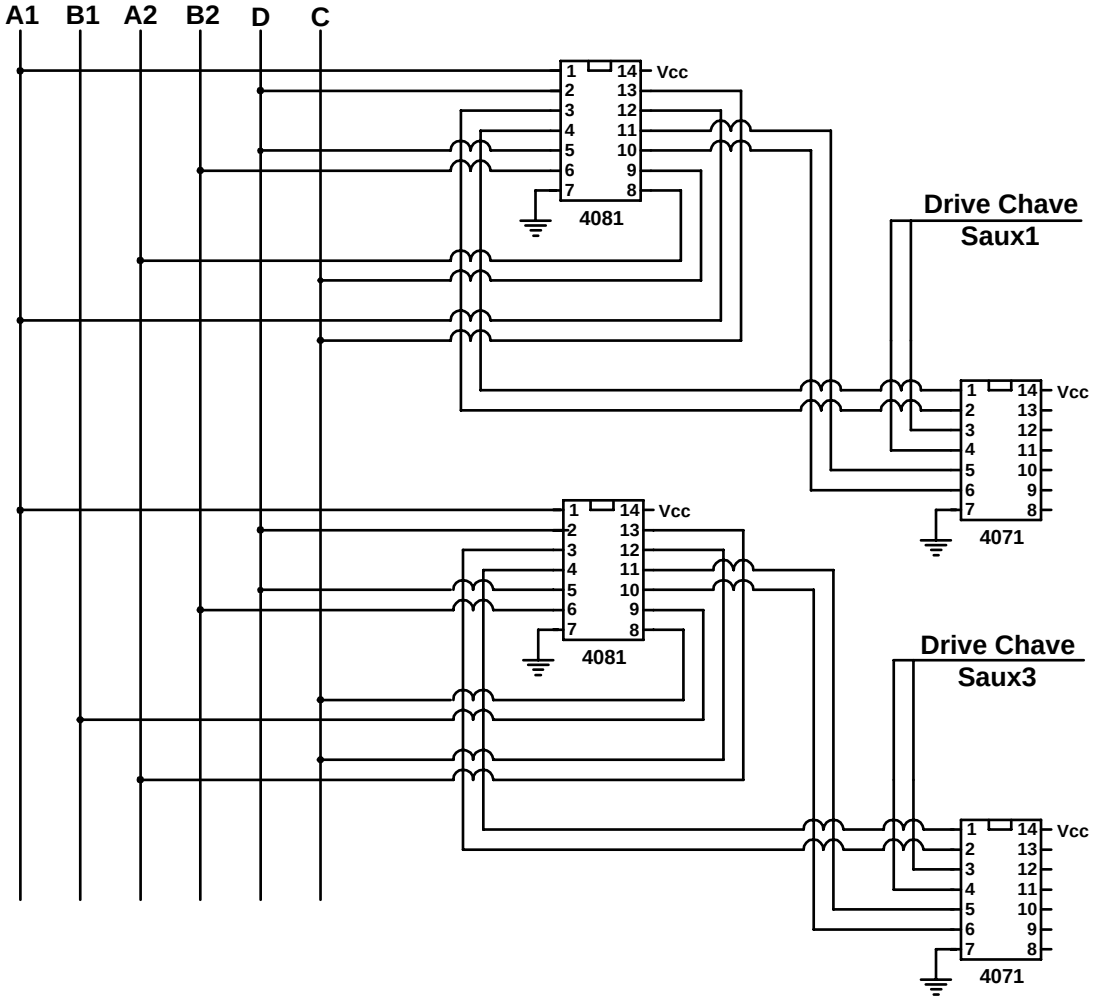


Figura 4.8 – Geração dos sinais das chaves de alta freqüência (SPWM).

- Retificador de precisão

A retificação simples não é aconselhável para pequenos sinais, por que os diodos só passam a conduzir depois que a tensão direta sobre os mesmos ultrapassa o valor da barreira de potencial. Por isso, para se obter o sinal retificado necessário, é utilizado o circuito esquematizado na Figura 4.8, notoriamente conhecido como retificador de precisão de onda completa [6].

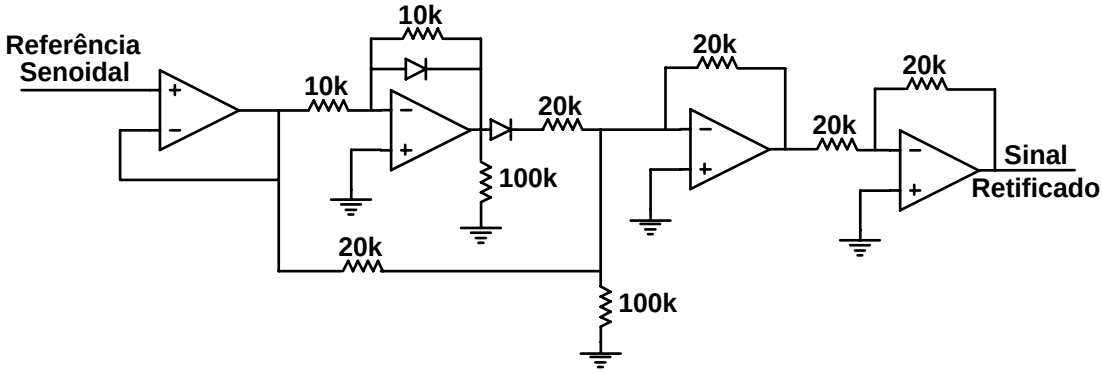


Figura 4.9 – Retificador de precisão.

- Monoestável

O circuito monoestável (Figura 4.9) é necessário à estratégia de controle, pois o sinal que irá controlar as chaves principais (S1, S2, S3 e S4) deve permanecer algum tempo após a saída do PWM. Desta forma, estas podem ser bloqueadas após a chave auxiliar referente a seu apagamento sair de condução.

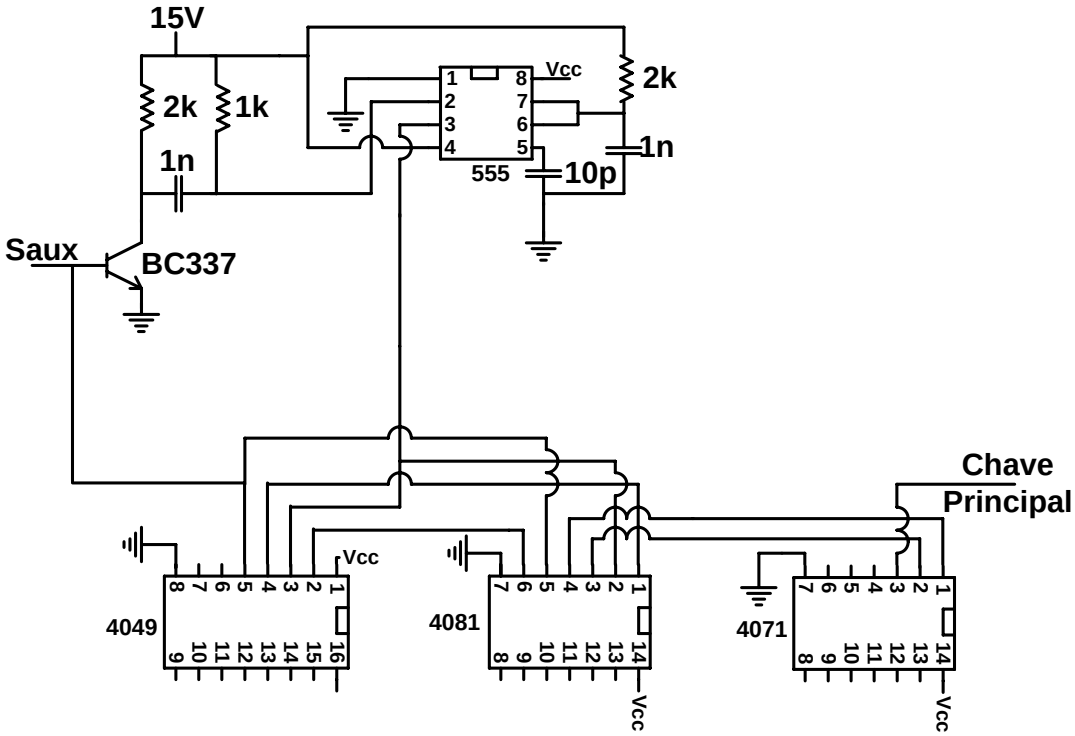


Figura 4.10 – Circuito monoestavel.

- Isolamento de pulso

O circuito de isolamento de pulso da Figura 4.11 utiliza um optoacoplador, sendo necessário quando os referenciais das chaves e do circuito de potência não são os mesmos, eliminando a possibilidade de ocorrência de curto-circuito.

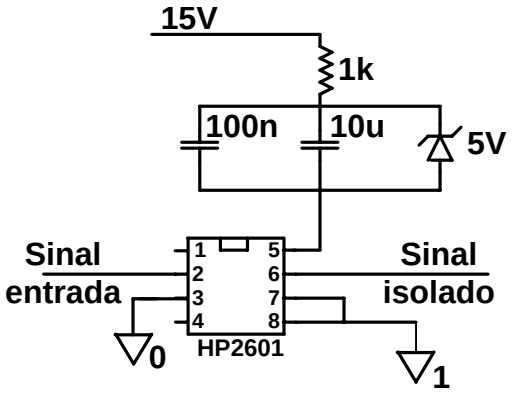


Figura 4.11 – Circuito de isolamento de pulso.

- Circuito de gatilho

O circuito de gatilho tem por finalidade tornar o pulso mais próximo de um sinal retangular. Utiliza-se um arranjo de transistores NPN e PNP para fornecer um ganho de corrente aos pulsos.

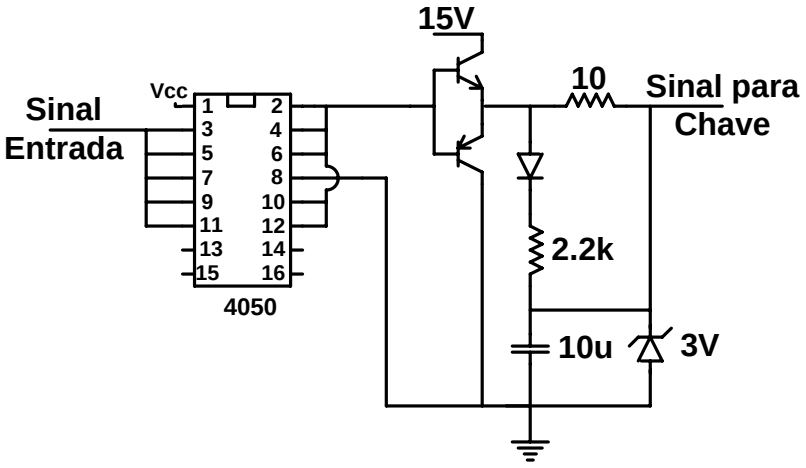


Figura 4.12 – Circuito de acionamento das chaves.

4.3.2 - INVERSOR DE MCMURRAY COM DIODO EM SÉRIE COM A CHAVE E COMUTAÇÃO TOTALMENTE SUAVE

Através dos estudos realizados, pode-se adaptar o inversor de McMurray para a utilização de quaisquer tipos de chaves (MOSFET's, GTO's, IGTB's ou tiristores). Desta forma, é possível obter a comutação totalmente suave nos semicondutores.

Esta modificação tem por principio a aplicação de um pulso inicial para que ocorra a inversão para polaridade do capacitor ressonante C_R, de forma que este esteja sempre preparado para a comutação. Da mesma forma, tem-se um pulso final, que será responsável pelo desvio da corrente ao final da comutação.

A utilização do pulso inicial nas chaves auxiliares é responsável diretamente pela entrada em condução das chaves principais de forma suave, sob tensão nula. Analogamente, o pulso final é responsável pelo bloqueio das chaves principais de forma suave, sob corrente nula.

Os pulsos finais para a operação das chaves auxiliares são os próprios pulsos aplicados a S_{aux1} e S_{aux3}, gerados para as chaves auxiliares da forma descrita no item anterior. Os pulsos iniciais são gerados a partir de um circuito integrado, que promove a integração de dois monoestáveis, segundo a Figura 4.13.

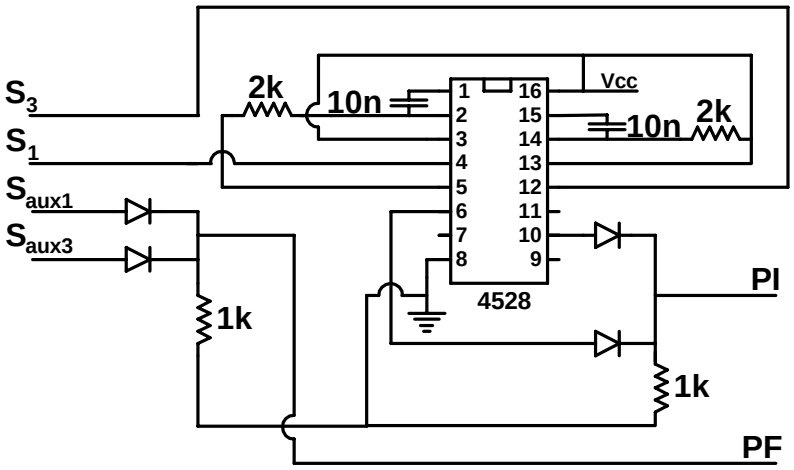


Figura 4.13 – Geração de pulsos complementares para comutação totalmente suave.

Na Figura 4.14, é detalhada a lógica de aplicação dos pulsos complementares às chaves de auxílio à comutação. É necessária também a utilização de um sinal de controle para indicar o sentido positivo ou negativo da corrente da carga, representado por Sin_{pos} ou Sin_{neg}, respectivamente.

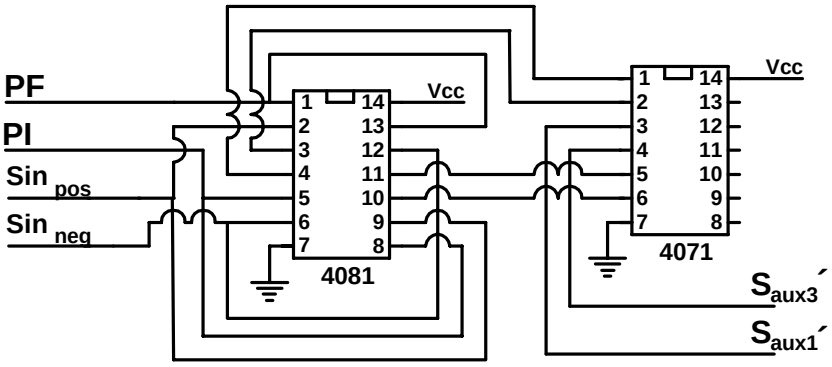


Figura 4.14 – Lógica para aplicação dos pulsos complementares.

4.4 - CONSIDERAÇÕES FINAIS

Aplicando-se a metodologia desenvolvida anteriormente, foram dimensionados os elementos constituintes do inversor proposto. Deve-se ressaltar que os cálculos apresentados são os mesmos para as três configurações descritas no capítulo anterior.

Adicionalmente, foram apresentados os circuitos responsáveis pelo comando e controle das chaves principais e auxiliares, segundo a modulação descrita no capítulo referente às etapas de operação do conversor proposto.

CAPÍTULO 5

RESULTADOS DE SIMULAÇÃO E EXPERIMENTAIS

5.1 - CONSIDERAÇÕES INICIAIS

Este capítulo apresenta resultados obtidos a partir da simulação numérica e implementação experimental do inversor de McMurray. São descritas as formas de onda relevantes ao conversor operando em três formas distintas. Desta forma, pretende-se validar o estudo desenvolvido anteriormente.

5.2 - RESULTADOS ANALÍTICOS

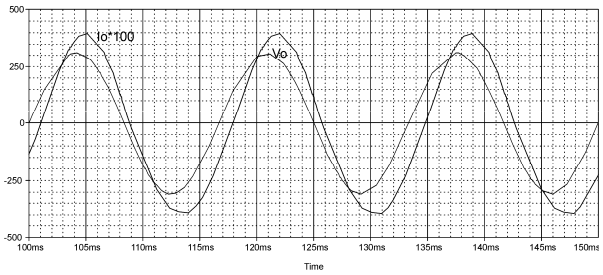
Para as três estruturas propostas, são empregados os parâmetros especificados e determinados no capítulo anterior, resumidos na Tabela 5.1. Como situação de carga leve, considera-se 30% do valor da potência nominal.

Tabela 5.1 – Especificações para o projeto do circuito de potência do inversor de McMurray.

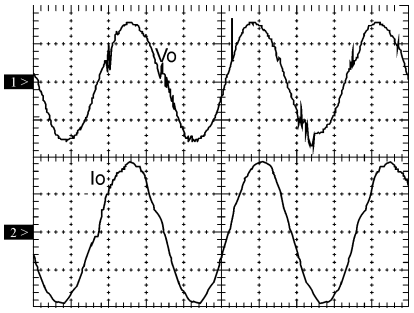
Parâmetro	Especificação
Potência de saída	P_o=2kW
Tensão de entrada CC	V_i=450V_{CC}
Freqüência de saída	f=60Hz
Tensão de saída eficaz	V_o=220$V_{ef.}$
Rendimento aproximado	η=95%
Parâmetros da carga para potência nominal	R=24Ω L=1,8mH
Freqüência de operação das chaves (*S1*, *S3*, *Saux1*, *Saux3*)	f_{s1}=30kHz
Freqüência de operação das chaves (*S2*, *S4*, *Saux2*, *Saux4*)	f_{s2}=60Hz
Indutores ressonantes	*Lr1*=2,6μH *Lr2*=1,3mH
Capacitores ressonantes	*Cr1*=15,67nF *Cr2*=10μH
Chaves principais (*S1*, *S2*, *S3*, *S4*)	IRFP460
Chaves principais (*Saux1*, *Saux2*, *Saux3*, *Saux4*)	IRFP460
Diodos auxiliares (*Daux1*, *Daux2*, *Daux3*, *Daux4*)	HFA08TB60

5.2.1 - INVERSOR DE MCMURRAY UTILIZANDO DIODO EM PARALELO COM A CHAVE

A Figura 5.1 e a Figura 5.2 representam as formas de onda de tensão e corrente de saída para as situações de carga leve e nominal, respectivamente, moduladas na freqüência de 60Hz. Na potência nominal, o rendimento obtido é aproximadamente 93,8%.

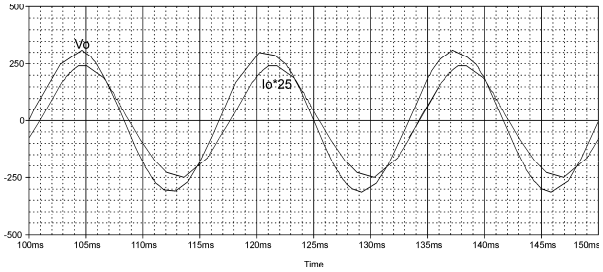


(a) Simulação

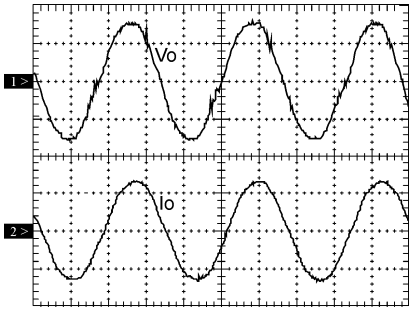


(b) Experimental
Escalas: Vo (200V/div.); Io (2A/div.); tempo (5ms/div.)

Figura 5.1 – Tensão e corrente de saída com carga leve.



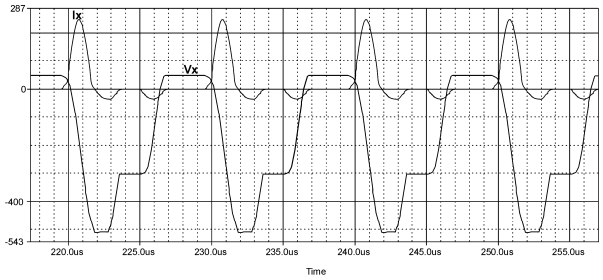
(a) Simulação



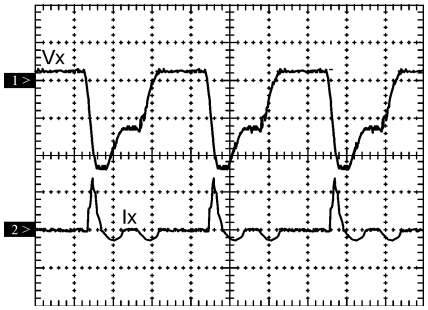
(b) Experimental
Escalas: Vo (200V/div.); Io (10A/div.); tempo (5ms/div.)

Figura 5.2 – Tensão e corrente de saída com carga nominal.

Na Figura 5.3, tem-se a tensão e corrente no ramo ressonante de alta freqüência.



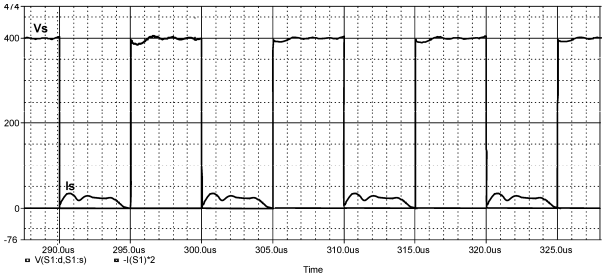
(a) Simulação



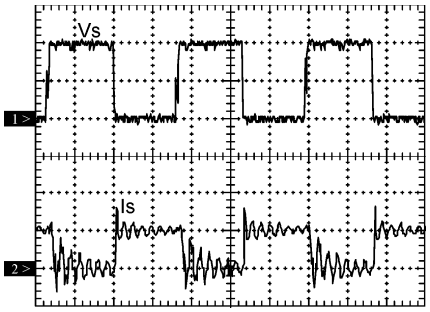
(b) Experimental
Escalas: Vx (200V/div.); Ix (1A/div.); tempo (2μs/div.)

Figura 5.3 – Tensão no capacitor e corrente do indutor no ramo de alta freqüência.

A Figura 5.4 e a Figura 5.5 ilustram a tensão entre os terminais dreno e "*source*" da chave *S1*, bem como a corrente de dreno, representando a comutação suave para as condições de carga leve e nominal, com a chave entrando em condução e sendo bloqueada em modos ZVS e ZCS, respectivamente.

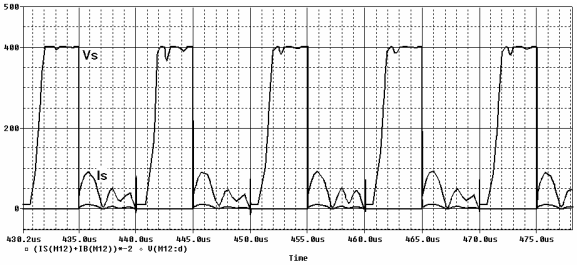


(a) Simulação

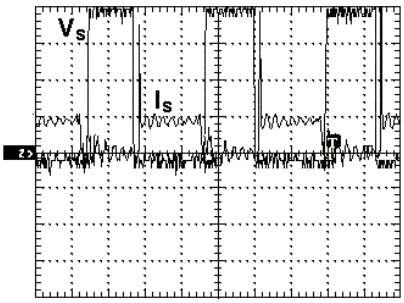


(b) Experimental
Escalas: Vs (200V/div.); Is (1A/div.); tempo (1μs/div.)

Figura 5.4 – Tensão e corrente na chave S1 com carga leve.



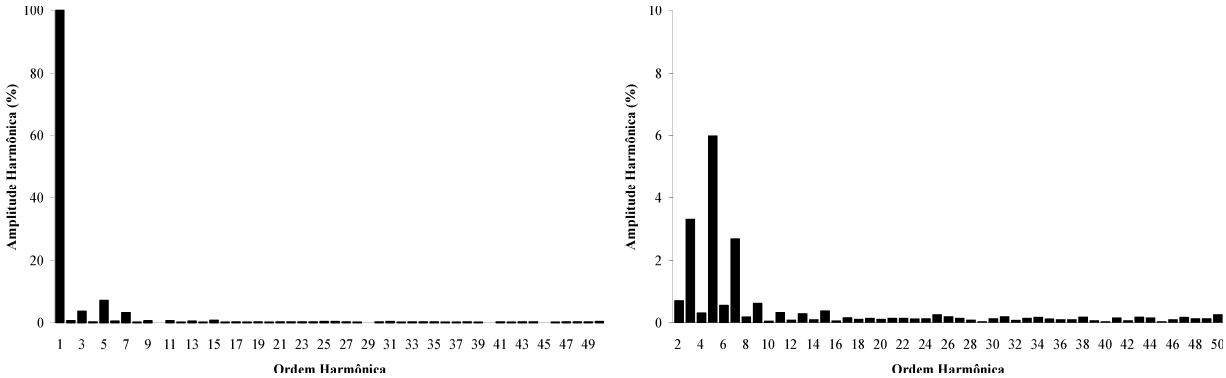
(a) Simulação



(b) Experimental
Escalas: Vs (100V/div.); Is (5A/div.); tempo (1μs/div.)

Figura 5.5 – Tensão e corrente na chave S1 com carga nominal.

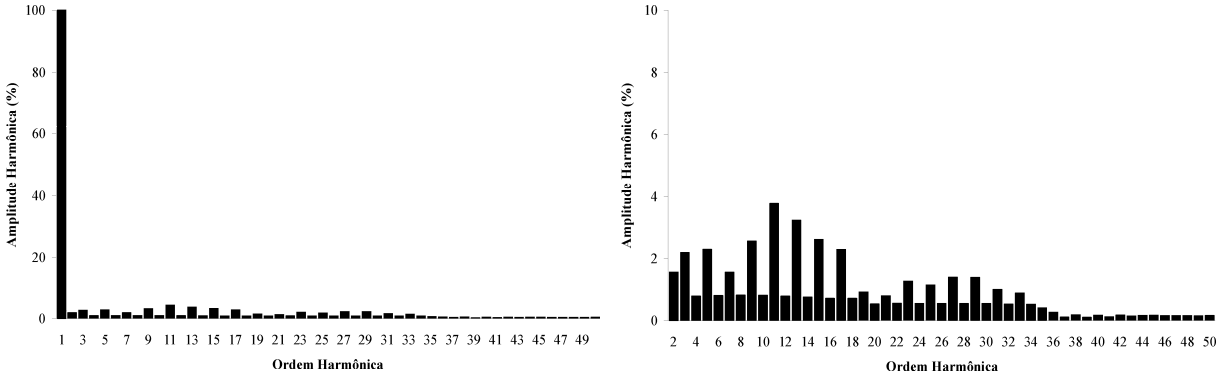
A Figura 5.6 corresponde ao conteúdo harmônico da tensão de saída mostrada na Figura 5.2 (a), sendo THD_v=6,53%.



(a) Considerando componente fundamental (b) Desconsiderando componente fundamental

Figura 5.6 – Conteúdo harmônico da tensão de saída obtida por simulação.

A Figura 5.7 representa o conteúdo harmônico da tensão de saída mostrada na Figura 5.2 (b), sendo THD_v=7,58%.

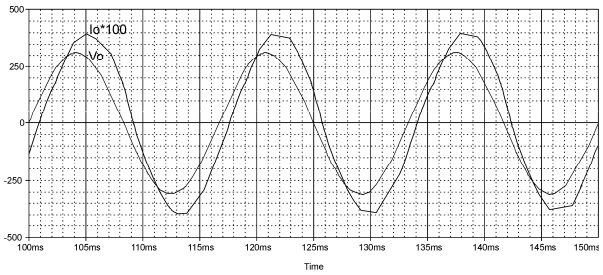


(a) Considerando componente fundamental (b) Desconsiderando componente fundamental

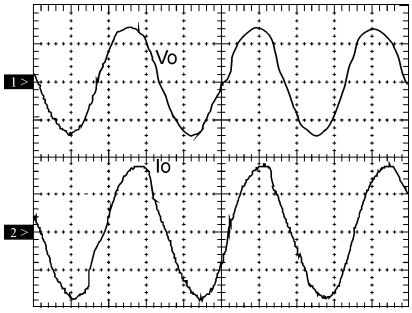
Figura 5.7 – Conteúdo harmônico da tensão de saída obtida experimentalmente.

5.2.2 - INVERSOR DE MCMURRAY UTILIZANDO DIODO EM SÉRIE COM A CHAVE

A Figura 5.8 e a Figura 5.9 representam as formas de onda de tensão e corrente de saída para as situações de carga leve e nominal, respectivamente, moduladas na freqüência de 60Hz. Na potência nominal, o rendimento obtido é aproximadamente 94,7%.

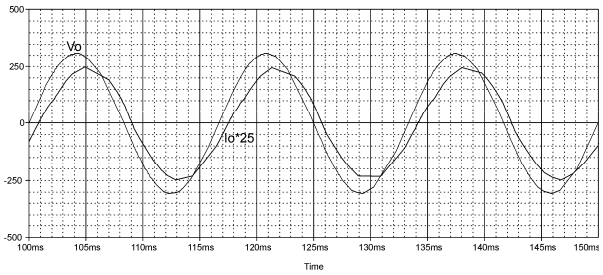


(a) Simulação

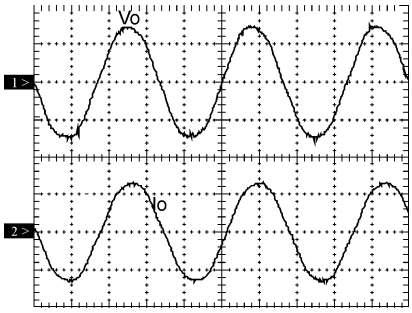


(b) Experimental
Escalas: Vo (200V/div.); Io (2A/div.); tempo (5ms/div.)

Figura 5.8 – Tensão e corrente de saída com carga leve.



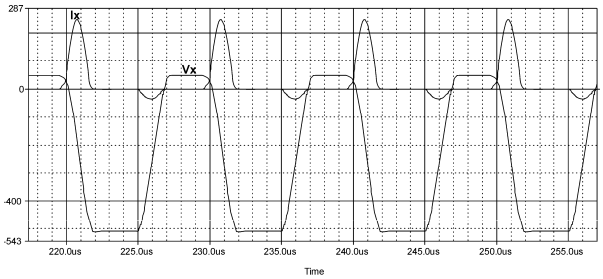
(a) Simulação



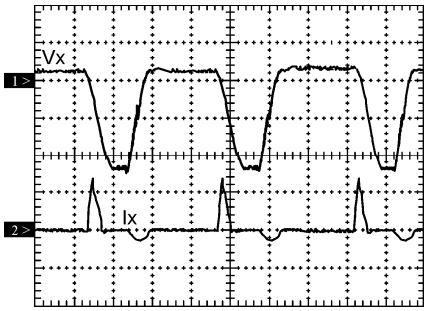
(b) Experimental
Escalas: Vo (200V/div.); Io (10A/div.); tempo (5ms/div.)

Figura 5.9 – Tensão e corrente de saída com carga nominal.

Na Figura 5.10, tem-se a tensão e corrente no ramo ressonante de alta freqüência.



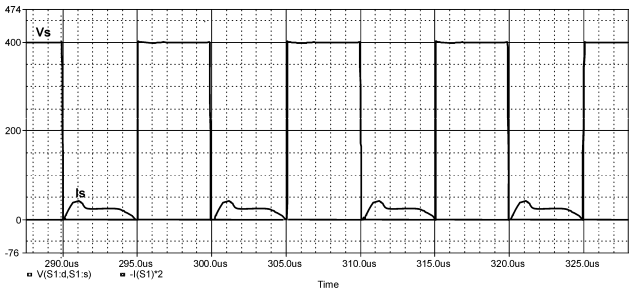
(a) Simulação



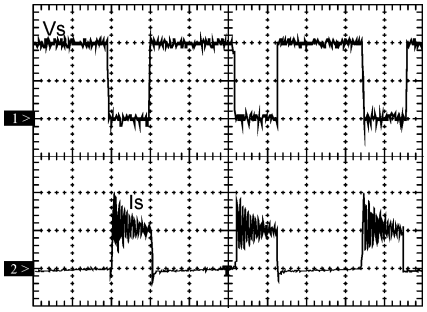
(b) Experimental
Escalas: Vx (200V/div.); Ix (1A/div.); tempo (2μs/div.)

Figura 5.10 – Tensão no capacitor e corrente do indutor no ramo de alta freqüência.

A Figura 5.11 e a Figura 5.12 ilustram a tensão entre os terminais dreno e "*source*" da chave *S1*, bem como a corrente de dreno, representando a comutação suave para as condições de carga leve e nominal, com a chave entrando em condução e sendo bloqueada em modos ZVS e ZCS, respectivamente.

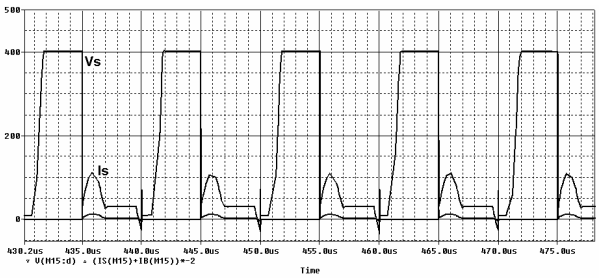


(a) Simulação

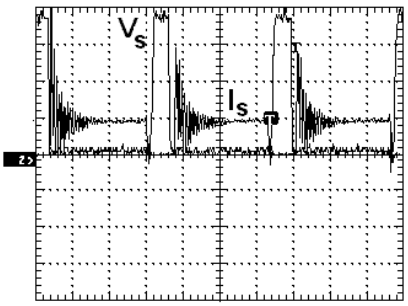


(b) Experimental
Escalas: Vs (200V/div.); Is (1A/div.); tempo (1μs/div.)

Figura 5.11 – Tensão e corrente na chave S1 com carga leve.



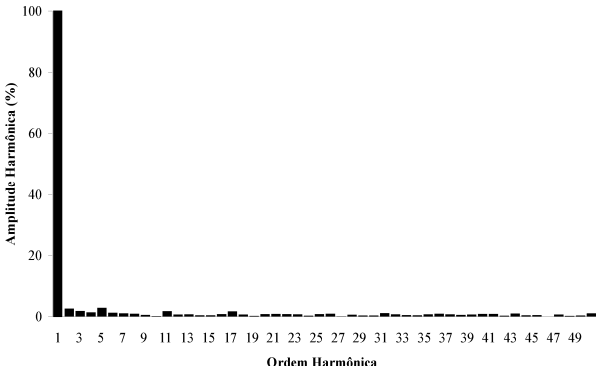
(a) Simulação



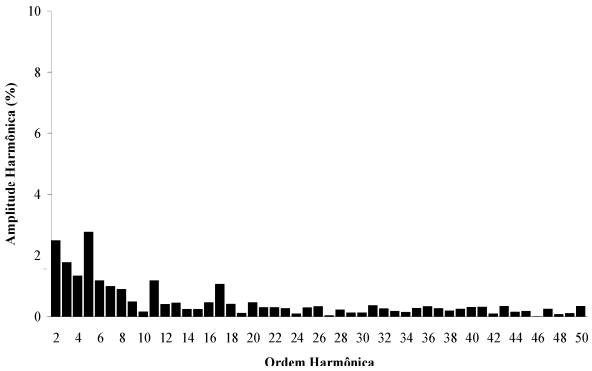
(b) Experimental
Escalas: Vs (100V/div.); Is (5A/div.); tempo (1μs/div.)

Figura 5.12 – Tensão e corrente na chave S1 com carga nominal.

A Figura 5.13 representa o conteúdo harmônico da tensão de saída mostrada na Figura 5.9 (a), sendo THD_v=5,49%.



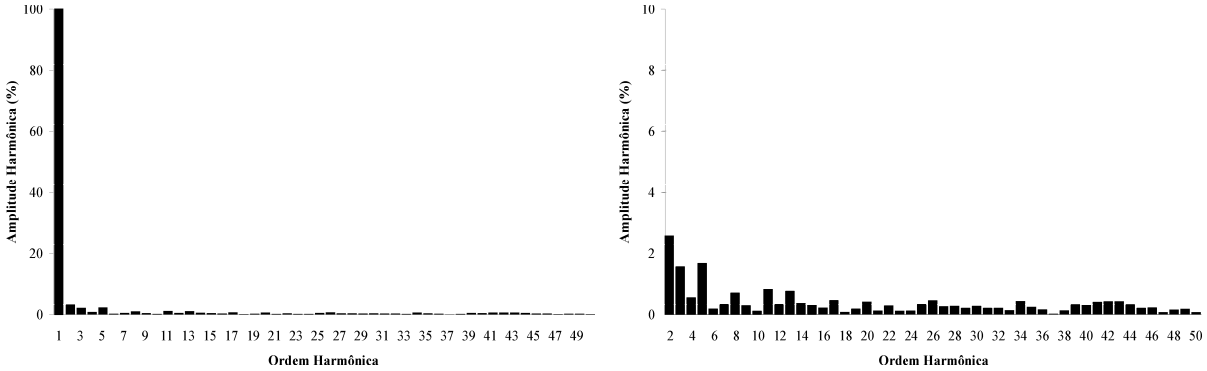
(a) Considerando componente fundamental



(b) Desconsiderando componente fundamental

Figura 5.13 – Conteúdo harmônico da tensão de saída obtida por simulação.

A Figura 5.14 representa o conteúdo harmônico da tensão de saída mostrada na Figura 5.9 (b), sendo THD_v=6,53%.

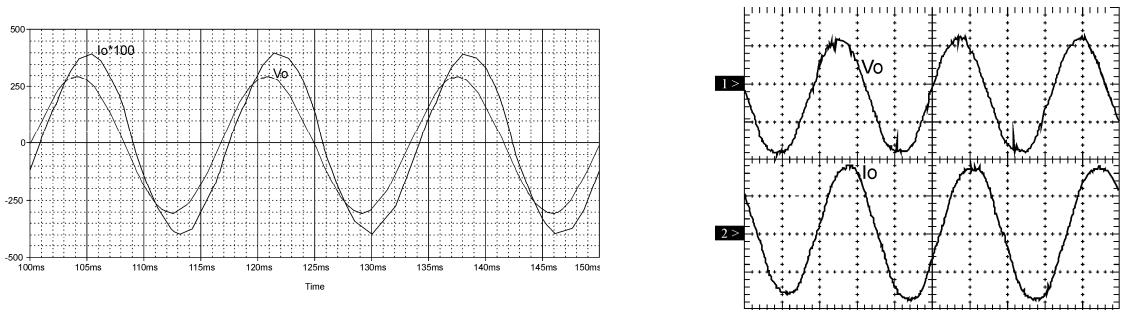


(a) Considerando componente fundamental (b) Desconsiderando componente fundamental

Figura 5.14 – Conteúdo harmônico da tensão de saída obtida experimentalmente.

5.2.3 - INVERSOR DE MCMURRAY TOTALMENTE SUAVE

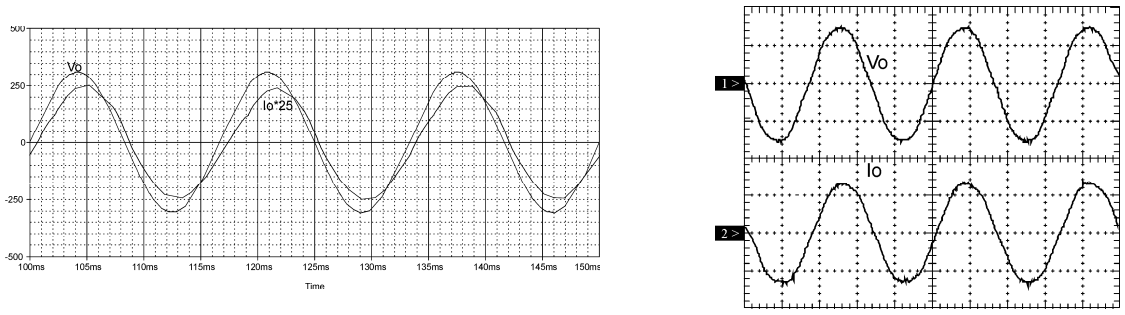
A Figura 5.15 e a Figura 5.16 representam as formas de onda de tensão e corrente de saída para as situações de carga leve e nominal, respectivamente, moduladas na freqüência de 60Hz. Na potência nominal, o rendimento obtido é aproximadamente 95,6%.



(a) Simulação

(b) Experimental
Escalas: Vo (200V/div.); Io (2A/div.); tempo (5ms/div.)

Figura 5.15 – Tensão e corrente de saída com carga leve.

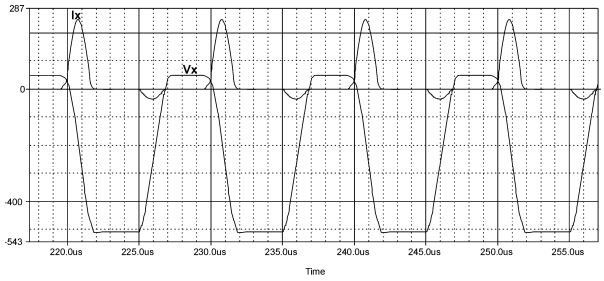


(a) Simulação

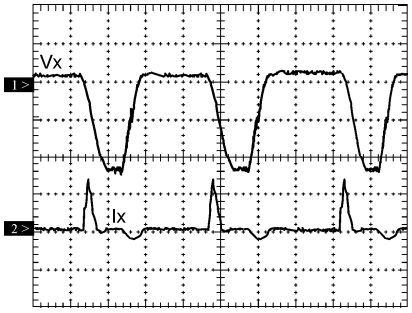
(b) Experimental
Escalas: Vo (200V/div.); Io (10A/div.); tempo (5ms/div.)

Figura 5.16 – Tensão e corrente de saída com carga nominal.

Na Figura 5.17, tem-se a tensão e corrente no ramo ressonante de alta freqüência.



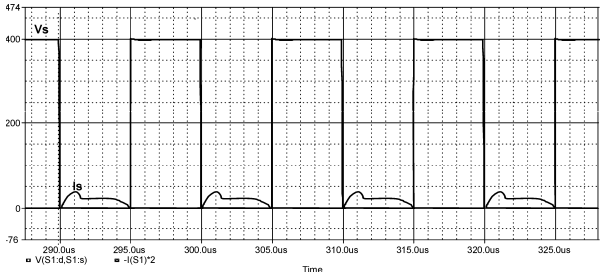
(a) Simulação



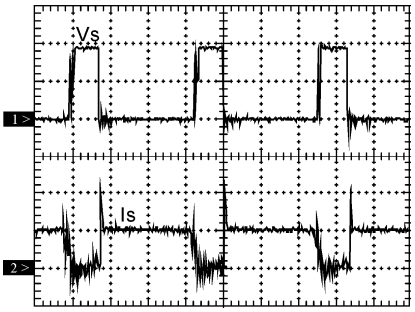
(b) Experimental
Escalas: Vx (50V/div.); Ix (1A/div.); tempo (2μs/div.)

Figura 5.17 – Tensão no capacitor e corrente do indutor no ramo de alta freqüência.

A Figura 5.18 e a Figura 5.19 ilustram a tensão entre os terminais dreno e "*source*" da chave *S1*, bem como a corrente de dreno, representando a comutação suave para as condições de carga leve e nominal, com a chave entrando em condução e sendo bloqueada em modos ZVS e ZCS, respectivamente.

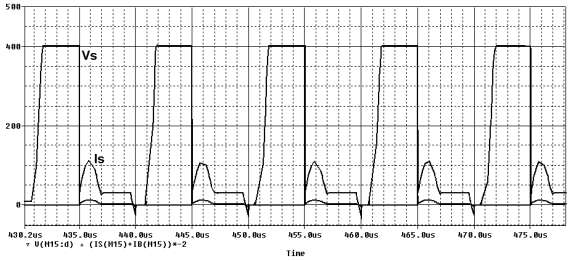


(a) Simulação

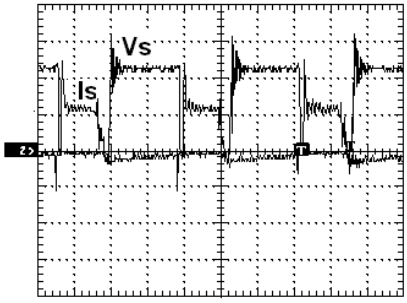


(b) Experimental
Escalas: Vs (200V/div.); Is (1A/div.); tempo (1μs/div.)

Figura 5.18 – Tensão e corrente na chave S1 com carga leve.



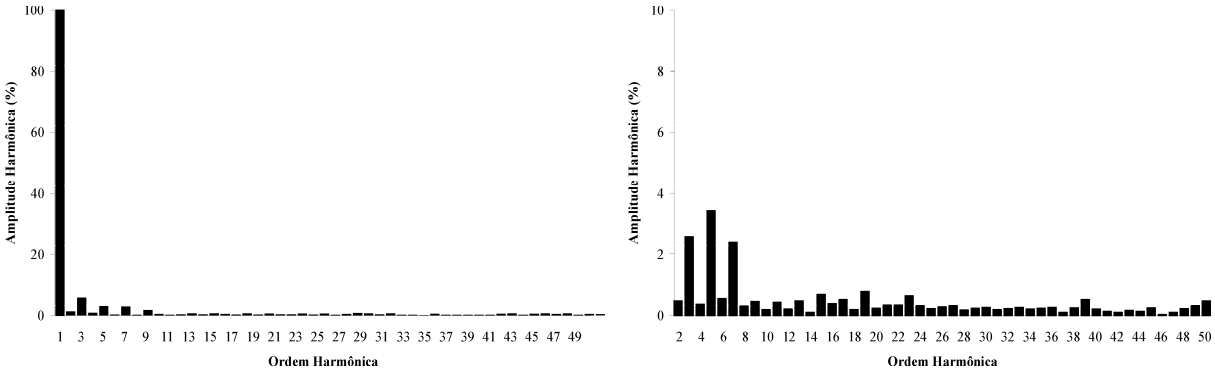
(a) Simulação



(b) Experimental
Escalas: Vs (200V/div.); Is (5A/div.); tempo (1μs/div.)

Figura 5.19 – Tensão e corrente na chave S1 com carga nominal.

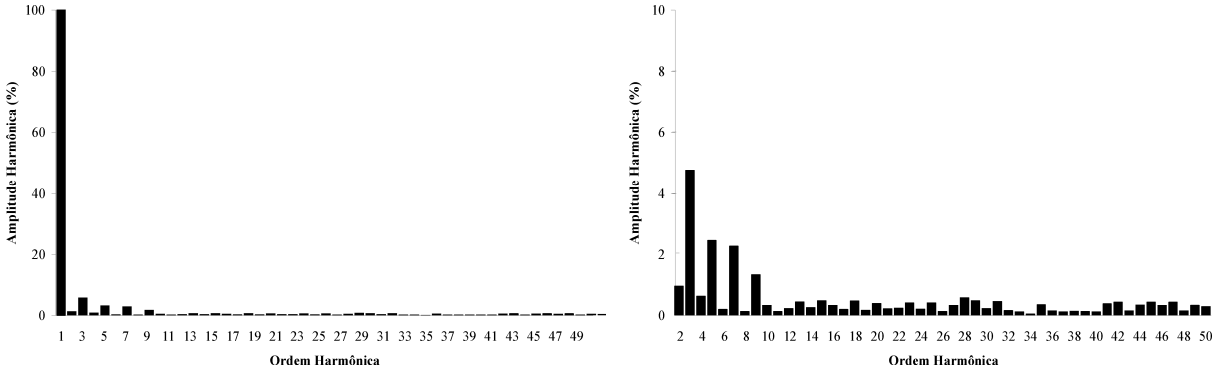
A Figura 5.20 representa o conteúdo harmônico da tensão de saída mostrada na Figura 5.16 (a), sendo THD_v=5,16%.



(a) Considerando componente fundamental (b) Desconsiderando componente fundamental

Figura 5.20 – Conteúdo harmônico da tensão de saída obtida por simulação.

A Figura 5.21 representa o conteúdo harmônico da tensão de saída mostrada Figura 5.16 (b), sendo THD_v=6,17%.



(a) Considerando componente fundamental (b) Desconsiderando componente fundamental

Figura 5.21 – Conteúdo harmônico da tensão de saída obtida experimentalmente.

A Figura 5.22 explicita as curvas de rendimento referente às três estruturas em um gráfico comparativo para uma melhor análise das topologias apresentadas neste trabalho. Desta forma, pode-se validar a contribuição da estrutura com comutação completamente suave quando comparada às demais formas de implementação do inversor de McMurray.

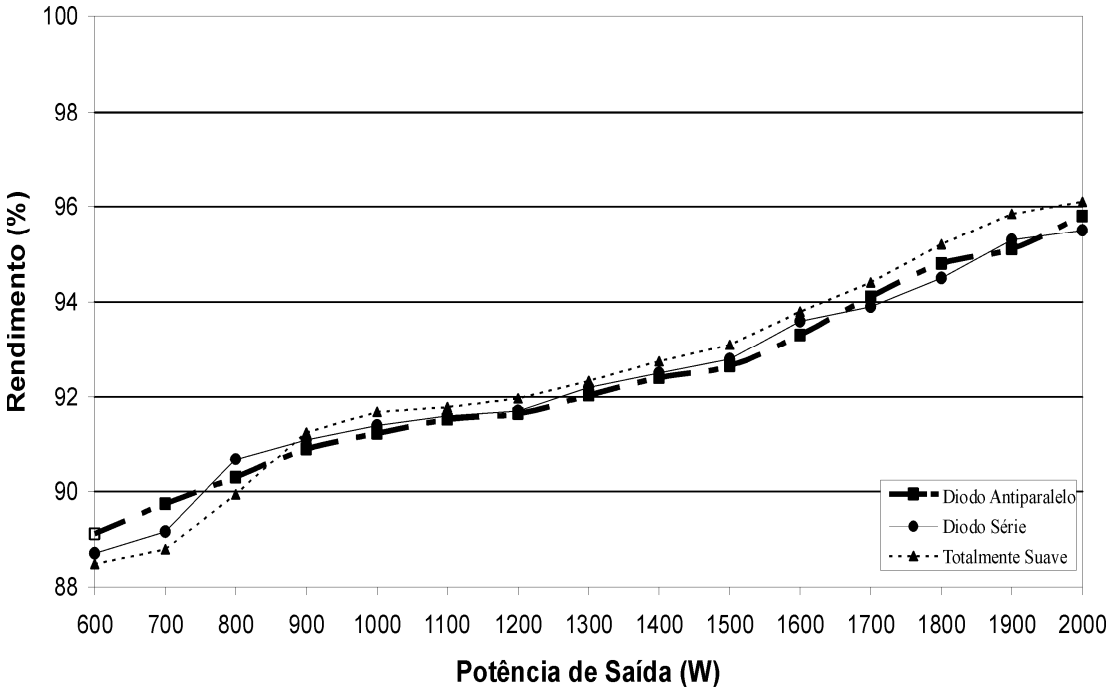


Figura 5.22 – Curvas de rendimento das estruturas.

5.3 - CONSIDERAÇÕES FINAIS

Os resultados de simulação e experimentais mostram-se em concordância com o estudo proposto, comprovando o desempenho das topologias propostas. Estas estruturas podem ser utilizadas na construção de uma fonte de alimentação econômica, compacta e robusta, havendo a possibilidade de variação de tensão e freqüência, obtendo-se conteúdo harmônico reduzido e ausência de ruído audível. Desta forma, pode ser perfeitamente utilizada no acionamento de máquinas CA com velocidade variável. Como outra possibilidade de aplicação do inversor, pode-se citar os sistemas UPS.

CONCLUSÃO GERAL

No desenvolvimento de novas topologias de conversores estáticos, buscam-se aspectos como alta freqüência e volume reduzido. A escolha da freqüência de chaveamento em inversores de tensão é normalmente função dos requerimentos em relação ao volume, desempenho dinâmico e nível de ruído audível. As características mais vantajosas dos inversores convencionais, com comutação dissipativa, são sua generalidade e simplicidade, enquanto que suas maiores desvantagens são as altas perdas e significativa emissão de EMI. A redução das perdas de potência nesses conversores leva a um aumento de eficiência, o que por sua vez, reduz a energia necessária pelo sistema como um todo.

As perdas presentes nas comutações dos conversores estáticos de potência estão relacionadas com a presença simultânea de tensão sobre o dispositivo semicondutor e de corrente através do mesmo, durante o processo de comutação. Com o intuito de minimizar as perdas que ocorrem nas comutações das chaves, foi desenvolvida técnica na qual a corrente e/ou a tensão sobre o dispositivo são levadas a zero antes de ocorrer a comutação. Estas técnicas, que produzem a potência dissipada nas comutações, são denominadas técnicas de comutação suave. Nos últimos anos, mais topologias de inversores de tesão incorporando circuitos auxiliares tem sido investigadas na literatura [57]. O objetivo principal destas propostas é a redução das perdas de chaveamento e a melhora no desempenho, com redução da EMI. O efeito da inclusão de um circuito de comutação suave da redução das perdas do inversor é basicamente um compromisso entre a redução das perdas de chaveamento no circuito principal e as perdas causadas pela operação do circuito auxiliar.

A proposta desta tese é o desenvolvimento de uma célula de comutação suave para ser aplicada ao inversor de McMurray, com o intuito de minimizar as perdas de comutação

presente nos dispositivos semicondutores. Para tanto, todas as comutações das chaves semicondutoras principais devem ocorrer com tensão e correntes nulas, o que nenhum circuito auxiliar analisado na revisão bibliográfica apresenta. Desta forma pode-se obter uma universalidade para os dispositivos semicondutores, de forma que com esta técnica de comutação ZVZCS pode-se empregar qualquer tipo de chave (MOSFET, IGBT ou GTO).

No Capítulo 1, foi mostrada uma breve revisão da literatura, investigando-se aspectos básicos relacionados à operação de conversores CC-CA.

O Capítulo 2 apresentou a topologia do inversor de McMurray. Foram investigadas técnicas de modulação da tensão de saída, de forma a determinar o método mais adequado para o acionamento dos interruptores. Adicionalmente, foi proposta a aplicação de uma célula ativa de auxílio à comutação para minimização das perdas por chaveamento.

No Capítulo 3, foram mostradas três variações topológicas da estrutura proposta, analisando-se detalhadamente a operação de cada uma das mesmas. Desta forma, obtém-se comutação suave na entrada e na saída de condução das chaves principais.

No Capítulo 4, foi descrito um exemplo de projeto do conversor, determinando-se todos os elementos constituintes do circuito. Além disso, foram analisados os blocos que representam o sistema de controle. A disponibilidade de circuitos integrados com funções específicas facilita a implementação do projeto, implicando robustez, facilidade de manutenção e elevação da densidade de potência do equipamento. Este capítulo destinou-se ao cálculo dos elementos constituintes do inversor proposto. Assim, foi proposto o roteiro de projeto que possibilita a implementação do mesmo.

Visando à validação do estudo de forma ampla, o Capítulo 5 apresentou os resultados obtidos por simulação e implementação experimental. Assim, pode-se atribuir às topologias

estudadas as características de rendimento elevado e conteúdo harmônico reduzido da tensão de saída.

Diante do conteúdo exposto, surgem à tona alguns aspectos insuficientemente explorados. Neste contexto, são propostos os seguintes tópicos ainda a serem evidentemente estudados:

- estudo de novas topologias inversoras, estabelecendo comparações entre as mesmas, no que se refere à qualidade dos sinais de saída, custo, dimensões totais e eficiência energética;
- introdução de novas técnicas de modulação com o intuito de minimizar a distorção harmônica da tensão de saída;
- estudo do inversor proposto em aplicações direcionadas, como acionamento de motores CA com velocidade variável e sistemas UPS.

REFERÊNCIAS BIBLIOGRÁFICAS

[1] ALMEIDA, J.L.A. “Eletrônica de Potência”, Editora Érica Ltda.

[2] ASSIS, M.M. “Partida Suave de Motores de Indução Trifásicos”. Catálogo da Siemens.

[3] ASSOCIAÇÃO BRASILEIRA DE NORMAS TÉCNICAS “Conversor a Semicondutores – Sistema de Alimentação de Potência Ininterrupta: EB-2175”. Rio de Janeiro, Dezembro, 1991.

[4] BEDFORD, B.D. “Principles of Inverter Circuits”, R. G. Hoft, 1964.

[5] BEDFORD, B.D.; HOFT, R.G. “Principles of Inverter Circuits”. New York, John Wiley & Sons, Inc., 1964.

[6] BERLIN, H.M. “Projetos com Amplificadores Operacionais”. EDITELE – Editora Técnica Eletrônica Ltda.

[7] BIGNELL, J.W.; DONOVAN, R.L. “Eletrônica Digital”. Makron Books.

[8] BLAABJERG, F.; FREYSSON, S.; HANSEN, H..; HANSEN, S. “A New Optimized Space Vector Modulation Strategy for a Component-Minimized Voltage Source Inverter”, IEEE Transactions on Power Electronics, vol. 12, no. 4, p. 704-714, July 1997.

[9] BOCK, S.A.; PINHEIRO, H.; PINHEIRO, J.R.; GRÜNDLING, H.A.; HEY, H.L. “Existence and Stability of Sliding Modes in Bi-Directional DC-DC Converters”, IEEE Power Electronics Specialist Conference, 2001.

[10] BOSE, B.K. “Recent Advances in Power Electronics”, IEEE Transactions on Power Electronics, vol. 7, no. 1, January 1992.

[11] BOWES, S.R.; MECH, E.; MOUNT, M.J. “Microprocessor Control of PWM Inverters”, IEE Proc., vol. 128, no. 6, pp. 293-305, November 1981.

[12] BROECK, H.W.V.D.; SKUDENLY, H.C.; STANKE, G.V. “Analysis and Realization of a Pulse Width Modulator Based on Voltage Space Vectors”, IEEE Transactions on Industry Applications, vol. 24, no. 1, pp. 142-149, January 1988.

[13] CARATI, E. “Um Controle Repetitivo Adaptativo Robusto por Modelo de Referência Aplicado a Fontes Ininterruptas de Energia”. Dissertação de Mestrado, Universidade Federal de Santa Maria, Janeiro 1999.

[14] CARATI, E.G.; RICHTER, C.M.; GRÜNDLING, H.A. “A Robust High Performance Three-Phase Uninterruptible Power Supply”, Proceedings of the International Conference on Control Applications, September 2000.

[15] CARATI, E.G.; RICHTER, C.M.; GRUNDLING, H.A. “A Three-Phase AC Power Source Using Robust Model Reference Adaptive Control”, Proceedings of the 39th IEEE Conference on Decision and Control, 2000, vol. 4, pp. 4078-4083.

[16] CHEN, S.; JOÓS, G. “Transient Performance of UPS System with Synchronous-Frame Digital Controller”, Telecommunications Energy Conference, 2000. INTELEC 2000, p. 533-540.

[17] CHO, J.S.; LEE, S.Y.; MOK, H.S.; CHOE, G.H. “Modified Deadbeat Digital Controller for UPS with 3-Phase PWM Inverter”, IEEE Industry Applications Society, Conf. Proc., 1999.

[18] CHOI, J.H.; KIM, B.J. “Improved Digital Control Scheme of Three Phase UPS Inverter Using Double Control Strategy”, Applied Power Electronics Conference and Exposition, 1997, APEC ’97, vol. 2, pp. 820-824;

[19] CHOI, J.W., SUL, S.I. "Fast Current Controller in Three-Phase AC/DC Boost Converter Using d-q Axis Crosscoupling", IEEE Transactions on Power Electronics, vol. 13, no. 1, p. 179-185, January 1998;

[20] CONCEIÇÃO, E.G.C.; PINHEIRO, J.R. "Análise e Implementação de Uma Nova Lei de Controle por Modos Deslizantes para Inversores Três Níveis", XIII Congresso Brasileiro de Automática, 2000, Florianópolis, pp. 1229-1234;

[21] DARNELL GROUP "Uninterruptible Power Supplies: Global Market Forecasts, Emerging Technologies and Comparative Environment", Third Edition. Disponível em: http://www.darnell.com/services/01-ups_backup.stm. Acesso em Julho de 2003.

[22] DE DONCKER, R.W.; LYON, J.P. "The Auxiliary Resonant Commutated Pole Converter", IEEE - IAS Annual Meeting, 1990, pp. 1228-1235 (accepted for T-IA).

[23] DIVAN, D.M. "A New Topology for Single Phase UPS Systems", IEEE Industry Applications Society Meeting, pp 931-936, 1989.

[24] EMBRATEL "Circuitos Lógicos". Treinamento Básico Embratel.

[25] ENJETI, P.N.; ZIOGAS, P.D.; LINDSAY, J.F. "Programmed PWM Techniques to Eliminate Harmonics: A Critical Evaluation, IEEE Trans. on Industry Applications", vol. 26, no. 2, p. 302-316, March-April 1990.

[26] ESSIG, B.; BRAUN, G. "Selecting Batteries for Uninterruptible Power Supply Systems", Applied Power Electronics Conference and Exposition, 1991, pp 242-645.

[27] FARIAS, V.J. "Contribuição ao Estudo dos Circuitos de Comutação Forcada Aplicados Às Montagens *Choppers*". Dissertação de Mestrado, UFMG, Belo Horizonte, MG, Brasil, 1981.

[28] FREITAS, L.C.; FARIAS, V.J.; CAPARELLI, P.S.; VIEIRA JR., J.B.; HEY, H.L., CRUZ, D.F. “An Optimum ZVS-PWM DC-to-DC Converter Family: Analysis, Simulation and Experimental Results”, Power Electronics Specialists Conference, 1998, PESC 98 Record, pp. 229-235.

[29] FREITAS, L.C.; FARIAS, V.J.; CRUZ, D.F. “A Novel ZCS-ZVS-PWM DC-DC Buck Converter for High Power and High Switching Frequency: Analysis, Simulation and Experimental Results”, Applied Power Electronics Conference and Exposition, 1993, APEC '93, pp-693-699.

[30] FREITAS, L.C.; VIEIRA JR., J.B., LIMA, C.A.F. “A DC-AC Converter with Low Harmonic Distortion and without Losses of Commutation”, IECON ‘95.

[31] GALLO, C.A. “Análise, Projeto e Montagem de uma Fonte Chaveada, com Alto Fator de Potência Utilizando um Novo“Snubber” Não Dissipativo”, Dissertação de Mestrado, UFU, Uberlândia, MG, Brasil, 2002.

[32] GALLO, C.A.; MORAES, A.S.; TOFOLI, F.L.; DEMIAN JR., A E.; FARIAS, V.J., FREITAS, L.C.; VIEIRA JR., J.B. “A ZCZVS PWM Three Level Full Bridge McMurray Inverter Using an Auxiliary Power Supply to Control System”, COBEP ‘03 Record, pp. 94-99, Fortaleza, Ceará, Brazil, Sept/03.

[33] GOKHALE, K.P.; KAWAMURA, A.; HOFT, R. “Dead Beat Microprocessor Control of PWM Inverter for Sinusoidal Output Waveform Synthesis”, IEEE Transactions on Industry Applications., vol. IA-23, no. 5, p. 901-910, September/October 1987.

[34] GRIFFITH, D.C. “Uninterruptible Power Supplies”. Marcel Dekker, Inc., NY, USA.

[35] GRÜNDLING, H.A., CARATI, E.G.; PINHEIRO, J.R. “A Robust Model Reference Adaptive Controller for UPS Applications, Industrial Electronics: Control and Instrumentation”, IECON 97, pp. 901-905.

[36] HANEYOSHI, T.; KAWAMURA, A.; HOFT, R. “Waveform Compensation of PWM Inverter with Cyclic Fluctuating Loads”, IEEE Transactions on Industry Applications., vol. IA-24, no. 4, p. 582-589, July/August 1988.

[37] HOLTZ, J. “Pulse Width Modulation – A Survey”, Power Electronics Specialists Conference, PESC '92 Record, pp. 11-18;

[38] HONGYING, W.; DONG, L.; DEHUA, Z.; KAIWEI, Y.; JINFA, Z. “A Current-Mode Control Technique with Instantaneous Inductor-Current Feedback for UPS Inverters”, Applied Power Electronics Conference and Exposition, 1999. APEC ‘99, vol. 2, pp. 951-957;

[39] HUA, G.; LEU, C.S.; LEE, F.C.: “Novel Zero Voltage Transition PWM Converters”, Power Electronics Specialist Conference, 1992, pp. 55-60.

[40] HUNG, J.Y., GAO, W; HUNG, J.C. “Variable Structure Control: A Survey”, IEEE Transaction on Industrial Electronics, vol. 40, no 1, February 1993.

[41] INSTITUTE OF ELECTRICAL AND ELECTRONICS ENGINEERS “IEEE Recommended Practice for Emergency and Standby Power Systems for Industrial and Commercial Applications”, IEEE Std-446-1995, 1995.

[42] INSTITUTE OF ELECTRICAL AND ELECTRONICS ENGINEERS. “Emergency and Standby Power Systems for Industrial and Commercial Applications (Orange Book)”, Std 446-1995. New York, December 1995.

[43] INTERNATIONAL ELECTROTECHNICAL COMMISSION "Method of Specifying the Performance and Test Requirements", IEC 62040-3, March, 2001.

[44] INTERNATIONAL ELECTROTECHNICAL COMMISSION, "IEC 1000-3-2: International Standard, IEC Electromagnetic Compatibility (EMC), Part 3: Limits - Section 2: Limits of Harmonic Current Emissions". First edition, 1995.

[45] ITO, Y.; KAWAUCHI, S. "Microprocessor-Based Robust Digital Control for UPS with Three-Phase PWM Inverter", IEEE Transactions on Power Electronics, vol. 10, no. 2, pp. 196-204, March 1995;

[46] JOUANNE, A.V.; ENJETI, P.N.; LUCAS, D.J. "DSP Control of High-Power UPS Systems Feeding Nonlinear Loads", IEEE Transactions on Industrial Electronics, vol. 43, no. 1, p. 121-125, February 1996.

[47] KARVE, S. "Three of a Kind [UPS Topologies, IEC Standard]". IEEE Review V.46, pp 27-31, March 2000.

[48] KAWAMURA, A.; CHUARAYAPRATIP, R.; HANEYOSHI, T. "Deadbeat Control of PWM Inverter with Modified Pulse Patterns for Uninterruptible Power Supply", IEEE Transactions on Industrial Electronics, vol. 35, no. 2, May 1998.

[49] KAWAMURA, A.; HANEYOSHI, T., HOFT, R.G. "Deadbeat Controlled PWM Inverter with Parameter Estimation Using Only Voltage Sensor", IEEE Transactions on Power Electronics, vol. 3, no. 2, p.118-124, April 1988.

[50] KAWAMURA, A.; HOFT, R.G. "Instantaneous Feedback Controlled PWM Inverter with Adaptive Hysteresis", IEEE Transactions on Industry Applications, vol. IA-20, no. 4, p. 769-775, July/August 1984.

[51] KAWAMURA, A.; ISHIHARA, K. “High Frequency Deadbeat Control of Three-Phase PWM Inverter used for Uninterruptible Power Supply”, Power Electronics Specialists Conference, 1988, PESC ’88.

[52] KAWAMURA, A.; YOKOYAMA, T. “Comparison of Five Control Methods for Digitally Feedback Controlled PWM Inverters”, EPE 91 European Conf. on Power Electronics and Applications, pp. 2035-2040, 1991.

[53] KERNICK, A.; STECHSCHULTE, D.L.; SHIREMAN, D.W. “Static Inverter with Synchronous Output Waveform Synthesized by Time-Optimal-Response Feedback”, IEEE Transactions on Industrial Electronics and Control Instrumentation, vol. IECI 24, no. 4, pp. 297-305, November 1977;

[54] KÜKRER, O. “Deadbeat Control of a Three-Phase Inverter with an Output LC Filter”, IEEE Transactions on Power Electronics, vol. 11, no. 1, p. 16-23, January 1996.

[55] LANDER, C.W. “Eletrônica Industrial – Teoria e Aplicações”. McGraw-Hill.

[56] LEE, F.C. “High Frequency Quasi-Resonant Converter Technologies”, Proceedings of the IEEE, vol. 76, no. 4, pp 377-390, April 1988.

[57] LI, Y.;LEE, F. C.;LAI, J.; BOROYEVICH, D.; “ A Low Cost Three-Phase Zero-Current-Transition Inverter with Three Auxiliary Switches”. IEEE Power Especialist Conference, pp 931-937, 2001.

[58] LIMA, C.A “Conversor CC-CA de Baixa Distorção Harmônica e Comutação Não-Dissipativa”. Dissertação de Mestrado, UFU, Uberlândia, MG, Brasil, 1995.

[59] LOW, K.S. “A Digital Control Technique for a Single-Phase PWM Inverter”, IEEE Transactions on Industrial Electronics, vol. 45, no. 4, p. 672-674, August 1998;

[60] MALESANI, L.; TENTI, P.; TOMASIN, P.; TOIGO, V. “High Efficiency Quasi Resonant DC Link Converter for Full-Range PWM”, Proc. of APEC '92, Boston, USA.

[61] MCMURRAY, W.; SHATTUCK, D. P., “A Silicon-Controlled Rectifier Inverter wirh Improved Commutation”, AIEE Transactions, Volume 80, part I, 1961, pp. 531-42.

[62] MELLO, L.F.P.“Análise e Projeto de Fontes Chaveadas”. São Paulo-SP, 1a Edição, Editora Érica Ltda, 1996.

[63] MOHAN, N.; UNDERLAND, T.M.; ROBINS, W.P. “Power Electronics: Converters, Applications and Design”. John Wiley & Sons.

[64] MONTAGNER, V.F.; CARATI, E.G.; GRÜNDLING, H.A. “An Adaptive Linear Quadratic Regulator with Repetitive Controller Applied to Uninterruptible Power Supplies”, IEEE Industrial Applications Society, p. 2231-2236, October 2000.

[65] MUTHU, S.; KIM, J.M.S. “Discrete-Time Sliding Mode Control for Output Voltage Regulation of Three-Phase Voltage Source Inverters”, Applied Power Electronics Conference and Exposition, 1998, vol. 1, pp. 129-135.

[66] NATIONAL ELECTRICAL MANUFACTURERS ASSOCIATION “Standards Publication. Uninterruptible Power Systems: PE1”, Washington, 1992

[67] OHNO, E. “Introduction to Power Electronics”. Oxford Science Publications.

[68] OTT, R. R., “A Filter for Silicon-Controlled Rectifier Commutation an Harmonic Attenuation in High Power Inverters”, AIEE Conference Paper, CP 62-422, New York, January 28-February 2, 1962.

[69] PINHEIRO, H.; JAIN, P.K.; JOÓS, G. “UPS Topologies for Powering Fiber/Coaxial Networks”, IEEE Telecommunications Energy Conference, 1999.

[70] PINHEIRO, H.; MARTINS, A.S.; PINHEIRO, J.R. "A Sliding Mode Controller in Single Phase Voltage Source Inverters", Industrial Electronics, Control and Instrumentation, 1994. IECON '94, vol. 1, pp. 394-398.

[71] PINTO, J.A.C. "Análise, Projeto e Montagem de uma Fonte Chaveada, com Alto Fator de Potência Utilizando Conversor Boost Entrelaçado como Pré-Regulador e Chaveamento Suave". Dissertação de Mestrado, UFU, Uberlândia, MG, Brasil, 1997

[72] RECH, C.; GRÜNDLING, H.A.; PINHEIRO, J.R. "Comparison of Discrete Control Techniques for UPS Applications", Industry Applications Society Conf. Proc. 2000. IAS 2000.

[73] SHUCH, L.; RECH, C., HEY, H.L., PINHEIRO, H.; GRUNDLING, H.A., PINHEIRO, J.R. "Analysis and Design of A High Performance Bi-Directional PWM Converter for DC Bus and Battery Bank Interface", COBEP 2001, pp 532-537.

[74] SIRA-RAMIREZ, H.; RIOS-BOLIVAR, M. "Sliding Mode Control of DC-to-DC Power Converters Via Extended Linearization", IEEE Transactions on Circuits and Systems I: Fundamental Theory and Applications, vol. 41, no. 10, October 1994, pp. 652-661;

[75] SOLTE, W.R. "A New International UPS Classification by IEC 62040-3", IEE Telecommunications Energy Conference, pp. 541-544, 2002.

[76] STEIN, C.M.O.; GRUNDLING, H.A.; PINHEIRO, H.; PINHEIRO, J.R.; HEY, H.L.; "Zero-Current and Zero-Voltage soft-Transition Commutation Cell for PWM Inverters", Applied Power Electronics Conference and Exposition, 2002. APEC 2002. Seventeenth Annual IEEE Volume 1, 10-14 March 2002 Page(s):525 - 531 vol.1

[77] STEIN, C.M.O.; HEY, H.L.; PINHEIRO, J.R.; PINHEIRO, H.; GRUNDLING, H.A. Analysis, Design, and Implementation of A New ZCZVT Commutation Cell for PWM DC-AC Converters, Conference Record of the 2001 IEEE Industry Applications Conference, 2001, Thirty-Sixth IAS Annual Meeting, vol. 2, September/October 2001, pp. 845-850.

[78] TAUB, H. "Circuitos Digitais e Microprocessados". McGraw-Hill.

[79] TEXAS INSTRUMENTS "Clarke & Park Transforms on the TMS320C2xx". Application Report BPRA 048.

[80] TOIGO, R.F.I. "Sistemi di Continuitá: Problematiche es Applicazioni", in 11o Corso Componenti e Sistemi Elettronici di Potenza", Tecnopolis, 21-25 Settembre 1992, Itália.

[81] YANG, E.X.; HAU, G.; JIANG, Y.; LEE, F.C. "Novel Zero Current Transition PWM Converters", IEEE Transactions on Power Electronics, vol. 9, no. 6, pp 601-606, 1994.