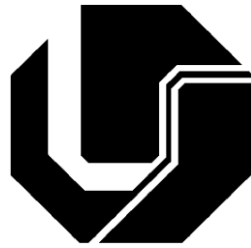

UNIVERSIDADE FEDERAL DE UBERLÂNDIA
FACULDADE DE ENGENHARIA ELÉTRICA
PÓS-GRADUAÇÃO EM ENGENHARIA ELÉTRICA



**CONVERSOR SEPIC QUADRÁTICO NÃO ISOLADO SEM
CAPACITORES ELETROLÍTICOS PARA ACIONAMENTO
DE ILUMINAÇÃO A LED**

ORIENTADO: DOUGLAS ROSA CORRÊA
ORIENTADOR: ANIEL SILVA DE MORAIS
COORIENTADOR: FERNANDO LESSA TOFOLI

UBERLÂNDIA
AGOSTO DE 2020

DOUGLAS ROSA CORRÊA

**CONVERTOR SEPIC QUADRÁTICO NÃO ISOLADO SEM
CAPACITORES ELETROLÍTICOS PARA ACIONAMENTO
DE ILUMINAÇÃO A LED**

Dissertação submetida ao Programa de Pós-graduação em Engenharia Elétrica da Universidade Federal de Uberlândia, como parte dos requisitos para a obtenção do título de **MESTRE EM CIÊNCIAS**.

Banca Examinadora:

Aniel Silva de Morais, Dr. (Orientador) – UFU

Fernando Lessa Tofoli, Dr. (Coorientador) – UFSJ

Daniel Pereira de Carvalho, Dr. – UFU

Guilherme Márcio Soares, Dr. – UFJF

Aniel Silva de Morais, Dr.
Orientador

José Roberto Camacho, Dr.
Coordenador do Curso de Pós-Graduação

Uberlândia - MG
Agosto de 2020

Ficha Catalográfica Online do Sistema de Bibliotecas da UFU
com dados informados pelo(a) próprio(a) autor(a).

C824
2020 Corrêa, Douglas Rosa, 1988-
Conversor SEPIC quadrático não isolado sem capacitores
eletrolíticos para acionamento de iluminação a LED
[recurso eletrônico] / Douglas Rosa Corrêa. - 2020.

Orientador: Aniel Silva de Morais.
Coorientador: Fernando Lessa Tofoli.
Dissertação (Mestrado) - Universidade Federal de
Uberlândia, Pós-graduação em Engenharia Elétrica.
Modo de acesso: Internet.
Disponível em: <http://doi.org/10.14393/ufu.di.2020.621>
Inclui bibliografia.
Inclui ilustrações.

1. Engenharia elétrica. I. Morais, Aniel Silva de,
1979-, (Orient.). II. Tofoli, Fernando Lessa, 1976-,
(Coorient.). III. Universidade Federal de Uberlândia.
Pós-graduação em Engenharia Elétrica. IV. Título.

CDU: 621.3

Bibliotecários responsáveis pela estrutura de acordo com o AACR2:

Gizele Cristine Nunes do Couto - CRB6/2091



UNIVERSIDADE FEDERAL DE UBERLÂNDIA
 Coordenação do Programa de Pós-Graduação em Engenharia Elétrica
 Av. João Naves de Ávila, 2121, Bloco 3N - Bairro Santa Mônica, Uberlândia-MG, CEP 38400-902
 Telefone: (34) 3239-4707 - www.posgrad.feelt.ufu.br - copel@ufu.br



ATA DE DEFESA - PÓS-GRADUAÇÃO

| | | | | | |
|------------------------------------|---|-----------------|-------|-----------------------|-------|
| Programa de Pós-Graduação em: | Engenharia Elétrica | | | | |
| Defesa de: | Dissertação de Mestrado Acadêmico, 747, PPGEELT | | | | |
| Data: | Vinte e seis de agosto de dois mil e vinte | Hora de início: | 14:00 | Hora de encerramento: | 17:00 |
| Matrícula do Discente: | 11822EEL003 | | | | |
| Nome do Discente: | Douglas Rosa Corrêa | | | | |
| Título do Trabalho: | Conversor SEPIC quadrático não isolado sem capacitores eletrolíticos para acionamento de iluminação a LED | | | | |
| Área de concentração: | Sistemas de energia elétrica | | | | |
| Linha de pesquisa: | Controle e automação | | | | |
| Projeto de Pesquisa de vinculação: | Título: Conversores Estáticos de Potência Aplicados em Amplas Taxas de Conversão Agência Financiadora: UNIVERSIDADE FEDERAL DE UBERLÂNDIA - (Programa Institucional de Apoio a Pesquisa (apoio financeiro)) Início 22/11/2019 Término 22/05/2021 MESTRADO No. do Projeto na agência: __Professor Coordenador: Aniel Silva de Moraes | | | | |

Reuniu-se por meio de videoconferência, a Banca Examinadora, designada pelo Colegiado do Programa de Pós-graduação em Engenharia Elétrica, assim composta: Professores Doutores: Daniel Pereira de Carvalho - FEELT/UFU; Fernando Lessa Tofoli - UFSJ; Guilherme Márcio Soares - UFJF; Aniel Silva de Moraes - FEELT/UFU, orientador(a) do(a) candidato(a).

Iniciando os trabalhos o(a) presidente da mesa, Dr(a). Aniel Silva de Moraes, apresentou a Comissão Examinadora e o candidato(a), agradeceu a presença do público, e concedeu ao Discente a palavra para a exposição do seu trabalho. A duração da apresentação do Discente e o tempo de arguição e resposta foram conforme as normas do Programa.

A seguir o senhor(a) presidente concedeu a palavra, pela ordem sucessivamente, aos(às) examinadores(as), que passaram a arguir o(a) candidato(a). Ultimada a arguição, que se desenvolveu dentro dos termos regimentais, a Banca, em sessão secreta, atribuiu o resultado final, considerando o(a) candidato(a):

Aprovado(a).

Esta defesa faz parte dos requisitos necessários à obtenção do título de Mestre.

O competente diploma será expedido após cumprimento dos demais requisitos, conforme as normas do Programa, a legislação pertinente e a regulamentação interna da UFU.

Nada mais havendo a tratar foram encerrados os trabalhos. Foi lavrada a presente ata que após lida e achada conforme foi assinada pela Banca Examinadora.



Documento assinado eletronicamente por **Fernando Lessa Tofoli, Usuário Externo**, em 26/08/2020, às 16:10, conforme horário oficial de Brasília, com fundamento no art. 6º, § 1º, do [Decreto nº 8.539, de 8 de outubro de 2015](#).



Documento assinado eletronicamente por **Guilherme Márcio Soares, Usuário Externo**, em 26/08/2020, às 16:11, conforme horário oficial de Brasília, com fundamento no art. 6º, § 1º, do [Decreto nº 8.539, de 8 de outubro de 2015](#).



Documento assinado eletronicamente por **Daniel Pereira de Carvalho, Professor(a) do Magistério Superior**, em 26/08/2020, às 16:11, conforme horário oficial de Brasília, com fundamento no art. 6º, § 1º, do [Decreto nº 8.539, de 8 de outubro de 2015](#).



Documento assinado eletronicamente por **Aniel Silva de Moraes, Membro de Comissão**, em 26/08/2020, às 19:31, conforme horário oficial de Brasília, com fundamento no art. 6º, § 1º, do [Decreto nº 8.539, de 8 de outubro de 2015](#).



A autenticidade deste documento pode ser conferida no site https://www.sei.ufu.br/sei/controlador_externo.php?acao=documento_conferir&id_orgao_acesso_externo=0, informando o código verificador **2169646** e o código CRC **6D84B201**.

“Nunca se esqueça de quem você é, porque é certo que o mundo não se lembrará. Faça disso sua força.

Assim, não poderá ser nunca a sua fraqueza. Arme-se com esta lembrança, e ela nunca poderá ser usada para magoá-lo.”

George R. R. Martin

AGRADECIMENTOS

Agradeço a Deus por me proporcionar saúde, permitindo o desenvolvimento desta dissertação em tempos tão difíceis.

A minha querida esposa pela paciência, companheirismo, apoio e incentivo.

A minha mãe que sempre me apoiou, que sem medir esforços, enfrentou todas as dificuldades para me ajudar em toda minha jornada. Agradeço também a todos os meus familiares e amigos.

Agradeço ao Professor Dr. Guilherme Márcio Soares, por aceitar o convite para a banca examinadora, analisar e contribuir com este trabalho.

Agradeço ao meu orientador, Professor Dr. Aniel Silva de Morais, pela oportunidade, orientações e ensinamentos científicos.

Agradeço ao meu coorientador, Professor Dr. Fernando Lessa Tofoli, pelas importantes contribuições, sejam pelas revisões, orientações e ideias que permitiram o desenvolvimento desta dissertação.

Agradeço aos Professores Dr. Leandro de Souza Vilefort, Dr. Daniel Pereira de Carvalho e Me. Juliano de Faria Andrade pelas ideias, auxílio na implementação e discussões valiosas acerca do projeto.

Aos colegas do Laboratório LAMEP (Laboratório de Aterramentos, Máquinas e Processamento de Energia) pelos incentivos, ideias criativas e valiosas discussões no desenvolvimento deste trabalho.

À Universidade Federal de Uberlândia, ao Programa de Pós-graduação da Engenharia Elétrica, pela oportunidade. Também à Secretaria do Programa, pela atenção e prontidão nas orientações e procedimentos.

Agradeço aos colegas e ex-colegas de trabalho, do Laboratório de Telecomunicações UFU - Campus Patos de Minas - pelo apoio e planejamento, para que o desenvolvimento deste trabalho fosse possível.

Por fim, agradeço a todos aqueles que, de alguma forma, contribuíram no processo de desenvolvimento desta importante etapa em minha vida profissional.

OBRIGADO!

RESUMO

Este trabalho apresenta um conversor CA-CC SEPIC quadrático, que realiza correção do fator de potência (CFP) na entrada, utilizado como *driver* em aplicações de iluminação com diodos emissores de luz (LED). Essa estrutura permite a obtenção de uma ampla taxa de conversão e pode operar nos modos elevador e abaixador. Considerando que a vida útil dos LEDs é superior a dos capacitores eletrolíticos, o conversor visa à utilização de apenas capacitores de filme. A integração de dois estágios SEPIC, usando a técnica de enxerto (*graft scheme*), permite que o primeiro estágio trabalhe como CFP e o segundo estágio realize o controle da potência (CP), utilizando um único interruptor ativo. Apresenta-se um estudo matemático detalhado, por meio de uma análise qualitativa e quantitativa, no intuito de obter o roteiro de projeto de todos os elementos da topologia. Resultados de simulação e experimentais são apresentados, demonstrando as vantagens e desvantagens e validando as considerações teóricas.

Palavras-Chave: *conversores CA-CC, conversores CC-CC, correção do fator de potência, conversor SEPIC, diodos emissores de luz.*

ABSTRACT

This work presents an ac-dc quadratic SEPIC converter that performs input power factor correction (PFC) used as a driver in lighting applications involving light emitting diodes (LEDs). This structure provides wide conversion rate and is capable of operating in voltage step-up and step-down modes. Considering that the useful life of LEDs is much longer than that of electrolytic capacitors, the converter employs only film capacitors. The integration of two SEPIC converters using the graft scheme allows the first stage to provide PFC and the second stage to perform power control (PC) with a single active switch. A detailed mathematical study is presented through a qualitative and quantitative analysis in order to obtain the design procedure comprising all elements of the topology. Simulation and experimental results are presented, thus demonstrating the advantages and disadvantages of the structure and validating the theoretical assumptions.

Keywords: *ac-dc converters, dc-dc converters, power factor correction, SEPIC converter, light emitting diodes.*

SUMÁRIO

| | |
|--|-----|
| LISTA DE FIGURAS..... | 10 |
| LISTA DE TABELAS..... | 14 |
| LISTA DE ABREVIATURAS | XV |
| LISTA DE SÍMBOLOS..... | XVI |
| Capítulo 1. INTRODUÇÃO GERAL | 20 |
| 1.1 Motivação e Objetivo da Pesquisa | 20 |
| 1.2 Objetivos do Trabalho | 23 |
| 1.3 Estrutura do Trabalho..... | 23 |
| 1.4 Publicações Resultantes..... | 24 |
| Capítulo 2. REVISÃO BIBLIOGRÁFICA..... | 25 |
| 2.1 Considerações Iniciais | 25 |
| 2.2 Diodos Emissores de Luz..... | 25 |
| 2.3 Características Desejáveis de Drivers Para Acionamento de LEDs de Potência a Partir da Rede Elétrica | 26 |
| 2.3.1 Definição de Fator de Potência (FP) e Distorção Harmônica Total da Corrente de Entrada (DHTi)..... | 27 |
| 2.3.2 Técnicas de Correção do fator de Potência | 28 |
| 2.3.3 Controle e Modulação da Intensidade Luminosa | 29 |
| 2.4 Topologias Utilizadas em <i>Drivers</i> de LEDs..... | 30 |
| 2.4.1 Conversor de Estágio Único | 30 |
| 2.4.2 Conversor de Múltiplos Estágios | 31 |
| 2.4.3 Escolha da Topologia Adequada | 36 |
| 2.5 Considerações Finais..... | 37 |
| Capítulo 3. Conversor CA-CC SEPIC Quadrático Não Isolado | 39 |
| 3.1 Considerações Iniciais | 39 |
| 3.2 Descrição da Topologia Proposta..... | 39 |
| 3.2.1 Análise Qualitativa | 41 |

| | | |
|-------------|--|-----|
| 3.2.2 | Análise Quantitativa | 50 |
| 3.2.3 | Correntes nos Indutores | 57 |
| 3.2.4 | Ondulação de Tensão nos Capacitores | 62 |
| 3.3 | Análise dos Esforços nos Semicondutores | 67 |
| 3.4 | Considerações Finais..... | 74 |
| Capítulo 4. | Metodologia de Projeto..... | 76 |
| 4.1 | Considerações Iniciais | 76 |
| 4.2 | Roteiro de Projeto | 76 |
| 4.2.1 | Verificação do Conversor Proposto Através de Simulação | 82 |
| 4.2.2 | Particularidades Apresentadas na Escolha do Capacitor C_{SI} | 85 |
| 4.3 | Modelagem do Conversor Proposto | 87 |
| 4.3.1 | Definição e Projeto do Compensador | 100 |
| 4.4 | Considerações Finais..... | 104 |
| Capítulo 5. | Resultados de Simulação e Experimentais..... | 105 |
| 5.1 | Considerações Iniciais | 105 |
| 5.2 | Montagem do Protótipo | 105 |
| 5.3 | Perdas do Conversor Proposto..... | 107 |
| 5.4 | Implementação Experimental..... | 113 |
| 5.5 | Resultados Experimentais | 115 |
| 5.5.1 | Controle de intensidade luminosa | 122 |
| 5.6 | Considerações Finais..... | 123 |
| Capítulo 6. | CONCLUSÃO GERAL E PROPOSTAS DE TRABALHOS FUTUROS | 125 |
| | REFERÊNCIAS BIBLIOGRÁFICAS | 128 |

LISTA DE FIGURAS

| | |
|--|----|
| Figura 1.1 - Eficácia típica da iluminação residencial no cenário de desenvolvimento sustentável, 2010-2030. | 21 |
| Figura 2.1 - Diferentes tipos de LEDs: (a) HB-LEDs, (b) HP-LEDs, (c) COB LEDs. | 25 |
| Figura 2.2 - Modelo linear do LED. | 26 |
| Figura 2.3 - Curva do modelo linear comparado aos valores experimentais. | 26 |
| Figura 2.4 – Etapas de um driver de estágio único. | 30 |
| Figura 2.5 – Etapas de um <i>driver</i> de dois estágios independentes. | 31 |
| Figura 2.6 – Etapas de um <i>driver</i> de dois estágios integrados. | 33 |
| Figura 2.7- Etapas de um <i>driver</i> de dois estágios e processamento de energia reduzido. | 34 |
| Figura 3.1 - Associação dos dois conversores SEPIC. | 40 |
| Figura 3.2 - Conexão dos conversores. | 40 |
| Figura 3.3 - Topologia proposta do conversor SEPIC quadrático. | 40 |
| Figura 3.4 – Circuito equivalente SEPIC quadrático com convenção de polaridades das tensões e sentidos das correntes. | 41 |
| Figura 3.6 - Primeira etapa de operação. | 42 |
| Figura 3.7 - Segunda etapa de operação. | 44 |
| Figura 3.8 - Terceira etapa de operação. | 46 |
| Figura 3.9 - Formas de onda características do primeiro estágio (retificador SEPIC operando em MCD). | 48 |
| Figura 3.10 - Formas de onda característica do segundo estágio SEPIC operando em MCC. | 49 |
| Figura 3.11 - Formas de ondas características dos semicondutores utilizados no conversor proposto. | 50 |
| Figura 3.12 - Ondulação da tensão e corrente em um período de comutação (T_s) no capacitor C_{S1} | 63 |
| Figura 3.13 - Formas de onda teóricas de tensão e corrente no capacitor C_{S2} | 66 |
| Figura 3.14 - Formas de onda de corrente e tensão no capacitor de saída C_o | 67 |
| Figura 4.1 - Razão cíclica crítica do retificador SEPIC em relação a V_{CBus} | 79 |
| Figura 4.2 - Razão cíclica em função da tensão de entrada. | 80 |
| Figura 4.3 - Circuito simulado no software PSIM com tensão de entrada mínima. | 83 |
| Figura 4.4 - Principais formas de ondas do circuito simulado com tensão mínima de entrada. | 83 |
| Figura 4.5 - Conteúdo harmônico da corrente de entrada em comparação a IEC 61000-3-2. | 84 |
| Figura 4.6 - Formas de onda da corrente de entrada, tensão no capacitor C_{S1} , tensão de barramento, corrente no arranjo de LEDs com a utilização de diferentes valores em C_{S1} | 86 |
| Figura 4.7 - Conteúdo harmônico da corrente de entrada com diferentes valores de C_{S1} em comparação a IEC 61000-3-2. | 86 |

| | |
|---|-----|
| Figura 4.8 - Diagrama de blocos da estratégia de controle da corrente saída. | 88 |
| Figura 4.9 - Conversor SEPIC com controle da corrente de saída. | 89 |
| Figura 4.10 – Circuito utilizado para validar a função de transferência. a) Circuito do conversor proposto. b) Circuito do conversor SEPIC operando em MCC c) Circuito de comando e função de transferência da corrente de saída pela razão cíclica..... | 93 |
| Figura 4.11 - Comparação dos gráficos de bode de corrente de saída por razão cíclica com detalhe de 10 a 200 Hz, à direita. I_{LED} : circuito proposto com capacitor ideal; I_{LED_CC} : conversor CC-CC SEPIC; G_{ILED_CC} : bloco “ <i>s-domain Transfer Function</i> ” com função de transferência modelada. | 94 |
| Figura 4.12 - Formas de onda da resposta ao degrau de 2% no instante $t_1=0,5$ s e -3%, no instante $t_2=0,75$ s. | 94 |
| Figura 4.13 - Diagrama de bode do Conversor CC-CC SEPIC operando em MCC, em que: $G_{ILED(s)}*M_{PWM}$: função de transferência modelada; Dados importados: dados importados do <i>AC Sweep</i> ; $G_{ILED(s)}$ estimada: função de transferência estimada..... | 95 |
| Figura 4.14 - a) Diagrama de bode do conversor proposto com capacitor de barramento ideal. 96 | |
| Figura 4.15 - Formas de onda da resposta ao degrau de 2% no instante $t_1=0,5$ s e -3% no instante $t_2=0,75$ s. | 97 |
| Figura 4.16 - a) Circuito do conversor proposto. b) bloco <i>Param Sweep</i> : Responsável por variar o valor do capacitor C_{Bus} de 20 a 200 μF . c) Circuito de controle..... | 97 |
| Figura 4.17 - Formas de ondas simuladas para diferentes valores de C_{Bus} . a) Corrente de saída. b) Razão cíclica controlada. c) Corrente de entrada. d) Tensão de barramento. | 98 |
| Figura 4.18 - Distorção Harmônica da corrente de entrada para diferentes valores de C_{Bus} | 98 |
| Figura 4.19 - Gráficos de bode de corrente de saída por razão cíclica, gerado pelo circuito de potência do conversor proposto com capacitor de barramento de 80 μF : $I_{LED_CB80\mu F}$: Conversor proposto com tensão de entrada CA; $I_{LED_CB80\mu F_ECC}$: Conversor proposto com tensão de entrada CC. | 99 |
| Figura 4.20 - a) Diagrama de bode do conversor proposto com capacitor de barramento de 80 μF . b) Lugar das raízes, comparando a função estimada e sua simplificação com $G_{ILED_CC}(s)$ | 100 |
| Figura 4.21 - Formas de onda da resposta ao degrau de 2% no instante $t_1=0,5$ s e -3% no instante $t_2=0,75$ s. | 100 |
| Figura 4.22 - Estrutura do compensador PID utilizado. | 101 |
| Figura 4.23 - Disposição dos polos e zeros do controlador PID através da ferramenta “ <i>sisotool</i> ” do software MATLAB®. | 102 |
| Figura 4.24 – Circuito proposto. a) Circuito do conversor proposto. b) Circuito de controle.. | 103 |
| Figura 4.25 - Formas de ondas simuladas do driver proposto com capacitor de barramento reduzido e compensador PID analógico. a) I_{LED} : Corrente de saída sobre o arranjo de LEDs; $I_{LED(1250Hz)}$: Corrente de saída sobre o arranjo de LEDs com um filtro passa baixa sintonizado na | |

| | |
|--|-----|
| frequência de 1250Hz. b) V_{LED} : Tensão de saída sobre o arranjo de LEDs c) V_{Bus} : Tensão de barramento. d) $I_{in(2340Hz)}$: Corrente de entrada; V_{in} : Tensão de entrada. | 103 |
| Figura 4.26 - Distorção Harmônica da corrente de entrada do driver proposto com capacitor de barramento reduzido e compensador PID analógico. | 103 |
| Figura 5.1 - Circuito do conversor proposto contemplando as não idealidades dos semicondutores e resistência elétrica dos indutores. | 109 |
| Figura 5.2 - Principais formas de ondas simuladas do conversor proposto com não idealidades. | 110 |
| Figura 5.3 - Distorção Harmônica da corrente de entrada simulada para o conversor proposto com não idealidades..... | 110 |
| Figura 5.4 - Perdas nos componentes do circuito não ideal simulado | 111 |
| Figura 5.5 - Distribuição de perdas estimadas no conversor proposto com tensão de entrada mínima | 112 |
| Figura 5.6 - Distribuição de perdas estimadas e simuladas no conversor proposto com tensão de entrada máxima..... | 112 |
| Figura 5.7 – Esquemático simplificado da placa do circuito de controle implementado. | 113 |
| Figura 5.8 – Esquemático simplificado da placa de potência do conversor SEPIC quadrático. | 114 |
| Figura 5.9 - Foto do protótipo do conversor SEPIC quadrático..... | 114 |
| Figura 5.10 - Tensão e corrente sobre o interruptor S , correntes no diodo D_{S1} e D_{S2} , para o caso de $V_{in} = 114,3$ V. | 115 |
| Figura 5.11 - Tensão e corrente sobre o interruptor S , correntes no diodo D_{n1} e D_{n2} , para o caso de $V_{in} = 114,3$ V. | 116 |
| Figura 5.12 - Formas de onda de tensão sobre o capacitor C_{S1} comparada à tensão de entrada. | 116 |
| Figura 5.13 - Correntes nos indutores L_1 e L_2 | 116 |
| Figura 5.14 - Correntes nos indutores L_3 e L_4 | 117 |
| Figura 5.15 - Formas de onda de entrada e saída do <i>driver</i> proposto operando com tensão de entrada mínima (114,3 V_{rms} / 60 Hz) e tensão de entrada máxima (139,7 V_{rms} / 60 Hz). | 118 |
| Figura 5.16 – Comparação entre potência de entrada e saída com tensão de entrada mínima ($V_{in} = 114,3 V_{rms}$) e corrente de saída nominal..... | 118 |
| Figura 5.17 - Comparação entre potência de entrada e saída com tensão de entrada nominal ($V_{in} = 127 V_{rms}$)..... | 119 |
| Figura 5.18 - Comparação entre potência de entrada e saída com tensão de entrada máxima ($V_{in} = 139,7 V_{rms}$)..... | 119 |

| | |
|--|-----|
| Figura 5.19 – Comparação gráfica do conteúdo harmônico da corrente de entrada, com as diferentes tensões de entrada e corrente de saída nominal ao limite estabelecido pela norma IEC 61000-3-2 Classe C. | 120 |
| Figura 5.20 - a) Formas de onda da tensão e corrente de entrada, tensão do barramento e corrente de saída do <i>driver</i> proposto operando com tensão de entrada mínima (114,3 V _{rms} / 60 Hz).... | 120 |
| Figura 5.21 - Comparação do rendimento experimental e simulado com as diferentes tensões de entrada. | 121 |
| Figura 5.22 - Comparação da modulação de intensidade luminosa experimental e simulada com as diferentes tensões de entrada..... | 122 |
| Figura 5.23 - Amplitude Harmônica e fator de potência do driver proposto com a função de controle da intensidade luminosa. | 123 |
| Figura 5.24 – Rendimento e modulação da intensidade luminosa do driver proposto com a função de controle da intensidade luminosa. | 123 |

LISTA DE TABELAS

| | |
|---|-----|
| Tabela 2.1 - Limites de emissão harmônica de corrente de entrada para equipamentos classe C de acordo com IEC 61000-3-2. | 27 |
| Tabela 2.2 - Capacidade de redução do filtro capacitivo, através da máxima energia armazenada por watt (JPW). | 35 |
| Tabela 2.3 - Comparação de configurações de LED <i>drivers</i> | 36 |
| Tabela 4.1 - Especificações de projeto retificador CA-CC SEPIC quadrático | 76 |
| Tabela 4.2 - Componentes do estágio de potência definidos de acordo com o roteiro de Projeto. | 82 |
| Tabela 4.3 - Análise comparativa entre resultados teóricos e resultados da simulação numérica com tensão de entrada e corrente de saída nominal. | 84 |
| Tabela 4.4 - Razão cíclica para diversos valores da tensão de entrada utilizando o mínimo valor de C_{SI} com corrente de saída nominal. | 87 |
| Tabela 5.1 - Dados da simulação numérica para as diferentes possibilidades de tensão de entrada. | 106 |
| Tabela 5.2 - Componentes utilizados no protótipo. | 107 |
| Tabela 5.3 - Tabela de perdas estimadas nos componentes do conversor proposto. | 111 |
| Tabela 5.4 - Resultados simulados do circuito não ideal, para os possíveis valores de entrada com corrente de saída nominal. | 113 |
| Tabela 5.5 - Especificações dos equipamentos utilizados em laboratório. | 115 |
| Tabela 5.6 - Resultados experimentais para os possíveis valores de entrada com corrente de saída nominal. | 121 |
| Tabela 5.7 - Resultados experimentais obtidos para a função de dimerização com tensão de entrada nominal (127 V). | 122 |

LISTA DE ABREVIATURAS

ABNT – Associação Brasileira de Normas Técnicas
AM – Modulação de amplitude (do inglês, *Amplitude Modulation*)
CA – Corrente Alternada
CC – Corrente Contínua
CFP – Controle do fator de potência
COB – do inglês, *Chip on Board*
CP – Controle de potência
DHTi – distorção harmônica total da corrente de entrada
EMI – Interferência eletromagnética (do inglês, *Electromagnetic Interference*)
FP – Fator de potência
HB-LEDs – Diodo emissor de luz de alto brilho (do inglês, *High-Brightness Light-Emitting Diode*)
HP-LEDs – Diodo emissor de luz de potência (do inglês, *High-Power Light-Emitting Diode*)
IEC – Comissão Eletrotécnica Internacional (do inglês, *International electrotechnical commission*)
IEEE – *Institute of Electrical and Electronic Engineers*
INMETRO – Instituto Nacional de Metrologia, Normalização e Qualidade Industrial
IRC – Índice de reprodução de cores
LEDs – Diodos emissores de luz (do inglês, *light emitting diodes*)
LGR – Lugar das raízes
MCC – Modo de Condução Contínua
MCCr – Modo de Condução Crítico
MCD – Modo de Condução Descontínua
MOSFET – Transistor de Efeito de Campo Metal-Óxido Semicondutor (do inglês, *Metal Oxide Semiconductor Field Effect Transistor*)
NBR – Norma Técnica
PER – Processamento de Energia Reduzido
PFM – Modulação por frequência de pulso (do inglês, *Pulse Frequency Modulation*)
PI – Proporcional Integral
PID – Proporcional Integral Derivativo
PWM – Modulação por largura de pulso (do inglês, *Pulse Width Modulation*)
SEPIC – (do inglês, *Single-Ended Primary-Inductance Converter*)

LISTA DE SÍMBOLOS

| Símbolo | Significado | Unid. |
|-----------------------|--|-------|
| $\% \Delta I_L$ | Percentual de ondulação de corrente no Indutor L | % |
| $\% \Delta I_{LED}$ | Percentual de ondulação de corrente nos LEDs | % |
| $\% \Delta V_{in}$ | Tolerância percentual de variação na tensão de entrada | % |
| (θ) | Ângulo de variação senoidal ao longo um período T_{lr} | ° |
| ΔI_{LED} | Ondulação de corrente em um período T_{lr} | A |
| $\Delta I_{LED(T_s)}$ | Ondulação de corrente em um período T_s | A |
| ΔI_{L_n} | Ondulação de corrente no indutor n | A |
| Δt_1 | Intervalo de tempo da primeira etapa | A |
| Δt_{2_MCC} | Intervalo de tempo da segunda etapa do segundo estágio | s |
| Δt_{2_MCD} | Intervalo de tempo da segunda etapa do primeiro estágio | s |
| Δt_3 | Intervalo de tempo da terceira etapa de operação | s |
| B_{max} | Máxima densidade de fluxo | T |
| $C(s)$ | Compensador | - |
| C_{Bus} | Capacitor de Barramento | F |
| C_o | Capacitor de saída | F |
| C_{S1} | Capacitor de acoplamento SEPIC 1 | F |
| C_{S2} | Capacitor de acoplamento SEPIC 2 | F |
| D | Razão cíclica | - |
| D_2 | Razão cíclica relativa a segunda etapa | - |
| D_3 | Razão cíclica relativa a terceira etapa | - |
| D_{crit} | Razão cíclica crítica | - |
| D_{n1} | Diodo de integração número 1 | - |
| D_{n2} | Diodo de integração número 2 | - |
| D_{S1} | Diodo do primeiro estágio SEPIC | - |
| D_{S2} | Diodo do segundo estágio SEPIC | - |
| f_i | Frequência da tensão de entrada | Hz |
| f_{lr} | Frequência da tensão de entrada retificada | Hz |
| f_{res} | Frequência de ressonância entre C_{S1} , L_1 e L_2 | Hz |
| f_{res2} | Frequência de ressonância entre C_{S1} e L_2 | Hz |
| f_s | Frequência de comutação | Hz |
| G | Ganho estático do conversor SEPIC quadrático | - |
| $G(s)$ | Modelo da planta do conversor proposto | - |
| G_{MCC} | Ganho estático do conversor CC-CC SEPIC operando em MCC | - |

| | | |
|------------------------------------|---|----------|
| G_{ret_MCD} | Ganho estático do retificador SEPIC operando em MCD | - |
| $H(s)$ | Ganho do sensor de corrente | - |
| $\langle I_{DSI} \rangle_{T_{lr}}$ | Corrente média do diodo de saída do primeiro estágio em um período T_{lr} | A |
| $\langle I_{DSI} \rangle_{T_s}$ | Corrente média do diodo de saída do primeiro estágio em um período T_s | A |
| $i_{in}(\theta)$ | Corrente de entrada ao longo de um período T_{lr} | A |
| I_{inpk} | Corrente de pico na entrada | A |
| I_{LED} | Corrente direta do arranjo de LEDs | A |
| $i_{Ln}(t)$ | Corrente instantânea do indutor L_n | A |
| I_{Ln_0} | Corrente de circulação do indutor n | A |
| $i_{Ln_m}(t)$ | Corrente instantânea do indutor n durante a etapa de operação m | A |
| $I_{Ln(max)}$ | Corrente máxima que circula pelo indutor n | A |
| $I_{n(ef)m}$ | Corrente eficaz do componente n durante um período m | A |
| $I_{n(max)}$ | Corrente máxima do componente n | A |
| $\langle I_n \rangle_m$ | Corrente média do componente n durante um período m | A |
| I_o | Corrente de saída | A |
| JPW | Máxima energia armazenada por watt | J/W |
| k | Ganho do compensador | - |
| K_f | Coefficiente de perdas por correntes parasitas | - |
| K_h | Coefficiente de perdas por histerese | - |
| L_1 | Indutor de entrada do primeiro estágio | - |
| L_2 | Indutor de saída do primeiro estágio | - |
| L_3 | Indutor de entrada do segundo estágio | - |
| L_4 | Indutor de saída do segundo estágio | - |
| L_{eq} | Indutância equivalente do primeiro estágio | - |
| $Mod(\%)$ | Modulação da intensidade luminosa | - |
| M_{PWM} | Ganho do modulador PWM | 1/V |
| P_{Bus} | Potência média de barramento | W |
| P_{in} | Potência média de entrada | W |
| P_{LED} | Potência da carga LED | W |
| $P_{Ln_núcleo}$ | Perdas magnéticas no indutor n | W |
| P_{n_comut} | Perdas por comutação no componente n | W |
| P_{n_cond} | Perdas por condução no componente n | W |
| P_o | Potência média de saída | W |
| r_d | Resistência dinâmica do LED | Ω |

| | | |
|--------------------|--|---------------|
| $R_{DS(on)}$ | Resistência elétrica do interruptor em condução | Ω |
| R_{LED} | Resistência dinâmica do arranjo de LEDs | Ω |
| R_o | Resistência equivalente a carga | Ω |
| R_{S2} | Resistência equivalente a entrada do segundo estágio | Ω |
| S | Interruptor compartilhado S | - |
| t_0 | Instante de tempo em que inicia o período de comutação | s |
| t_1 | Instante de tempo em que termina a primeira etapa | s |
| t_2 | Instante de tempo em que termina a segunda etapa | s |
| t_3 | Instante de tempo em que termina o período de comutação | s |
| t_{CS0} | Instante de tempo em que a corrente do capacitor C_{S1} , passa por zero durante a primeira etapa de operação. | s |
| t_f | Tempo de descida do Interruptor | s |
| T_{lr} | Período da tensão de entrada retificada | s |
| t_n | Instante de tempo n | s |
| t_r | Tempo de subida do Interruptor | s |
| t_{rr} | Tempo de recuperação reversa do Diodo | s |
| T_s | Período de comutação | s |
| V_{Bus} | Tensão do Barramento | V |
| V_{Co} | Tensão sobre o capacitor de saída C_o | V |
| V_{CS1} | Tensão do capacitor C_{S1} | V |
| V_{CS2} | Tensão do capacitor C_{S2} | V |
| V_{Dn1} | Tensão sobre o diodo D_{n1} | V |
| V_{Dn2} | Tensão sobre o diodo D_{n2} | V |
| V_{DS1} | Tensão sobre o diodo D_{S1} | V |
| V_{DS2} | Tensão sobre o diodo D_{S2} | V |
| V_F | Queda de tensão direta no Diodo | V |
| V_{in} | Tensão de entrada | V |
| $v_{in}(\omega t)$ | Tensão de entrada ao longo de um período T_{lr} | V |
| V_{in_ret} | Tensão de entrada retificada | V |
| V_{impk} | Tensão de pico na entrada | V |
| V_{LED} | Tensão de limiar do arranjo de LEDs | V |
| $V_{n(max)}$ | Tensão máxima sobre o componente n | V |
| $V_{núcleo}$ | Volume do núcleo | cm^3 |
| V_o | Tensão de saída | V |
| V_{p_tri} | Tensão de pico do sinal triangular | V |
| V_{ref} | Tensão de referência do circuito de controle | V |

| | | |
|------------------------------|--|----------|
| V_S | Tensão sobre o interruptor S | V |
| V_T | Tensão de limiar do LED | V |
| $X_{C_{Bus}}$ | Impedância do capacitor C_{Bus} | Ω |
| $\Delta V_{C_{Bus}(T_{lr})}$ | Ondulação de tensão sobre C_{Bus} em um período T_{lr} | V |
| $\Delta V_{C_{S1}(T_s)}$ | Ondulação de tensão sobre C_{S1} em um período T_s | V |
| $\Delta V_{C_{S2}(T_s)}$ | Ondulação de tensão sobre C_{S2} em um período T_s | V |
| η | Rendimento | % |
| ω_{p2} | Frequência do segundo polo do controlador | |
| ω_{z1} | Frequência do primeiro zero do controlador | |
| ω_{z2} | Frequência do segundo zero do controlador | |

CAPÍTULO 1. INTRODUÇÃO GERAL

1.1 Motivação e Objetivo da Pesquisa

A crescente demanda por energia elétrica, faz com que sejam necessários métodos e técnicas mais eficientes e econômicas para o seu processamento. Destaca-se que uma quantidade considerável da energia elétrica gerada em todo o mundo é convertida em iluminação artificial. Neste contexto, os diodos emissores de luz (LEDs, do inglês, *light emitting diodes*) utilizados em iluminação merecem atenção especial.

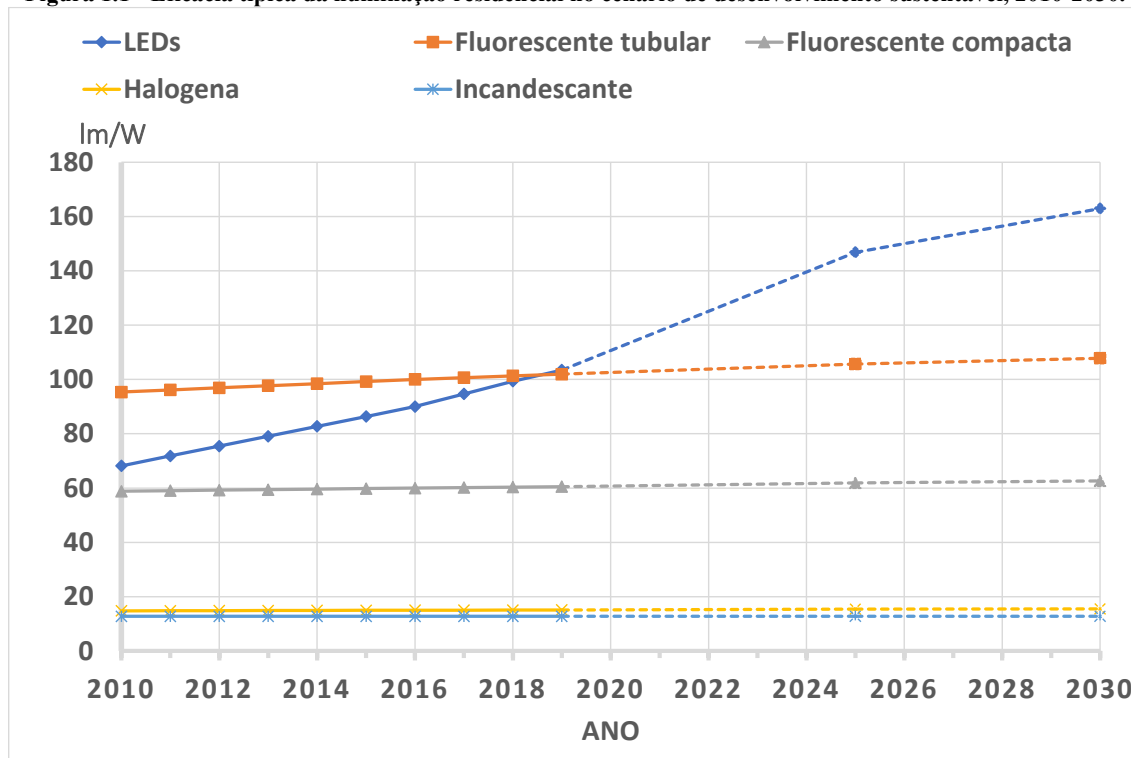
Os principais fatores que tornam a utilização de LEDs de potência em iluminação interna e externa atrativa são: alta eficácia luminosa, robustez, longa vida útil, alto índice de reprodução de cores (IRC), emissão de luz branca e alta confiabilidade (Almeida *et al.*, 2014). De acordo com (Pattison, 2017), LEDs podem produzir mais de 160 lm/W e ter vida útil superior a 50.000 horas, com emissão de luz superior a 70% da emissão inicial. A principal desvantagem do uso desta tecnologia não é mais o alto custo de implantação e sim diferenciar produtos de qualidade e de má qualidade, que podem comprometer a utilização desta tecnologia.

Exemplos de vantagens existentes no uso de LEDs em iluminação podem ser facilmente encontrados. Uma parceria público-privada realizada na cidade Belo Horizonte, no estado de Minas Gerais, substituiu 182.000 pontos de iluminação pública por luminárias de LEDs, reduzindo o consumo de energia elétrica em 50%, além de proporcionar mais segurança aos cidadãos nas ruas (Yiningchen, 2019). Em outras palavras, as lâmpadas da tecnologia LED apresentam melhor iluminação e consumo reduzido.

A Figura 1.1, adaptada de (Iea, 2019) mostra a evolução da eficiência típica de diferentes tipos de lâmpadas, utilizadas em iluminação residencial, ao longo dos anos. Assim, vislumbra-se uma projeção de aumento significativo na eficácia luminosa das lâmpadas LEDs nos próximos anos, em comparação a outras tecnologias de iluminação convencionais.

Os LEDs são cargas alimentadas em CC (corrente contínua), o que geralmente demanda um dispositivo eletrônico de acionamento que os conecte à rede elétrica CA (corrente alternada). Assim, esse dispositivo opera como uma fonte de corrente CC e pode ser chamado de controlador ou *driver* (Almeida *et al.*, 2015). O *driver* geralmente é formado por um retificador em série com um conversor estático de potência. Deve-se ressaltar que o dimensionamento correto do *driver* ou do sistema de dissipação térmica dos LEDs é de suma importância, pois, caso contrário, poderia acarretar baixa eficiência ou redução da vida útil do sistema de iluminação como um todo.

Figura 1.1 - Eficácia típica da iluminação residencial no cenário de desenvolvimento sustentável, 2010-2030.



Fonte: Adaptado de (Iea, 2019)

Os *drivers* conectados à rede elétrica CA tem a função de fornecer uma corrente CC com um nível de ondulação controlado. A amplitude dessa ondulação é geralmente limitada por um elemento de armazenamento, seja ele um grande indutor ou capacitor, sendo o capacitor o mais comum. Esse elemento é responsável por filtrar a ondulação de tensão, tornando-a compatível com a necessidade de sua carga. A frequência da ondulação associada ao filtro capacitivo é o dobro da frequência da tensão de entrada (f_i). Como o padrão utilizado no Brasil é 60 Hz, a frequência da tensão de entrada retificada (f_r) será de 120 Hz. Logo, como essa frequência é baixa, a capacitância de filtragem necessária será tipicamente alta (Almeida *et al.*, 2015).

Como relatado em vários trabalhos da literatura (Gu *et al.*, 2009; Alonso *et al.*, 2012; Almeida *et al.*, 2015), o *driver* é o elo mais fraco no desenvolvimento da aplicação. Isso ocorre porque, muitas vezes, o *driver* contém componentes internos que têm uma vida útil incompatível com a dos LEDs, o que pode levar a falhas e consequente redução da vida útil de toda a luminária.

Os principais componentes problemáticos conhecidos são os capacitores eletrolíticos tradicionais (Arora *et al.*, 2007), sendo geralmente necessários em equipamentos eletrônicos que necessitam de filtro para mitigação da componente CA, associada à ondulação de baixa frequência. De acordo com (Gu *et al.*, 2009), capacitores eletrolíticos tradicionais são altamente sensíveis à grandes variações de temperatura, corrente e tensão de operação. Esses aspectos são comuns a circuitos de acionamento de LEDs, os quais reduzem a vida útil do capacitor eletrolítico tradicional, causando incompatibilidade de vida útil entre o *driver* e o LED.

De acordo com a folha de dados (Tdk, 2019b) os capacitores eletrolíticos tradicionais apresentam vida útil em horas para uma determinada temperatura. Os capacitores do modelo (B43630), apresentam vida útil de aproximadamente 2.000 horas a 85 °C (Tdk, 2019a)

Para mitigar este problema, foram estudadas algumas alternativas e as principais soluções são a substituição do capacitor eletrolítico tradicional, pelo capacitor eletrolítico de longa vida útil (Bekoski, 2020), ou ainda a substituição pelo capacitor de polipropileno metalizado ou filme de poliéster (Gu *et al.*, 2009).

De acordo com (Bekoski, 2020), os fabricantes vem desenvolvendo capacitores eletrolíticos de longa vida útil para serem utilizados em drivers de iluminação a LED. Estes capacitores apresentam vida útil de 20.000 horas a 105 °C, a cada 10 °C reduzidos em sua temperatura de operação sua vida útil é dobrada. Então, operando em condições adequadas de temperatura (temperatura inferior a 90 °C), sua vida útil teórica pode ser igual ou superior as 50.000 horas dos LEDs.

Os capacitores de polipropileno metalizado ou filme de poliéster podem atingir 100.000 horas, ou mais, de vida útil. No entanto, tais componentes têm menor densidade energética (valor de capacitância menor para o mesmo volume), além de valor aquisitivo superior (Buiatti *et al.*, 2009; Epcos, 2011). Esses fatos implicam a necessidade de reduzir o valor da capacitância utilizada no projeto do *driver* (Almeida *et al.*, 2012; Alonso *et al.*, 2012; Cosetin *et al.*, 2013; Cosetin *et al.*, 2014; Almeida *et al.*, 2015).

Como o trabalho busca a implementação de um protótipo e não serão avaliados aspectos térmicos dos componentes, emprega-se capacitores de polipropileno metalizado ou filme de poliéster, assim garantindo a longa vida útil do driver. E segundo (Bekoski, 2020), caso a temperatura não seja um problema, a redução do valor da capacitância de filtragem empregado, faz com que o driver se torne mais confiável evitando falhas catastróficas e ainda permite a redução de volume ao empregar capacitores eletrolíticos de longa vida útil.

A redução da capacitância de filtragem, causa um incremento na ondulação de corrente dos LEDs, o que pode causar danos por sobrecorrente ou superaquecimento nos LEDs. Assim, pode-se aumentar a degradação da eficácia e fluxo luminoso, reduzindo a vida útil dos LEDs. A concepção de um bom *driver*, utilizado para o acionamento de LEDs de potência, deve se preocupar tanto em manter a qualidade de energia drenada da rede CA, quanto em manter a estabilidade dos parâmetros fotométricos do arranjo de LEDs. Por sua vez, a estabilidade dos parâmetros fotométricos está relacionada, principalmente, à baixa oscilação da corrente nesses elementos.

O projeto de um *driver* deve obedecer a algumas normas direcionadas à padronização e classificação dos diferentes ambientes e suas necessidades. Nesse caso, têm-se as normas NBR 16026 “Dispositivo de controle eletrônico CC ou CA para módulos de LED - Requisitos de desempenho” (Abnt, 2012a) e NBR IEC 61347-2-13 “Dispositivo de controle da lâmpada Parte

2-13: Requisitos particulares para dispositivos de controle eletrônicos alimentados em CC ou CA para os módulos de LED” (Abnt, 2012b). Essas normatizações possuem ensaios específicos para verificação do desempenho do *driver* utilizado na luminária, apresentam requisitos de construção e requisitos de segurança, além de definir as identificações obrigatórias que devem ser destacadas em cada *driver*. As normas citadas destacam ainda a norma IEC 61000-3-2 “*Limits for Harmonics current emissions (equipment input current $\leq 16 A$ per phase)*” (Iec, 2005) como referência dos limites de conteúdo harmônico da corrente de entrada até a 39ª ordem harmônica, identificando assim, a máxima distorção da corrente de entrada permitida para equipamentos de iluminação, considerados na norma como equipamentos de classe C.

A redução da capacitância e o consequente aumento da ondulação de corrente com componente predominante em f_r (120 Hz), podem também ser associados ao fenômeno de cintilação luminosa dos LEDs, conhecido como *flicker* ou modulação da intensidade luminosa ($Mod(\%)$), que apesar de não ser visível a olho nu, pode causar danos à saúde humana, como: dores de cabeça, tonturas, cansaço visual, dentre outros.

1.2 Objetivos do Trabalho

Neste trabalho, é proposto um *driver* que utiliza um conversor CA-CC quadrático, com ampla taxa de conversão, para o acionamento de um arranjo de LEDs, baseado na topologia SEPIC (do inglês, *Single-Ended Primary-Inductance Converter*), visando a não utilização de capacitores eletrolíticos. Esse conversor é dimensionado de forma que apresente operação adequada e atenda aos requisitos de qualidade de energia, em conformidade com as normas estabelecidas para iluminação a LEDs no Brasil.

De forma específica, este trabalho pretende apresentar contribuições no sentido de:

- propor uma nova topologia de conversor utilizado no acionamento de LEDs de potência;
- realizar as análises qualitativa e quantitativa acerca do conversor proposto;
- desenvolver um roteiro de projeto que permita o dimensionamento dos componentes da estrutura;
- analisar o funcionamento do conversor utilizando recursos de simulação computacional;
- implementar um protótipo experimental no intuito de validar as considerações teóricas.

1.3 Estrutura do Trabalho

Este trabalho está organizado em seis capítulos, os quais são descritos a seguir. O Capítulo 1 apresenta uma introdução acerca de iluminação a LED, os objetivos da pesquisa e a estrutura do trabalho. O Capítulo 2 se dedica a uma revisão bibliográfica acerca do tema, de modo a mostrar outras topologias empregadas, bem como os princípios considerados na concepção do conversor proposto. O Capítulo 3 contempla as análises qualitativa e quantitativa, visando à obtenção do roteiro de projeto empregado no Capítulo 4, para a concepção e implementação de um protótipo

experimental. O Capítulo 5 mostra formas de ondas obtidas por simulação computacional e experimentalmente, bem como comparações entre os resultados supracitados e discussões pertinentes. Por fim, o Capítulo 6 apresenta a conclusão geral do trabalho e eventuais propostas de continuidade da investigação do tema.

1.4 Publicações Resultantes

Como publicações científicas resultantes do desenvolvimento deste trabalho, têm-se, até o presente momento, os seguintes trabalhos:

- Corrêa, D. R.; Morais, A. S.; Andrade, J. F.; Tofoli, F. L.; Cortes, L. R. C., “Conversor SEPIC Quadrático com Correção de Fator de Potência para Acionamento de LED sem Uso de Capacitores Eletrolíticos”. XXII Congresso Brasileiro de Automática, 2018, João Pessoa-PB. XXII Congresso Brasileiro de Automática, 2018. p. 1-8.
- Corrêa, D. R.; Morais, A. S.; Tofoli, F. L. “*Nonisolated Quadratic SEPIC Converter Without Electrolytic Capacitors for LED Driver Applications*”. In *2019 IEEE 15th Brazilian Power Electronics Conference and 5th IEEE Southern Power Electronics Conference (COBEP/SPEC)* (pp. 1-7). IEEE.

CAPÍTULO 2. REVISÃO BIBLIOGRÁFICA

2.1 Considerações Iniciais

Este capítulo se dedica a realizar uma introdução sobre aspectos gerais de um sistema de iluminação a LED. Apresenta os tipos de LEDs e seu modelo linear, destacando as características desejáveis, tais como: alto fator de potência, baixa distorção harmônica da corrente de entrada, controle e modulação da intensidade luminosa. Apresenta, também, algumas topologias utilizadas em drivers, citando alguns exemplos, vantagens e desvantagens. Uma revisão bibliográfica acerca desses conceitos visa auxiliar na escolha da topologia a ser utilizada.

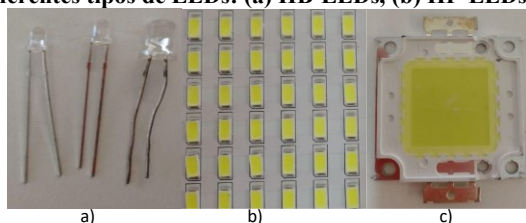
2.2 Diodos Emissores de Luz

Para o desenvolvimento de um *driver* utilizado no acionamento de LEDs de potência, deve-se conhecer o tipo de carga, bem como suas principais características elétricas. O LED, ou diodo emissor de luz, é um dispositivo eletrônico semiconductor que, quando polarizado diretamente, emite luz. Os tipos de LEDs mais conhecidos são:

- HB-LEDs: LEDs de alto brilho, que operam em baixos níveis de potência com tensão de operação entre 3 e 3,2 V e corrente direta típica de 20 mA;
- HP-LEDs: LEDs de potência, que operam em níveis mais elevados de potências com correntes típicas de 0,15 a 1,5 A;
- COB LEDs: COB (do inglês, *Chip on Board*) LEDs, que geralmente possuem correntes nominais superiores a 1,5 A e elevado fluxo luminoso.

Os modelos de LEDs supracitados são apresentados na Figura 2.1. Essas cargas utilizadas em iluminação, geralmente, são compostas por arranjos de LEDs em série ou em paralelo, permitindo uma vasta gama de potências com tensões e correntes que melhor se adaptem a sua aplicação.

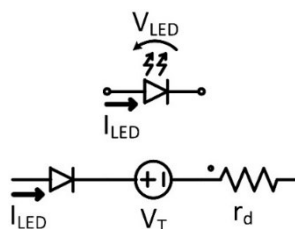
Figura 2.1 - Diferentes tipos de LEDs: (a) HB-LEDs, (b) HP-LEDs, (c) COB LEDs.



Fonte: Elaborada pelo autor.

O modelo elétrico do LED empregado é chamado de modelo linear por partes e pode ser representado, de forma simplificada, por um diodo ideal, uma fonte de tensão CC e uma resistência dinâmica em série, conforme a Figura 2.2. Seu modelo matemático é dado pela equação (2.1).

Figura 2.2 - Modelo linear do LED.



Fonte: Elaborado pelo autor.

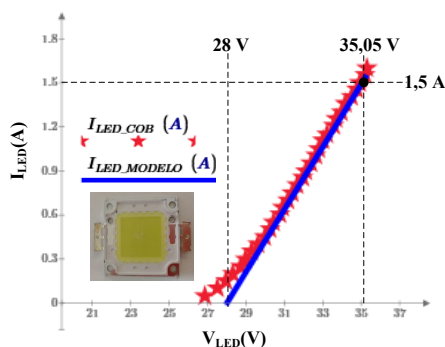
$$V_{LED} = V_T + r_d \cdot I_{LED} \quad (2.1)$$

em que I_{LED} representa a corrente direta do arranjo de LEDs, V_T é a tensão de limiar do LED e r_d é a resistência dinâmica do LED.

O arranjo de LEDs utilizado como carga no projeto é composto pela associação em série de dois COB LEDs semelhantes ao dispositivo da Figura 2.1-c), que tem potência nominal de 52,57 W e corrente direta de 1,5 A. Os dados do modelo linear podem ser obtidos na folha de dados do fabricante ou por meio de resultados experimentais. É importante ressaltar que há pequenas variações em função da temperatura e até mesmo entre componentes do mesmo fabricante. Porém, a aproximação linear é uma boa diretiva para o projeto.

A Figura 2.3 apresenta, em vermelho, os pontos da curva I-V do COB LED obtidos experimentalmente e, em azul, o modelo linear obtido com a substituição de $r_d=4,7 \Omega$ e $V_T=28 V$ na equação (2.1). A reta representada em azul, corresponde a uma boa aproximação linear do comportamento do COB LED em questão.

Figura 2.3 - Curva do modelo linear comparado aos valores experimentais.



Fonte: Elaborado pelo autor.

Como o objetivo do trabalho é o desenvolvimento de um *driver* utilizado no acionamento de LEDs, não serão abordados os parâmetros térmicos, fotométricos e cromáticos dos LEDs utilizados.

2.3 Características Desejáveis de Drivers Para Acionamento de LEDs de Potência a Partir da Rede Elétrica

Como citado anteriormente, para realizar o acionamento de LEDs de potência utilizados em sistemas de iluminação conectados à rede elétrica, é necessário um driver, que consiga atender

aos requisitos mínimos, tais como: Controle do fator de potência (CFP), baixa distorção harmônica total da corrente de entrada (DHTi), controle da corrente e ondulação no arranjo de LEDs. Assim evitando, tanto a rápida degradação das características fotométricas, como também reduzindo o percentual de *flicker* presente na fonte luminosa.

2.3.1 Definição de Fator de Potência (FP) e Distorção Harmônica Total da Corrente de Entrada (DHTi)

A equação (2.2) apresenta a forma clássica de definição do fator de potência, utilizada em sistemas nos quais a forma de onda de corrente é puramente senoidal, sendo que Φ representa a defasagem entre tensão e corrente de entrada.

$$FP = \cos \Phi \quad (2.2)$$

No entanto, como fontes eletrônicas geralmente não tem formas de onda de corrente puramente senoidais, é necessário estender a definição do fator de potência, empregando o deslocamento de fase e a distorção harmônica presente na corrente de entrada (Gacio *et al.*, 2010) segundo a expressão:

$$FP = \frac{\cos \Phi}{\sqrt{1 + DHTi^2}} \quad (2.3)$$

em que a distorção harmônica presente na corrente de entrada pode ser definida como:

$$DHTi = \frac{\sqrt{\sum_{n=2}^{\infty} I_n^2}}{I_1} \quad (2.4)$$

Neste contexto, o máximo conteúdo harmônico para dispositivos de iluminação são definidos na Tabela 2.1, de acordo com a norma IEC 61000-3-2 (Iec, 2005) para equipamentos classe C, sendo que FP é o fator de potência do circuito. Além disso, o fator de potência, que deve ser o mais próximo da unidade, tem seu valor mínimo limitado a 0,92, de acordo com portaria do INMETRO n° 478 de 2013 (Inmetro, 2013).

Tabela 2.1 - Limites de emissão harmônica de corrente de entrada para equipamentos classe C de acordo com IEC 61000-3-2.

| Ordem Harmônica n° | DHTi % Porcentagem da fundamental |
|--|--------------------------------------|
| 2 | 2 % |
| 3 | $30 \cdot FP$ % |
| 5 | 10 % |
| 7 | 7 % |
| 9 | 5 % |
| $11 \leq n \leq 39$ (apenas harmônicas ímpares) | 3 % |

Fonte: Adaptada de (Emissions, 2010).

2.3.2 Técnicas de Correção do fator de Potência

O aumento do fator de potência e redução do conteúdo harmônico da corrente de entrada podem ser obtidos por meio de técnicas passivas ou ativas. As técnicas passivas empregam elementos passivos ou reativos, tais como: indutores, capacitores e resistores cascateados no filtro de entrada. Estas são soluções atrativas entre eficiência e custo, além de não gerar interferência eletromagnética (EMI, do inglês, *Electromagnetic Interference*). No entanto, os elementos armazenadores são projetados para trabalhar em baixa frequência, o que aumenta significativamente o tamanho dos dispositivos passivos e os torna uma boa opção apenas para baixas potências (Vaquero, 2013).

Outro caminho é o uso de técnicas ativas, que consistem, basicamente, em um conversor CC-CC trabalhando como estágio pré-regulador de fator de potência inserido entre a ponte retificadora e a carga, buscando atingir alta eficiência e alto fator de potência. Esses conversores são mais caros, complexos e geram EMI. Porém, mesmo assim são considerados melhores soluções para maiores níveis de potência e para operar dentro da faixa universal de tensão de entrada.

As técnicas ativas de correção de fator de potência ainda podem ser divididas em correntes de entrada senoidal (estágios CFP ideal) e corrente de entrada não senoidal (estágios quase CFP) (Vaquero, 2013). Os conversores com corrente de entrada senoidal emulam o comportamento de um resistor, consumindo uma corrente instantânea proporcional e em fase com a tensão de entrada. Existem duas soluções mais significativas:

- Emulador de resistores: neste caso, a corrente de linha é modelada por um sinal de referência senoidal sincronizado com a rede CA. Um emulador de resistores, amplamente utilizado, é o conversor *boost*, operando no modo de condução contínua (MCC), com malhas de controle em cascata, associadas à corrente de entrada e à tensão de saída. Via de regra, qualquer conversor CC-CC pode ser empregado nesta configuração.
- Seguidor de tensão: alguns conversores operando no modo de condução descontínua (MCD), comportam-se, intrinsecamente, como um seguidor de tensão. Assim, não há necessidade de complicadas malhas de controle para impor formato senoidal à corrente de entrada. Em (Simonetti *et al.*, 1997), há uma abordagem específica sobre os conversores Čuk e SEPIC, trabalhando como pré-reguladores de fator de potência, com características de seguidor de tensão.

A técnica ativa de correção do fator de potência e estágio, quase CFP, apresenta corrente de entrada não senoidal, com conteúdo harmônico limitado ou uma corrente de entrada senoidal, em um intervalo dentro do período de meio ciclo da tensão da rede. Assim, tem-se uma corrente de entrada descontínua e distorcida, mas atendendo ao conteúdo harmônico imposto pelas normas vigentes (Vaquero, 2013).

A técnica de compensação de fator de potência mais empregada é a técnica ativa com estágio CFP ideal. A escolha da técnica utilizada deve levar em conta uma boa relação entre o

limite aceitável que cada aplicação exige. No caso específico deste trabalho, torna-se mais viável a implementação da técnica de seguidor de tensão, devido à maior simplicidade no circuito de controle, buscando uma boa relação entre reduzida ondulação de saída, fator de potência e baixa DHTi.

2.3.3 Controle e Modulação da Intensidade Luminosa

A intensidade luminosa possui relação direta com a corrente do LED. Devido a esta linearidade, a dimerização é implementada por meio do controle da corrente média. O controle da intensidade luminosa é útil em situações onde a operação do sistema em potência nominal não é necessária (Menke, 2016). O controle de corrente média dos LEDs pode ser obtido por diferentes técnicas, tais como: controle da corrente média por modulação de amplitude (AM, do inglês *Amplitude Modulation*), controle por modulação de largura de pulso (PWM, do inglês *Pulse Width Modulation*) e o controle *bi-level* baseado na adaptação das duas técnicas anteriores.

A modulação da intensidade luminosa ($Mod(\%)$), como citado anteriormente, pode causar danos à saúde humana e seus efeitos dependem do tipo de aplicação, sendo mais crítico em ambientes que demandem elevada luminosidade. A norma IEE 1789-2015 “*IEEE Recommended Practices for Modulating Current in High-Brightness LEDs for Mitigating Health Risks to Viewers*” (Ieee, 2015) trata especificamente deste fenômeno. Esta norma define que, para frequências acima de 90 Hz, a região sem efeitos é representada por $Mod(\%) < 0,0333 \times \text{frequência}$ correspondente e apresenta como região de baixo risco o caso $Mod(\%) < 0,08 \times \text{frequência}$ correspondente.

Este tema é abordado em outros trabalhos (Almeida *et al.*, 2014; Lehman e Wilkins, 2014; Almeida *et al.*, 2015; Pereira, 2019). Segundo a recomendação prática (Ieee, 2015), a porcentagem de $Mod(\%)$ ou *flicker* inferior a 9,6%, na frequência de 120 Hz, oferece baixo risco à saúde humana. Um estudo realizado em (Almeida *et al.*, 2014), mostra que o percentual da modulação *flicker* pode ser considerado como sendo a metade do percentual de ondulação de corrente dos LEDs ($\Delta I_{LED\%}$). De forma geral, a modulação da intensidade luminosa pode ser representada de acordo com (2.5). Assim a ondulação de corrente em 120 Hz fica definida como duas vezes a modulação da intensidade luminosa (2.6), que oferece baixo risco a saúde humana, conforme.

$$Mod(\%) = \frac{\Delta I_{LED\%}}{2} \quad (2.5)$$

$$\Delta I_{LED\%_{120Hz}} = Mod_{Baixo_risco}(\%) \cdot 2 = 9,6\% \cdot 2 = 19,2\% \quad (2.6)$$

2.4 Topologias Utilizadas em Drivers de LEDs

Uma das principais funções buscadas nesse tipo de *driver* é a capacidade de redução do filtro capacitivo. Então, paralelamente à apresentação das características desejáveis do *driver*, será avaliada a capacidade de redução de capacitâncias empregadas de acordo com a metodologia utilizada nos trabalhos de (Li *et al.*, 2016; Menke, 2016). Nesses estudos, é proposta uma análise da máxima energia armazenada por watt (JPW), conforme a equação (2.7), aplicada no barramento e saída, quando o conversor possuir as duas etapas.

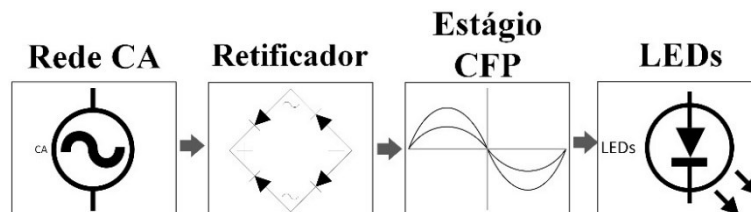
$$JPW_{Bus} = \frac{1}{2} \cdot \frac{C_{Bus} \cdot V_{Bus}^2}{P_{LED}} \quad (2.7)$$

em que C_{Bus} é a capacitância utilizada no barramento CC; V_{Bus} é a tensão do barramento CC; e P_{LED} é a potência da carga LED acionada pelo *driver*.

2.4.1 Conversor de Estágio Único

O conversor com estágio único é a topologia mais simples utilizada. Essa estrutura realiza a correção de fator de potência e a tensão de sua saída é aplicada diretamente aos LEDs. Sua topologia básica é ilustrada na Figura 2.4, tem a vantagem de baixa contagem de componentes e volume reduzido. Porém, caso seja necessária grande redução de capacitância de barramento, este conversor se torna inviável.

Figura 2.4 – Etapas de um driver de estágio único.



Fonte: Elaborado pelo autor.

As topologias mais comuns de estágio único utilizadas são, os conversores *boost*, *buck-boost*, ou então, a topologia isolada derivada da estrutura *buck-boost* clássica, conhecida como conversor *flyback*. Geralmente, são empregadas em baixas potências, obtendo-se alto rendimento, pois a energia é processada em apenas um estágio. Por outro lado, a necessidade de redução da componente CA de baixa frequência, implica o uso de elevados valores de capacitâncias. Esses valores geralmente, só podem ser obtidos em termos de capacitores eletrolíticos, os quais podem comprometer a vida útil e confiabilidade do sistema como citado anteriormente.

Em (Singh e Shrivastava, 2014), é proposto um *driver* de estágio único, que utiliza a topologia *buck* como CFP para acionamento de um arranjo de LEDs com potência de 13 W e tensão de entrada universal (90 a 270 V). Mesmo utilizando um capacitor de saída de 220 μF , o dispositivo apresenta ondulação de corrente de saída de 46% e máxima energia armazenada por Watt de 11,580 mJ/W.

Em (Pal *et al.*, 2019), tem-se um driver baseado na topologia SEPIC de estágio único, operando em MCD. Emprega o esquema de controle de modulação por frequência de pulso (PFM, do inglês *Pulse Frequency Modulation*), que aciona um arranjo de LEDs de 28 W, com ondulação de corrente de saída de 43%, máxima energia armazenada por Watt de 3,422 mJ/W e apresenta um rendimento (η) de 83% a 88%. O diferencial desta topologia vem da possibilidade de reduzida capacitância de saída (cerca de 44 μ F), comparado às outras topologias de estágio único, o que é possível devido ao controle PFM. Os principais problemas desta aplicação são que, mesmo com a complexidade do circuito de controle apresenta alta ondulação de corrente na saída e baixa potência.

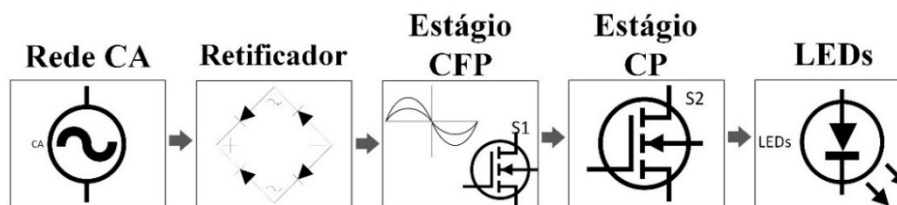
Tipicamente, pode-se inferir que *drivers* de estágio único geralmente apresentam a necessidade da utilização de capacitores eletrolíticos, o que, conseqüentemente, reduz sua vida útil. Em casos como o apresentado em (Pal *et al.*, 2019) em que é possível empregar capacitores não eletrolíticos, é necessário uma estratégia de controle relativamente complexa para baixa potência. Mesmo assim, há uma alta ondulação na corrente de saída, que caracteriza altos níveis de modulação de intensidade luminosa.

2.4.2 Conversor de Múltiplos Estágios

2.4.2.1 Conversor de Múltiplos Estágios Independentes

As estruturas de múltiplos estágios independentes atribuem as funções de CFP e CP (controle de potência) a conversores independentes, possibilitando ações de controle distintas. Desta forma, facilita significativamente o projeto de cada estágio, como mostra a Figura 2.5. Nesse caso, o primeiro estágio realiza a CFP e controla a tensão de barramento. Os conversores subsequentes realizam o processamento e controle da ondulação de corrente. Isso permite uma rápida resposta dinâmica, visando à redução significativa da ondulação de baixa frequência e da capacitância necessária. Porém, sua eficiência é reduzida, devido ao reprocessamento de energia realizado nas outras etapas. Além disso, geralmente seu custo é alto devido ao aumento do número de circuitos de controle, interruptores ativos e seus respectivos circuitos de comando.

Figura 2.5 – Etapas de um *driver* de dois estágios independentes.



Fonte: Elaborado pelo autor.

Em (Pereira, 2019), é desenvolvido um driver com dois estágios. Um conversor *boost* realiza o CFP de entrada e o ajuste da tensão do barramento CC. O segundo estágio é composto por um conversor *buck* intercalado, e apresenta um controle de ondulação de corrente que auxilia na redução dos capacitores de filtragem. Essa topologia apresenta: capacidade de processamento

de altos níveis de potência, considerando que a potência e a corrente nominais são 500 W e 10 A, respectivamente; atendimento às normas de qualidade de energia de entrada; rendimento de 90% na potência nominal; utiliza apenas capacitores de filme metálico, somando uma capacitância total de 212 μF ; ondulação de corrente de saída de 25%, com atendimento às normas referentes a *flicker*; máxima energia armazenada por watt no barramento CC de 25,6 mJ/W e na saída de 0,1 mJ/W.

Em (Menke *et al.*, 2016), é proposto um *driver* com dois estágios. O primeiro estágio é composto por um conversor *buck-boost* operando em MCD que realiza o CFP para tensão de entrada universal. O segundo estágio é composto por um conversor *half-bridge* LLC ressonante, responsável por controlar o nível de corrente de saída em função da dimerização necessária. Esta topologia atende às normas de qualidade de energia; possui potência nominal de 100 W; utiliza capacitância total de 80 μF ; apresenta ondulação de corrente de saída de aproximadamente 24%; máxima energia armazenada por watt no barramento de 20 mJ/W e na saída de 0,37 mJ/W.

Há vários outros exemplos de conversores de dois estágios independentes, como o apresentado em (De Melo *et al.*, 2015). Nesse caso, um conversor CFP é associado em cascata com uma estrutura ressonante otimizada para reduzir a ondulação de baixa frequência. No caso representado em (Zhang *et al.*, 2012), é utilizado um conversor *boost*, operando como CFP no modo de condução crítico (MCCr) e um segundo estágio, que emprega um conversor *forward* a dois interruptores, sendo que harmônicos são injetados no circuito de controle, reduzindo a ondulação de baixa frequência sobre a carga, isto é, os LEDs.

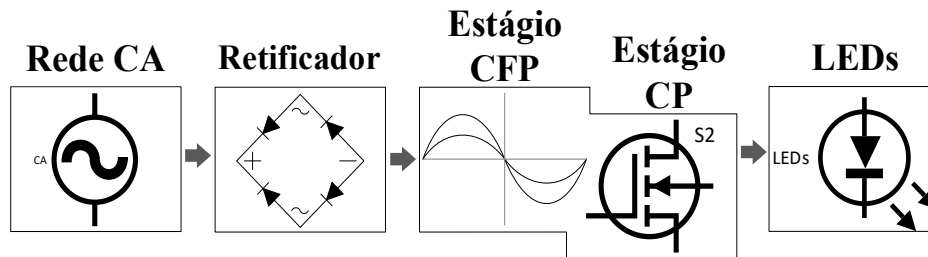
O *driver* de estágios independentes pode solucionar, facilmente, o problema relacionado à utilização de capacitores eletrolíticos. A principal vantagem dessa solução está na possível elevação da tensão no barramento e uma dinâmica independente de controle do estágio CP, que pode caracterizar como boa capacidade de atenuar a ondulação da corrente de saída. Porém, a necessidade de circuitos de acionamento e controle independentes aumenta, consideravelmente, seu custo e complexidade. Está é uma solução geralmente utilizada em aplicações de médias a altas potências, como apresentado em (Pereira, 2019).

2.4.2.2 Conversor de Múltiplos Estágios Integrados

A estrutura de múltiplos estágios integrados é a solução mais aplicada em *drivers* LEDs. Esta topologia é utilizada nos trabalhos de (Alonso, Gacio, *et al.*, 2011; Alonso, Viña, *et al.*, 2011; Almeida *et al.*, 2012; Cosetin *et al.*, 2013; Cosetin *et al.*, 2014; Gacio *et al.*, 2015; Lam e Jain, 2015; Soares *et al.*, 2016) e em vários outros estudos. Um conversor integrado é a combinação resultante de dois ou mais estágios de conversão, utilizando um mesmo interruptor ativo. O principal motivo da integração é a redução do número de elementos semicondutores controlados e seus respectivos circuitos de comando, o que implica em redução de custos e simplificação do sistema de controle (Almeida *et al.*, 2015). Sua estrutura básica é ilustrada na Figura 2.6, na qual

o primeiro estágio realiza a correção do fator de potência, operando normalmente em MCD, e compartilha o interruptor com o segundo estágio. Por sua vez, o segundo estágio realiza o processamento da corrente entregue à carga, por meio de diferentes estratégias de controle, visando reduzir a ondulação de baixa frequência e assim, viabilizar a não utilização de capacitores eletrolíticos. Para que seja possível a integração dos estágios, ou seja, para que utilizem o mesmo interruptor, os conversores devem possuir um ponto de conexão comum entre os semicondutores ativos, além de trabalhar com mesma razão cíclica e frequência de comutação.

Figura 2.6 – Etapas de um *driver* de dois estágios integrados.



Fonte: Elaborado pelo autor.

Os diversos conversores integrados utilizam diferentes topologias e estratégias de controle. Em (Cosetin *et al.*, 2014), é proposto um conversor SEPIC-Ćuk integrado, com o primeiro estágio operando em MCD e o segundo estágio operando em MCC. Este conversor é projetado para acionar um arranjo de LEDs com potência de 100 W por meio da rede elétrica (220 V/60Hz) e utiliza um controlador proporcional-integral (PI) que permite reduzir a capacitância de barramento, possibilitando assim a utilização de dispositivos de filme. Essa topologia utiliza uma capacitância total de 48 μF , uma ondulação de corrente de saída de aproximadamente 50% e máxima energia armazenada por watt no barramento de 4,3 mJ/W e na saída de 0,012 $\mu\text{J/W}$.

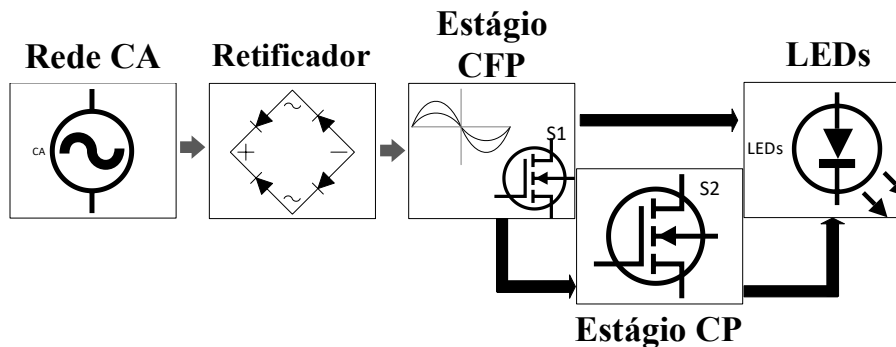
Em (Soares *et al.*, 2016), é proposta a integração de dois conversores *buck-boost*, com ambos os estágios operando em MCD. Esse conversor é projetado para o acionamento de um arranjo de LEDs com potência de 70 W, utilizando uma técnica de compensação de ondulação ativa que permite a redução da ondulação de corrente de saída, e reduz a necessidade de altos valores capacitivos. A topologia utiliza capacitância total de 60 μF , uma ondulação de corrente de saída próxima dos 50% e máxima energia armazenada por watt no barramento de 9,257 mJ/W e na saída de 2,24 mJ/W.

Como o interruptor dos dois estágios é único, a dinâmica de controle empregada no segundo estágio é limitada, com conseqüente redução do grau de liberdade do sistema. A degradação dos parâmetros de qualidade de energia de entrada deve ser observada de modo que se consiga um meio termo entre a atenuação da ondulação e os parâmetros de entrada respeitem as normas estabelecidas. Dadas suas particularidades, nota-se que esta topologia apresenta como benefício a redução de circuitos de controle e acionamento e se torna uma solução interessante para ser aplicada em soluções de média e baixa potência.

2.4.2.3 Conversor de Múltiplos Estágios e Processamento de Energia Reduzido (PER)

Os principais problemas das topologias de múltiplos estágios em série residem no reprocessamento da potência consumida pela carga. No *driver* com processamento de energia reduzido, o estágio CFP é conectado diretamente à carga e o segundo estágio é usado para reprocessar apenas parte da energia. Existem diferentes tipos de estruturas que utilizam PER, seja em série ou em paralelo. A conexão em paralelo exige que o conversor seja bidirecional, isso pode demandar um maior número de semicondutores, sensores e circuitos de comando isolados.

Figura 2.7- Etapas de um *driver* de dois estágios e processamento de energia reduzido.



Fonte: Elaborado pelo autor.

Em (Camponogara *et al.*, 2014) é proposto um conversor com capacidade de redução das capacitâncias de filtragem ao ponto de utilizar capacitores de filme. O estágio PC compensa a ondulação de tensão do barramento, sendo controlado pela estratégia de controladores de realimentação e avanço. Este *driver* atende aos requisitos de qualidade de energia e aciona uma carga de 75 W, com capacitância total de 73,8 μF ; apresentando ondulação de corrente de saída de 21,5% e máxima energia armazenada por Watt, na saída de 5,6 mJ/W. Uma eficiência de 91% é alcançada pelo fato do estágio PC reprocessar apenas 20% da potência de saída. Este *driver* é projetado de maneira a obter um equilíbrio entre o valor de capacitância de barramento e a quantidade de energia reprocessada.

Em (Bekoski *et al.*, 2019), é demonstrado um *driver* sem a utilização de capacitores eletrolíticos, no qual o estágio CFP é composto por um conversor SEPIC, operando em MCD com razão cíclica fixa. O segundo estágio é composto por um conversor *flyback* operando em MCD, que reprocessa apenas 20% da potência total de saída e reduz a ondulação de corrente para apenas 15%, com máxima energia armazenada por watt de 8,62 mJ/W. Esse *driver* atende aos requisitos de qualidade de energia, tem capacidade de dimerização de 20 a 100% e alcança 90% de eficiência.

Em (Wang *et al.*, 2011), é apresentado um *driver* sem a utilização de capacitores eletrolíticos e com baixa modulação de intensidade luminosa. Sua configuração é formada por um *flyback* como estágio CFP e um conversor *buck-boost* bidirecional, que absorve a componente CA da corrente pulsante do conversor CFP, deixando apenas a componente CC para a carga. Este

driver apresenta uma potência de 33,6 W e 87% de rendimento. O *driver* apresenta características que permitem uma boa redução do filtro capacitivo, porém o conversor bidirecional apresenta baixa confiabilidade e alto custo.

O driver de estágios independentes, com processamento de energia reduzido, é uma excelente solução, pois reduz o reprocessamento de energia que ocorre nos casos anteriores. No entanto, nos casos em que o conversor é conectado em série, a tensão de saída é considerada elevada, por ser caracterizada pela soma das tensões dos dois estágios, além de apresentar circuitos de controle independentes e complexos. Já no caso em que o estágio CP é conectado em paralelo a carga, o conversor utilizado deve ser bidirecional, o que leva a um maior número de interruptores, circuitos de comando e sensores. A possibilidade oferecida por este recurso é recente e está sendo aperfeiçoada. Esta apresenta bons resultados para casos em que um alto rendimento é imprescindível.

A Tabela 2.2 apresenta uma comparação entre a máxima energia armazenada por watt, dos exemplos das diferentes topologias e o driver proposto, de acordo com equação (2.7). Esta comparação permite verificar a capacidade de cada uma das topologias, verificando as principais características tais como ondulação de corrente na carga, rendimento, potência e a tensão no componente em que ocorre o armazenamento.

Tabela 2.2 - Capacidade de redução do filtro capacitivo, através da máxima energia armazenada por watt (JPW).

| Topol. | Fonte | $\% \Delta I_{LED}$ | η (%) | P_o | V_{Bus} | JPW_{Bus} | |
|---------------------------|-----------------------------|------------------------------------|----------------|---------------|-----------|-------------|------------|
| Estágio Único | (Singh e Shrivastava, 2014) | 46 % | 83,7 % | 13 W | 37 V | 11,58 mJ/W | |
| | (Pal <i>et al.</i> , 2019) | 43 % | 83-88 % | 28 W | 66 V | 3,4 mJ/W | |
| Múltiplos Estágios | Indep. | (Pereira, 2019) | 25 % | 90 % | 500 W | 400 V | 25,6 mJ/W |
| | | (Menke <i>et al.</i> , 2016) | 24 % | 85,6% | 100 W | 400 V | 20 mJ/W |
| | Integrados | (Cosetin <i>et al.</i> , 2014) | 50 % | 87,5 % | 100 W | 140 V | 4,3 mJ/W |
| | | (Soares <i>et al.</i> , 2016) | 50 % | 85 % | 70 W | 180 V | 9,257 mJ/W |
| | | Conversor Proposto | $\leq 18,69$ % | $\geq 85,8$ % | 108 W | 141 V | 9,87 mJ/W |
| | P.E.R. | (Camponogara <i>et al.</i> , 2014) | 21,5 % | 91 % | 75 W | 125 V | 5,6 mJ/W |
| | | (Bekoski <i>et al.</i> , 2019) | 15 % | 90 % | 70 W | 94,22 V | 8,62 mJ/W |

Fonte: Elaborado pelo autor.

2.4.3 Escolha da Topologia Adequada

Como relatado em (Almeida *et al.*, 2015), a necessidade de substituição do capacitor eletrolítico leva à redução da capacitância utilizada nos *drivers*, para possibilitar a utilização de outras tecnologias, tais como os capacitores de filme de poliéster ou filme metálico. Várias topologias e técnicas de controle foram descritas para este objetivo na literatura. Porém, todas apresentam vantagens e desvantagens que devem ser avaliadas, tais como: eficiência, custo, número de componentes, volume do *driver*, complexidade do circuito de controle, comportamento adequado diante de variações na tensão de entrada, facilidade de implementar a função de dimerização, reduzidos esforços de tensão e corrente nos semicondutores, flexibilidade para diferentes tipos de cargas, dentre outras.

A Tabela 2.3, adaptada de (Almeida *et al.*, 2015), é um excelente indicador das principais vantagens e desvantagens presentes nas configurações dos *drivers* apresentados, sejam eles de estágio único, múltiplos estágios independentes, múltiplos estágios integrados ou múltiplos estágios com PER. Esta tabela possibilita um direcionamento acerca da configuração que melhor atende às necessidades apresentadas em sua aplicação ou tipo de carga a ser acionada.

Tabela 2.3 - Comparação de configurações de LED *drivers*.

| CONFIGURAÇÃO DO DRIVER | ESTÁGIO O ÚNICO | MÚLTIPLOS ESTÁGIOS | | |
|---------------------------------------|--------------------|--------------------|---------|--------|
| | | INDEP. | INTEGR. | P.E.R. |
| Capacidade de Redução de Capacitância | RUIM | MUITO BOM | BOM | BOM |
| Níveis de Flicker | ALTO | BAIXO* | MÉDIO | BAIXO |
| Custo / Contagem de Componentes | BAIXO | ALTO | MÉDIO | ALTO |
| Eficiência | ALTA | MÉDIA * | BAIXA * | ALTA |
| Densidade de Potência | ALTA | BAIXA | MÉDIA | MÉDIA |
| Complexidade do Controle | BAIXA | MÉDIA | BAIXA | ALTA |
| Facilidade de Dimerização | BAIXA | ALTA | ALTA | MÉDIA |
| Perdas nos Semicondutores | NORMAL | NORMAL | ALTA | NORMAL |
| Flexibilidade de Projeto | BAIXA | ALTA | BAIXA | ALTA |

Fonte: Adaptado de (Almeida *et al.*, 2015)

*depende das topologias empregadas.

No caso do projeto executado neste trabalho, a carga a ser acionada tem potência de 100 W, corrente de saída de 1,5 A, os principais parâmetros desejados neste projeto são: baixa ondulação de corrente de saída, sem a utilização de capacitores eletrolíticos; acionamento pela rede elétrica CA, obedecendo aos requisitos de qualidade de energia; e baixo custo. A redução da ondulação de corrente é importante, pois evita o efeito *flicker*, além de reduzir a degradação do fluxo luminoso do arranjo de LEDs.

A potência de 100 W pode ser considerada uma potência média para este tipo de aplicação. A necessidade de baixa ondulação de corrente, sem a utilização de capacitores eletrolíticos, torna fundamental a implementação de um circuito de controle. Já a necessidade de

baixo custo, faz com que sejam evitados vários circuitos de controle ou estratégias de controle complexas.

Visando atender aos requisitos expostos, é imprescindível obter uma configuração que permita a redução da capacitância, evite um circuito de controle complexo e não possua alto custo, tornando assim, a topologia de dois estágios integrados a mais atrativa para aplicação em questão. No caso da utilização de estágios integrados, o circuito de controle deve ter a função de obter um meio termo entre a baixa ondulação e os limites impostos pela qualidade de energia.

Ao avaliar as topologias de conversores, apresentadas como opções para o circuito de correção do fator de potência ativa, os conversores que operam em MCD, com características de seguidores de tensão, são os mais atrativos e são amplamente utilizados, principalmente pela simplicidade do circuito de controle. Neste contexto, o conversor SEPIC se destaca por apresentar características que não são vistas nos conversores básicos, tais como: reduzida ondulação de corrente de entrada, devido à presença de um indutor em série com a ponte retificadora, reduzindo ou eliminando o filtro EMI de entrada; a tensão de saída pode ser maior ou menor que a tensão de pico da rede elétrica, sem perder a característica de seguidor de tensão; possui interruptor que compartilha a referência com entrada e saída; a tensão de saída é não invertida; possibilidade de acoplamento dos elementos magnéticos; e a possibilidade de isolamento galvânica entre entrada e saída.

Avaliando as topologias de conversores CC-CC a serem utilizados no segundo estágio, optou-se também pela estrutura SEPIC, principalmente por permitir que a tensão de saída seja maior ou menor; pela possibilidade de isolamento galvânica entre entrada e saída; por possuir interruptor que compartilha ponto comum entre entrada e saída, facilitando a integração; por possui tensão de saída não invertida; possibilitar o acoplamento dos magnéticos. Apesar de trabalhos como o de (Alonso, Gacio, *et al.*, 2011), mostrarem que o filtro capacitivo empregado no barramento pode ser reduzido ainda mais se ambos os estágios operarem em MCD. Optou-se inicialmente por operar em MCC, devido a menores perdas no segundo estágio e maior facilidade de modelagem e controle.

2.5 Considerações Finais

Neste capítulo, foram introduzidas as características elétricas dos LEDs, no intuito de conhecer o tipo de carga a ser acionada e suas principais particularidades. Assim, tem-se que o objetivo principal deste trabalho é desenvolver um conversor integrado utilizado como *driver* em um arranjo de LEDs de 100 W, com baixa ondulação de corrente de saída, sem utilizar capacitores eletrolíticos, sendo este acionado pela rede elétrica CA.

Foram apresentadas as características desejáveis nos *drivers* conectados à rede elétrica, os limites de fator de potência e DHTi estabelecidos pelas normas, bem como as principais

técnicas de correção de fator de potência e suas principais vantagens, dando destaque à correção ativa do fator de potência, técnica mais empregada para este tipo de carga.

Também foram apresentadas as principais topologias utilizadas em *drivers* presentes na literatura, explorando-se alguns exemplos e mostrando as vantagens e desvantagens inerentes à quantidade de estágios, componentes passivos e ativos. Por meio dessas considerações, é possível realizar a escolha da topologia proposta, tendo em vista atender aos requisitos inerentes ao tipo de carga, em conformidade com os requisitos de qualidade de energia.

CAPÍTULO 3. CONVERSOR CA-CC SEPIC QUADRÁTICO NÃO ISOLADO

3.1 Considerações Iniciais

Este capítulo se dedica ao estudo e apresentação da topologia SEPIC quadrático não isolado, utilizado no acionamento de um arranjo de LEDs de potência. Apresenta a técnica de integração de dois conversores independentes, criando um conversor de dois estágios com apenas um interruptor ativo. Efetivamente, a análise do circuito pode ser realizada como um conversor de dois estágios, que possui somente uma variável controlável D (razão cíclica do interruptor compartilhado). Para seu correto funcionamento, deve-se garantir que o primeiro estágio sempre opere em MCD, possibilitando, assim, que o mesmo trabalhe como um CFP seguidor de tensão, deixando certo grau de liberdade para que o segundo estágio controle a potência entregue à carga.

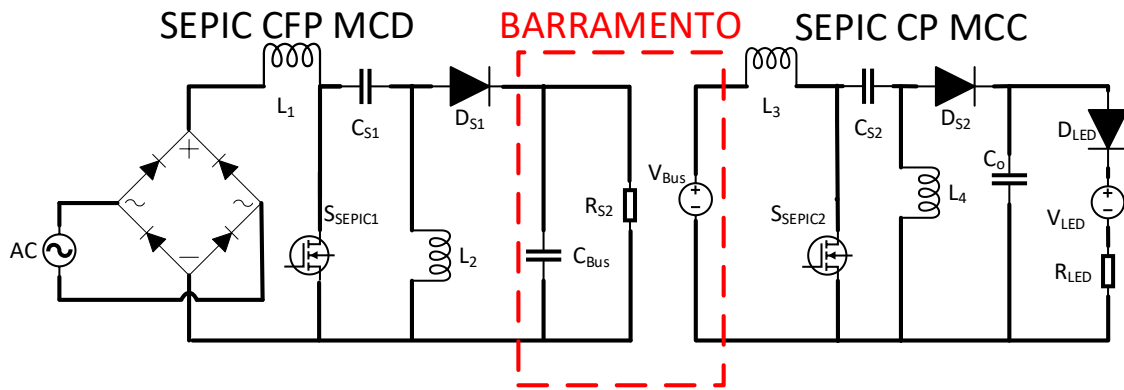
Este capítulo também apresenta a análise quantitativa e qualitativa do conversor proposto, baseadas nos conceitos da topologia SEPIC, proposta inicialmente, em 1977 (Massey e Snyder, 1977). Tais conceitos foram abordados em várias obras e utilizados em diferentes aplicações. Em (Martins e Barbi, 2006), é realizada a análise matemática do conversor CC-CC SEPIC em MCC e MCD. Em (Simonetti *et al.*, 1992; Simonetti *et al.*, 1997), são apresentados estudos acerca do conversor SEPIC operando em MCD, com função de retificador CFP. Em (Tibola, 2013; Costa, 2015), são apresentadas outras abordagens matemáticas acerca do conversor SEPIC. A partir destas análises, são definidos o ganho estático, as ondulações de tensão dos capacitores e os esforços de corrente e tensão dos componentes do estágio de potência.

3.2 Descrição da Topologia Proposta

Dentre os diversos tipos de conversores de potência operando em alta frequência, é escolhida a topologia SEPIC para esta aplicação. A Figura 3.1 apresenta, separadamente, a estrutura do SEPIC CFP, que deve operar em MCD e a estrutura do SEPIC CP, que deve operar em MCC.

A técnica de integração utilizada é conhecida como *graft scheme*, ou técnica do enxerto, introduzida em (Wu e Chen, 1998). Esta permite integrar conversores, ou seja, utilizar um mesmo interruptor para o acionamento dos dois conversores. Para que se possa aplicar a técnica, é necessário que os dois conversores trabalhem com mesma razão cíclica, frequência de comutação e que haja um ponto comum entre seus interruptores.

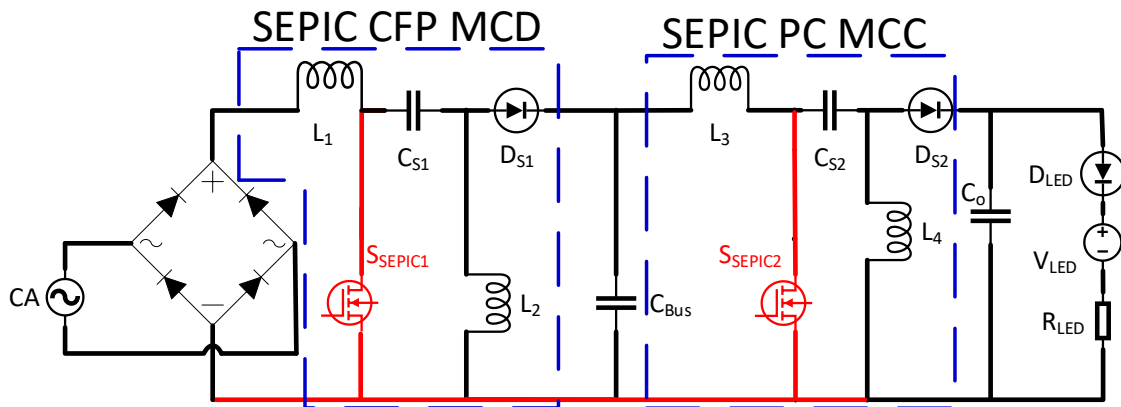
Figura 3.1 - Associação dos dois conversores SEPIC.



Fonte: Elaborado pelo autor.

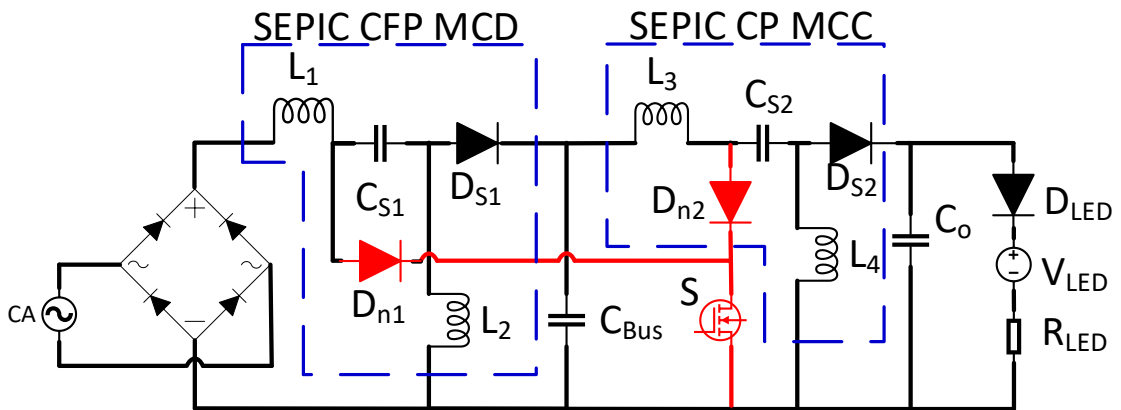
Conectando os dois conversores, um ponto comum entre os terminais *source* dos interruptores é identificado, possibilitando a conexão tipo *T (S-S)*, como ilustra a Figura 3.2. O circuito é combinado com o acréscimo de dois diodos D_{n1} (Diodo de integração número 1) e D_{n2} (Diodo de integração número 2), formando a célula integrada tipo *T* e eliminando um dos interruptores, formando, assim, o conversor SEPIC quadrático, como ilustra a Figura 3.3.

Figura 3.2 - Conexão dos conversores.



Fonte: Elaborado pelo autor.

Figura 3.3 - Topologia proposta do conversor SEPIC quadrático.



Fonte: Elaborado pelo autor.

O conversor SEPIC quadrático tem dois estágios: o primeiro opera no MCD para preservar a característica de seguidor de tensão e, assim, realizar a CFP; já o segundo opera no MCC, visando facilitar a modelagem e controle da corrente de saída (I_o).

O arranjo de LEDs é representado pelo seu circuito equivalente, composto por: um diodo D_{LED} , que indica a polarização do LED; uma fonte de tensão V_{LED} , que equivale à tensão limiar do arranjo de LEDs; uma resistência dinâmica R_{LED} , que equivale à resistência dinâmica do arranjo de LEDs.

3.2.1 Análise Qualitativa

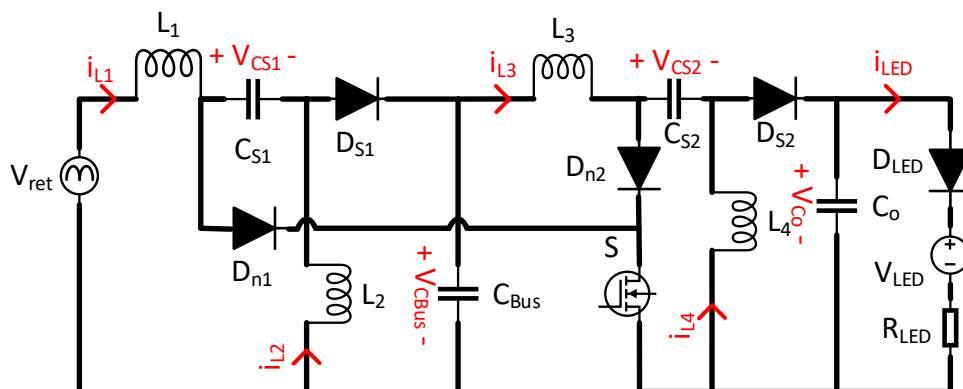
A análise qualitativa contempla etapas de operação e as principais formas de onda teóricas do conversor. Esta análise busca determinar os intervalos de tempo referentes às etapas de operação, bem como o ganho estático do conversor. À análise, aqui desenvolvida, é baseada nos trabalhos de (Martins e Barbi, 2006), (Almeida *et al.*, 2012), (Simonetti *et al.*, 1997), (Costa, 2015) e (Tibola, 2013).

O estudo se inicia com a descrição das etapas de operação presentes em um ciclo de comutação (T_s). Para realizar a análise qualitativa e quantitativa do conversor em regime permanente, são feitas as seguintes considerações:

- A fonte de tensão de entrada retificada ($V_{in_ret}(\omega t)$) é considerada ideal, formada por uma fonte de tensão alternada em série com uma ponte de diodos;
- Os capacitores C_{S1} , C_{Bus} , C_{S2} e C_o são considerados grandes o suficiente para que as ondulações de tensão possam ser desprezadas;
- As tensões médias sobre os indutores L_1 , L_2 , L_3 e L_4 em um período T_s são nulas;
- As correntes médias sobre os capacitores C_{S1} , C_{Bus} , C_{S2} e C_o em um período T_s são nulas;
- Os semicondutores e elementos passivos são considerados ideais.

Seu circuito equivalente é ilustrado pela Figura 3.4, em que se convencionou as polaridades das tensões e sentidos das correntes nos elementos.

Figura 3.4 – Circuito equivalente SEPIC quadrático com convenção de polaridades das tensões e sentidos das correntes.



Fonte: Elaborado pelo autor.

O primeiro estágio (retificador SEPIC), deve operar em MCD, sua tensão de entrada é senoidal retificada e pode ser representada pela equação (3.1) e **Erro! Fonte de referência não encontrada.** A tensão do capacitor C_{S1} , deve seguir a tensão de entrada retificada e ao mesmo tempo, não variar em um período de comutação, tendo em vista que a frequência de comutação (f_s) é, muitas vezes, maior que a frequência da rede CA retificada, representada por f_r (Simonetti *et al.*, 1997). A análise é a mesma para os dois semiciclos da tensão de entrada, haja vista que apenas os diodos da ponte retificadora vão se alternar, entre condução e bloqueio. O funcionamento para a frequência de comutação será análogo ao do conversor CC-CC, apresentado em (Martins e Barbi, 2006), tendo em mente que o pior caso para que se mantenha a operação em MCD do primeiro estágio é quando a tensão de entrada tem seu valor máximo, V_{inpk} (tensão de pico na entrada), ou seja equação (3.1) com ângulo $\theta=90^\circ$ ($\pi/2$).

$$V_{in_ret}(\omega t) = |V_{inpk} \cdot \text{sen}(\omega t)| \quad (3.1)$$

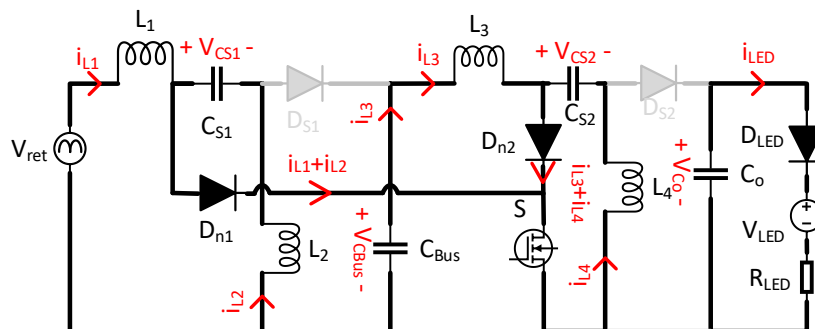
$$\omega = 2 \cdot \pi \cdot f \quad (3.2)$$

em que θ indica o ângulo de variação senoidal da variável em questão durante um período da tensão de entrada retificada (T_{tr}) e ω é a frequência angular.

O conversor proposto possui três etapas de operação em um período T_s . As etapas de operação são detalhadas a seguir.

Primeira etapa (t_0, t_1): o interruptor compartilhado S é comandado a conduzir em t_0 . Os diodos D_{n1} e D_{n2} são polarizados diretamente, entrando em condução. Os diodos D_{S1} (Diodo do primeiro estágio SEPIC) e D_{S2} (Diodo do segundo estágio SEPIC) polarizados reversamente, estão em bloqueio. Nesta etapa, a corrente no interruptor S é a soma das correntes que circulam pelos diodos D_{n1} e D_{n2} . A corrente em D_{n1} é a soma das correntes nos indutores L_1 (Indutor de entrada do primeiro estágio) e L_2 (Indutor de saída do primeiro estágio). A corrente em D_{n2} é a soma das correntes dos indutores L_3 (Indutor de entrada do segundo estágio) e L_4 (Indutor de saída do segundo estágio). As correntes nos diodos D_{S1} e D_{S2} , que estão bloqueados, é nula. O circuito equivalente desta etapa, bem como os sentidos das correntes e sinais de tensões adotados na análise, estão ilustrados na Figura 3.5.

Figura 3.5 - Primeira etapa de operação.



Fonte: Elaborado pelo autor.

Nesta etapa, o indutor L_1 armazena energia proveniente da fonte de entrada ($V_{in_ret}(\omega t)$), sua corrente cresce linearmente, conforme relação (3.3). O indutor L_2 armazena energia proveniente de C_{S1} , sua corrente cresce linearmente, conforme relação (3.4). O indutor L_3 armazena energia proveniente do capacitor de barramento, conforme relação (3.6) e o indutor L_4 armazena energia proveniente do capacitor C_{S2} , conforme relação (3.7). Como os diodos D_{S1} e D_{S2} estão em bloqueio, o capacitor C_{Bus} é responsável por alimentar o segundo estágio, já o capacitor de saída (C_o) é responsável por suprir a corrente da carga. A tensão sobre o interruptor S , diodo D_{n1} e D_{n2} é nula. A tensão sobre os diodos D_{S1} (V_{DS1}) e D_{S2} (V_{DS2}), que estão em bloqueio, obedecem às relações (3.5) e (3.8), respectivamente.

A análise do circuito equivalente desta etapa, possibilita escrever as seguintes relações:

$$V_{in_ret}(\omega t) - L_1 \cdot \frac{di_{L1}(t)}{dt} = 0$$

$$\frac{di_{L1}(t)}{dt} = \frac{V_{in_ret}(\omega t)}{L_1} \quad (3.3)$$

$$\langle V_{CS1}(\omega t) \rangle_{T_s} - L_2 \cdot \frac{di_{L2}(t)}{dt} = 0$$

$$\frac{di_{L2}(t)}{dt} = \frac{\langle V_{CS1}(\omega t) \rangle_{T_s}}{L_2} \quad (3.4)$$

$$-L_2 \cdot \frac{di_{L2}(t)}{dt} - V_{DS1} - V_{C_{Bus}} = 0$$

$$V_{DS1} = -\langle V_{CS1}(\omega t) \rangle_{T_s} - V_{C_{Bus}} \quad (3.5)$$

$$V_{Bus} - L_3 \cdot \frac{di_{L3}(t)}{dt} = 0$$

$$\frac{di_{L3}(t)}{dt} = \frac{V_{Bus}}{L_3} \quad (3.6)$$

$$V_{CS2} - L_4 \cdot \frac{di_{L4}(t)}{dt} = 0$$

$$\frac{di_{L4}(t)}{dt} = \frac{V_{CS2}}{L_4} \quad (3.7)$$

$$-L_3 \cdot \frac{di_{L3}(t)}{dt} - V_{DS2} - V_{C_o} = 0$$

$$V_{DS2} = -V_{CS2} - V_{C_o} \quad (3.8)$$

sendo que: $i_{L1}(t)$, $i_{L2}(t)$, $i_{L3}(t)$, $i_{L4}(t)$ são as correntes instantâneas dos indutores L_1 , L_2 , L_3 e L_4 , respectivamente; V_{CS1} , V_{Bus} e V_{C_o} são as respectivas tensões sobre os capacitores C_{S1} , C_{Bus} e C_o e $\langle V_{CS1}(\omega t) \rangle_{T_s}$ indica a tensão média do capacitor C_{S1} em um período de comutação.

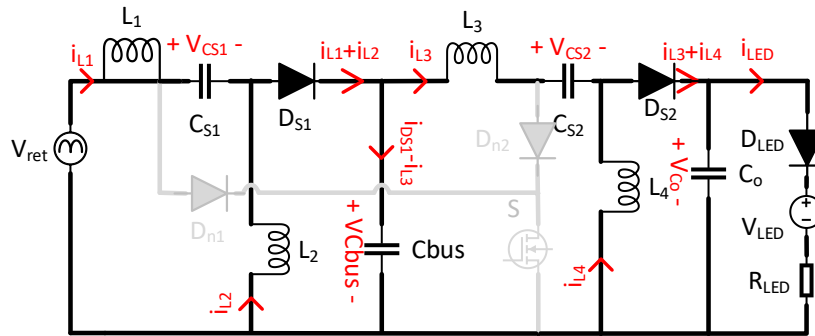
O instante de tempo final da primeira etapa de operação (t_1) e o intervalo de tempo da primeira etapa de operação (Δt_1) são definidos por (3.9) e (3.10), respectivamente.

$$t_1 = D \cdot T_s \quad (3.9)$$

$$\Delta t_1 = t_1 - t_0 = D \cdot T_s \quad (3.10)$$

Segunda etapa (t_1 , t_2): inicia-se no instante de tempo t_1 , em que o interruptor compartilhado S é comandado ao bloqueio. Os diodos D_{n1} e D_{n2} têm seu caminho de condução interrompido, entrando em bloqueio. Os diodos D_{S1} e D_{S2} se tornam diretamente polarizados, entrando em condução. A corrente que circula pelo diodo D_{S1} é a soma das correntes que circulam pelos indutores L_1 e L_2 . A corrente que circula pelo diodo D_{S2} é a soma das correntes dos indutores L_3 e L_4 . O circuito equivalente desta etapa, bem como os sentidos das correntes e sinais de tensões adotados na análise, estão ilustrados na Figura 3.6.

Figura 3.6 - Segunda etapa de operação.



Fonte: Elaborado pelo autor.

Nesta etapa, a energia armazenada em L_1 é transferida para o capacitor C_{S1} e para a saída do primeiro estágio; sua corrente decresce linearmente, conforme relação (3.11). A energia armazenada em L_2 também é transferida para a saída do primeiro estágio e sua corrente decresce linearmente, conforme relação (3.13). Destaca-se que a energia transferida de C_{S1} para L_2 durante a primeira etapa é carregada nesta etapa. A transferência de energia para a saída do primeiro estágio é realizada através do diodo D_{S1} . A corrente do diodo D_{S1} é a soma das correntes L_1 e L_2 , que conseqüentemente, também decresce linearmente. A corrente do diodo D_{S1} é responsável por carregar o capacitor C_{Bus} e manter a entrada do segundo estágio, ou seja, a corrente do indutor L_3 . A energia armazenada em L_3 é transferida para o capacitor C_{S2} e para a saída do segundo estágio; sua corrente decresce linearmente, conforme expressão (3.15). A energia armazenada em L_4 também é transferida para a saída do segundo estágio, sua corrente decresce linearmente, conforme relação (3.17). Destaca-se que parte da energia que foi transferida para L_4 durante a primeira etapa a partir de C_{S2} é transferida durante esta etapa. A transferência de energia para a saída do segundo estágio é realizada através do diodo D_{S2} e sua corrente é a soma das correntes de L_3 e L_4 e, portanto, também decresce linearmente. A corrente do diodo D_{S2} é responsável por carregar o capacitor C_o e alimentar a carga, no caso o arranjo de LEDs. As tensões sobre os diodos D_{S1} e D_{S2} que estão conduzindo é nula, já sobre o interruptor S (V_S), os diodos D_{n1} (V_{Dn1}) e D_{n2} (V_{Dn2}) obedecem às relações (3.12), (3.14), (3.16) e (3.18).

A análise do circuito equivalente desta etapa, possibilita escrever as seguintes relações:

$$V_{in_ret}(\omega t) - L_1 \cdot \frac{di_{L1}(t)}{dt} - \langle V_{CS1}(\omega t) \rangle_{T_s} - V_{Bus} = 0 \quad (3.11)$$

$$\frac{di_{L1}(t)}{dt} = \frac{V_{in_ret}(\omega t) - \langle V_{CS1}(\omega t) \rangle_{T_s} - V_{Bus}}{L_1}$$

$$V_{in_ret}(\omega t) - L_1 \cdot \frac{di_{L1}(t)}{dt} - V_{Dn1} - V_S = 0 \quad (3.12)$$

$$V_S = \langle V_{CS1}(\omega t) \rangle_{T_s} + V_{Bus} - V_{Dn1}$$

$$-L_2 \cdot \frac{di_{L2}(t)}{dt} - V_{Bus} = 0 \quad (3.13)$$

$$\frac{di_{L2}(t)}{dt} = \frac{-V_{Bus}}{L_2}$$

$$V_S + V_{Dn1} - \langle V_{CS1}(\omega t) \rangle_{T_s} - L_2 \cdot \frac{di_{L2}(t)}{dt} = 0 \quad (3.14)$$

$$V_S = \langle V_{CS1}(\omega t) \rangle_{T_s} + V_{Bus} - V_{Dn1}$$

$$V_{Bus} - L_3 \cdot \frac{di_{L3}(t)}{dt} - V_{CS2} - V_{Co} = 0 \quad (3.15)$$

$$\frac{di_{L3}(t)}{dt} = \frac{V_{Bus} - V_{CS2} - V_{Co}}{L_3}$$

$$V_{Bus} - L_3 \cdot \frac{di_{L3}(t)}{dt} - V_{Dn2} - V_S = 0 \quad (3.16)$$

$$V_S = V_{CS2} + V_{Co} - V_{Dn2}$$

$$-L_4 \cdot \frac{di_{L4}(t)}{dt} - V_{Co} = 0 \quad (3.17)$$

$$\frac{di_{L4}(t)}{dt} = \frac{-V_{Co}}{L_4}$$

$$V_S + V_{Dn2} - V_{CS2} - L_4 \cdot \frac{di_{L4}(t)}{dt} = 0 \quad (3.18)$$

$$V_S = V_{CS2} + V_{Co} - V_{Dn2}$$

Além disso, o instante final (t_2) e o intervalo de tempo (Δt_{2_MCD}) correspondentes a esta etapa, são dados por (3.19) e (3.20), respectivamente:

$$t_2 = (D + D_2)T_s \quad (3.19)$$

Sendo que D_2 é a razão cíclica relativa à segunda etapa de operação.

$$\Delta t_{2_MCD} = t_2 - t_1 = D_2 \cdot T_s \quad (3.20)$$

O fim da segunda etapa de operação ocorre quando as correntes dos indutores L_1 e L_2 se tornam iguais em módulo, com sentidos opostos. Ou seja, a corrente que circula por L_1 se torna a

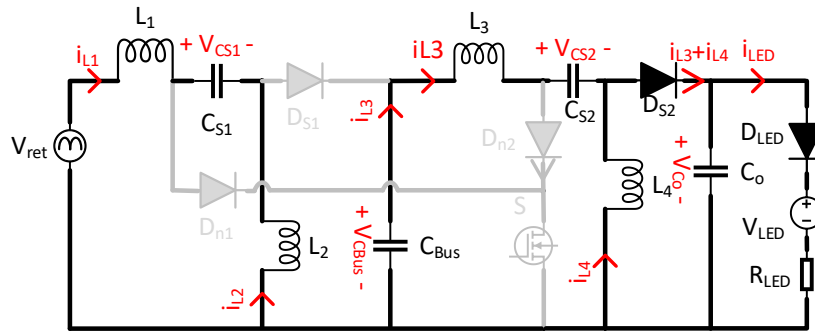
mesma que circula por L_2 , com sentido oposto. Neste instante definido como t_2 , a corrente que circula por D_{S1} se anula e a polarização reversa realiza o bloqueio do mesmo, originando a terceira etapa de operação.

O segundo estágio do conversor proposto opera em MCC, por isso os indutores L_3 e L_4 continuam com o mesmo comportamento, até o instante em que termina o período de comutação (t_3) e o reinício da primeira etapa. Seu intervalo de tempo (Δt_{2_MCC}) é definido pela equação (3.21)

$$\Delta t_{2_MCC} = t_3 - t_1 = (1 - D) \cdot T_s \quad (3.21)$$

Terceira etapa (t_2, t_3): (etapa de roda livre) inicia-se no instante t_2 , momento em que as correntes dos indutores L_1 e L_2 se tornam iguais em módulo, com sentidos opostos. Esta corrente é conhecida como corrente de circulação do indutor L_1 (I_{L1_0}). O interruptor compartilhado S continua em bloqueio, assim como os diodos D_{n1} e D_{n2} . A corrente do diodo D_{S1} se torna nula e a polarização reversa ocasiona seu bloqueio. A corrente que circula pelo diodo D_{S2} , continua sendo a soma das correntes dos indutores L_3 e L_4 . O funcionamento de seu circuito, bem como os sentidos das correntes e sinais de tensões adotados na análise, são representados na Figura 3.7.

Figura 3.7 - Terceira etapa de operação.



Fonte: Elaborado pelo autor.

Nesta etapa, a corrente que circula pelo indutor L_2 é constante e igual em módulo à corrente que circula por L_1 (I_{L1_0}), pode ser definida de acordo com (3.23). Como a corrente que circula pelos indutores nesta etapa é constante (não varia), a tensão sobre eles é nula, como representa (3.22). Com o diodo D_{S1} está em bloqueio, o capacitor C_{Bus} é responsável por alimentar o segundo estágio, que por operar em MCC, continua com o mesmo comportamento e equações apresentadas na segunda etapa.

$$\frac{di_L(t)}{dt} = 0 \Rightarrow V_{L_3} = L \cdot \frac{di_L(t)}{dt} = 0 \quad (3.22)$$

$$I_{L2_3} = I_{L2_0} = -I_{L1_0} \quad (3.23)$$

A tensão sobre o interruptor S e o diodo D_{n1} obedecem às relações (3.25) e (3.26). Já a tensão sobre o diodo D_{S1} , é definida por (3.27).

A análise do circuito equivalente desta etapa, possibilita escrever as seguintes equações:

$$V_{in_ret}(\omega t) - L_1 \cdot \frac{di_{L1}(t)}{dt} - \langle V_{CS1}(\omega t) \rangle_{T_s} + L_2 \cdot \frac{di_{L2}(t)}{dt} = 0 \quad (3.24)$$

$$\langle V_{CS1}(\omega t) \rangle_{T_s} = V_{in_ret}(\omega t)$$

$$V_{in_ret}(\omega t) - L_1 \cdot \frac{di_{L1}(t)}{dt} - V_{Dn1} - V_S = 0 \quad (3.25)$$

$$V_S = V_{in_ret}(\omega t) - V_{Dn1}$$

$$V_S + V_{Dn1} - \langle V_{CS1}(\omega t) \rangle_{T_s} + L_2 \cdot \frac{di_{L2}(t)}{dt} = 0 \quad (3.26)$$

$$V_S = \langle V_{CS1}(\omega t) \rangle_{T_s} - V_{Dn1}$$

$$-L_2 \cdot \frac{di_{L2}(t)}{dt} - V_{DS1} - V_{Bus} = 0 \quad (3.27)$$

$$V_{DS1} = -V_{Bus}$$

Além disso, o instante final do período de comutação (t_3) e o intervalo de tempo correspondente a esta etapa (Δt_3) são definidos por (3.28) e (3.29), respectivamente.

$$t_3 = T_s \quad (3.28)$$

$$\Delta t_3 = t_3 - t_2 = D_3 \cdot T_s = (1 - D - D_2) \cdot T_s \quad (3.29)$$

em que D_3 é a razão cíclica relativa a terceira etapa.

O período de comutação termina no instante t_3 , quando o interruptor S é novamente comandado a conduzir, reiniciando o processo a partir da primeira etapa de operação.

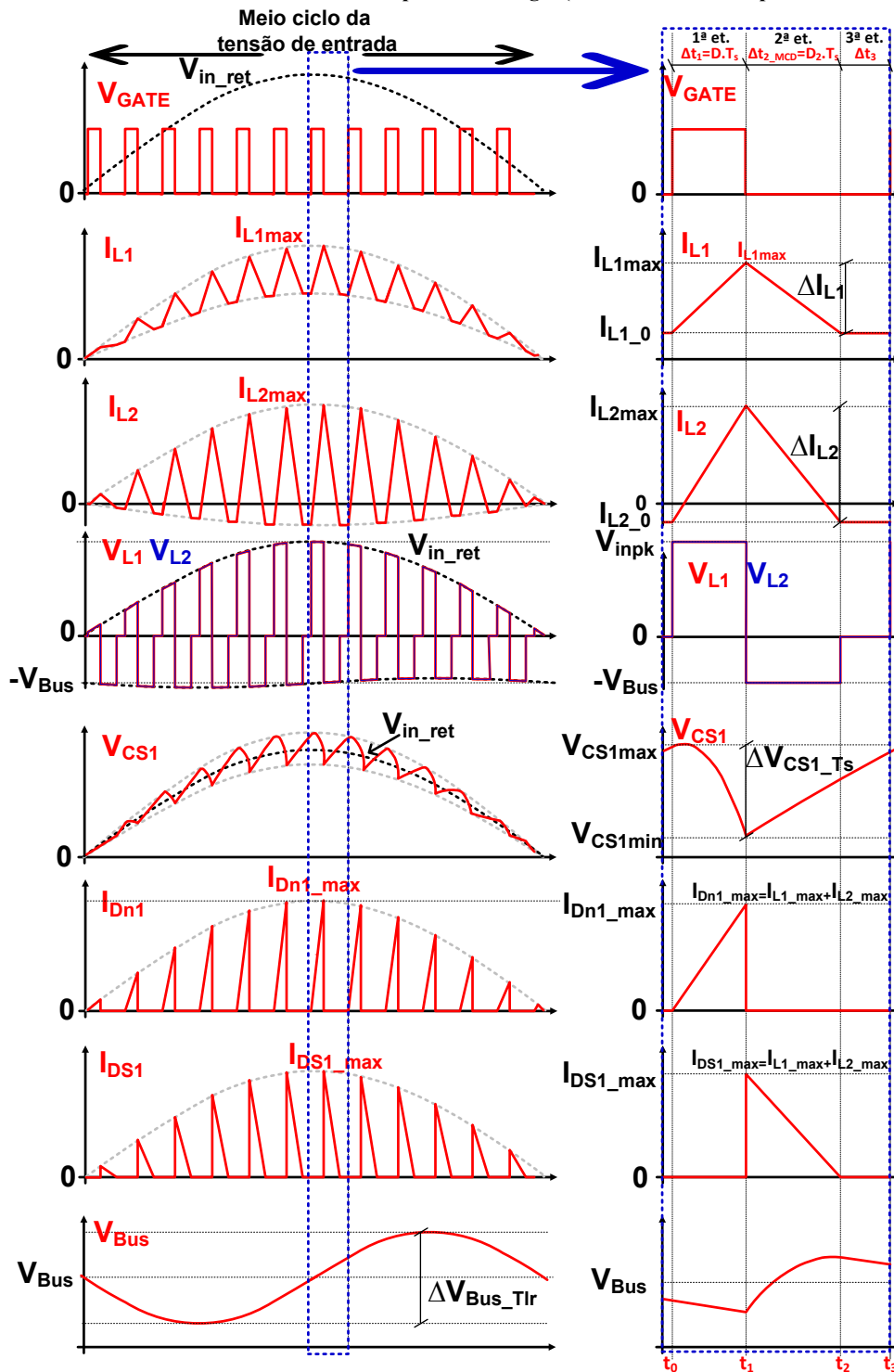
As principais formas de onda teóricas para o conversor CA-CC SEPIC quadrático são ilustradas pelas Figura 3.8, Figura 3.9 e Figura 3.10. Este conversor tem o primeiro estágio formado por um retificador SEPIC operando em MCD, responsável pelo CFP e no segundo estágio um conversor SEPIC CC-CC, operando em MCC, responsável pelo controle de potência entregue à carga. As figuras possuem um detalhe à esquerda que ilustra meio ciclo da tensão de entrada, representado por um período da tensão de entrada retificada (T_{lr}) e à direita um detalhe de um período T_s , em que a tensão de entrada está em seu pico.

A Figura 3.8 apresenta as formas de onda relativas ao primeiro estágio em que: V_{GATE} é o sinal aplicado no gatilho do interruptor; I_{L1} , I_{L2} são as correntes nos respectivos indutores; V_{L1} e V_{L2} são as tensões nos respectivos indutores; V_{CS1} e V_{Bus} são as tensões sobre os capacitores C_{S1} e C_{Bus} , respectivamente; I_{Dn1} e I_{DS1} são as correntes nos diodos D_{n1} e D_{S1} , respectivamente; ΔV_{Bus_Tlr} é a ondulação de tensão sobre o capacitor C_{Bus} , em um período T_{lr} e $\Delta V_{CS1_T_s}$ é a ondulação de tensão sobre o capacitor C_{S1} , em um período T_s .

A Figura 3.9 apresenta as formas de onda relativas ao segundo estágio do conversor proposto, em que: V_{GATE} é o sinal aplicado ao gatilho do interruptor; I_{L3} e I_{L4} são as correntes nos respectivos indutores; V_{L3} e V_{L4} são as tensões nos respectivos indutores; V_{CS2} é a tensão sobre o

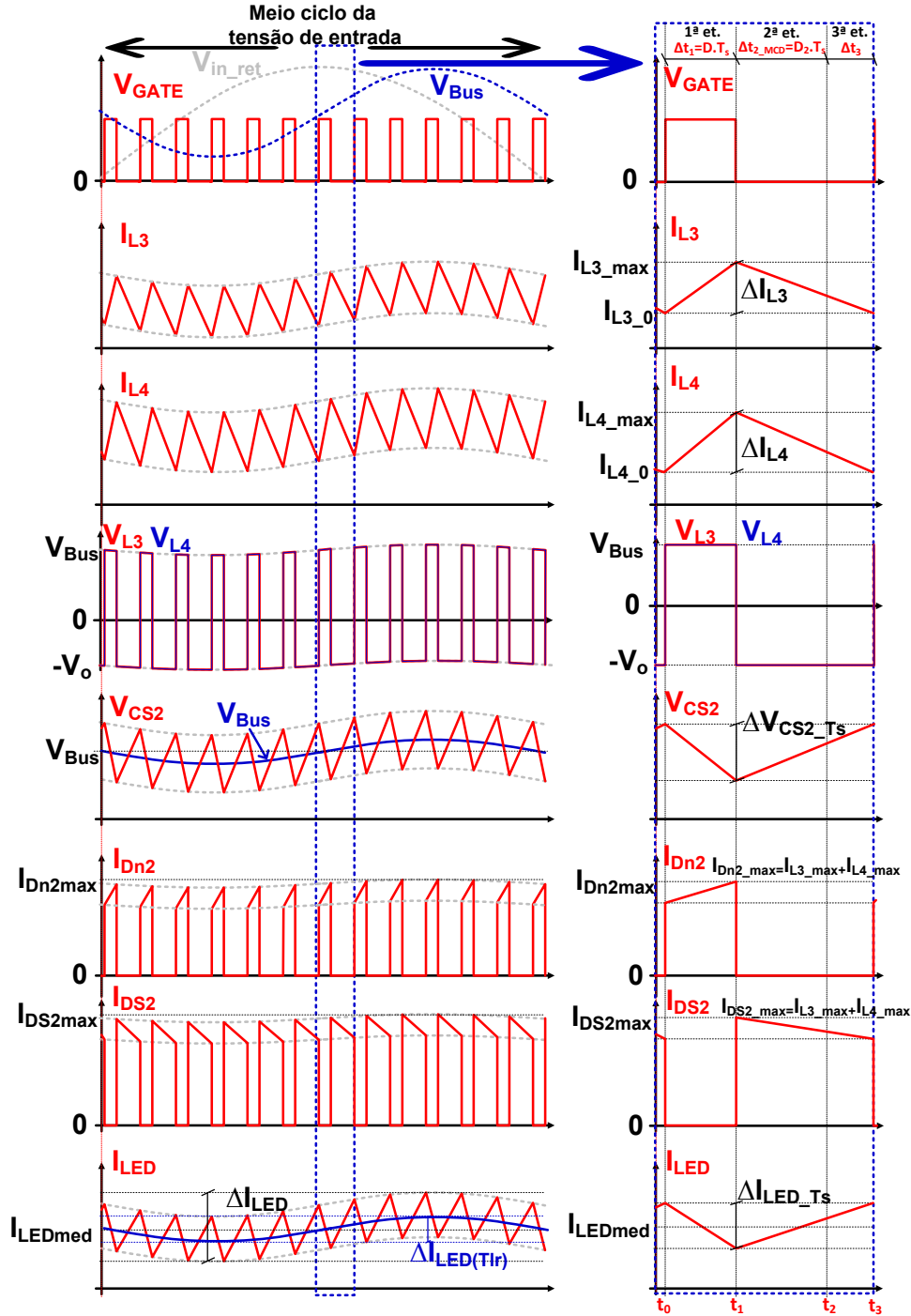
capacitor C_{S2} ; ΔV_{CS2_Ts} é a ondulação de tensão sobre C_{S2} em um período T_s ; I_{Dn2} e I_{DS2} são as correntes nos diodos D_{n2} e D_{S2} respectivamente; I_{LED} é a corrente na carga; ΔI_{LED_Ts} é a ondulação de corrente em um período e T_s no arranjo de LEDs e ΔI_{LED} é a ondulação de corrente em um período T_{lr} no arranjo de LEDs, vale ressaltar que esta ondulação é a soma da ondulação em alta frequência com a ondulação em baixa frequência.

Figura 3.8 - Formas de onda características do primeiro estágio (retificador SEPIC operando em MCD).



Fonte: Elaborado pelo autor.

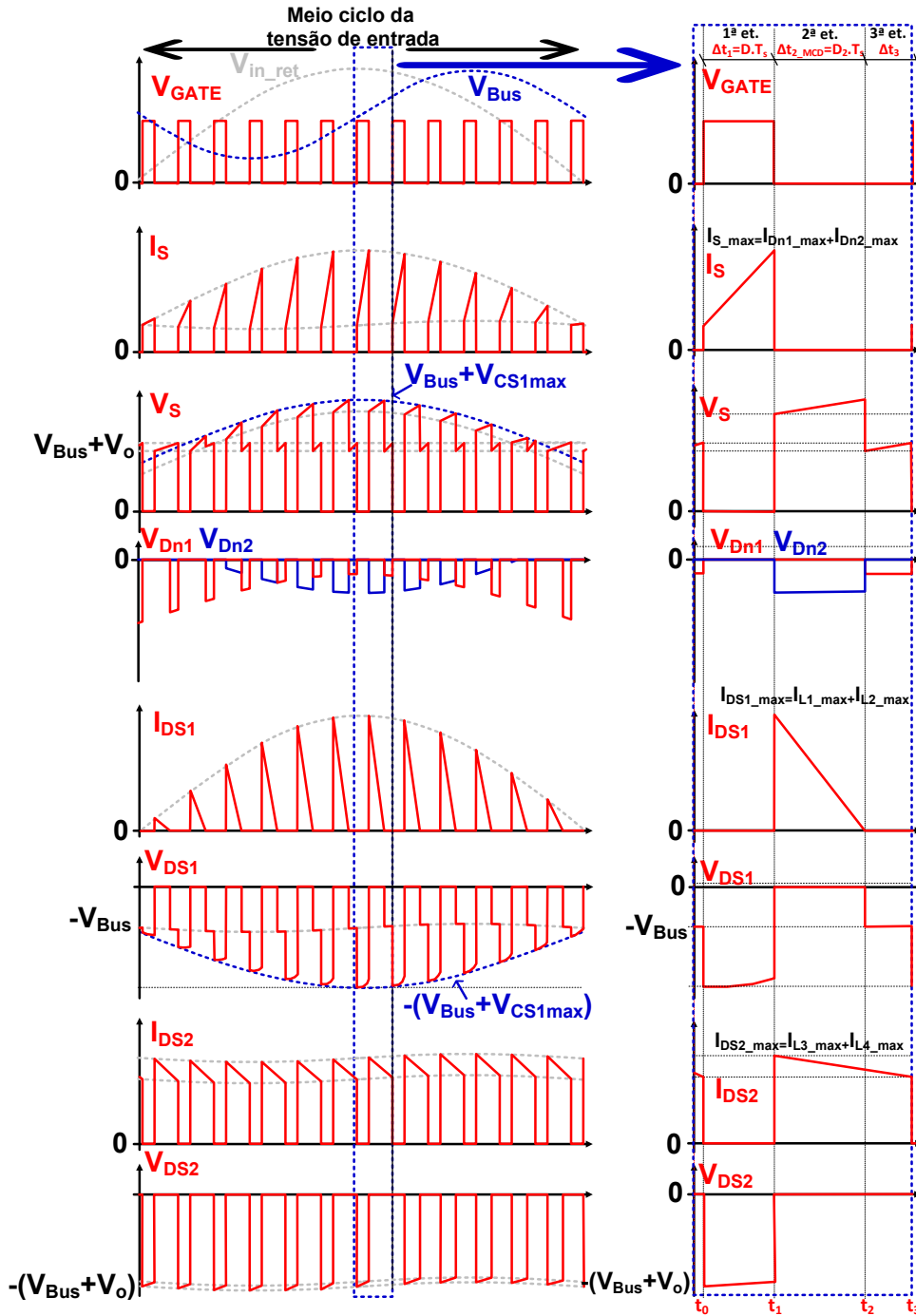
Figura 3.9 - Formas de onda característica do segundo estágio SEPIC operando em MCC.



Fonte: Elaborado pelo autor.

A Figura 3.10 apresenta as formas de onda relativas aos esforços de corrente e tensão dos semicondutores utilizados no conversor proposto, em que: V_{GATE} é o sinal aplicado ao gatilho do interruptor; I_S , I_{DS1} e I_{DS2} são, respectivamente, as correntes do interruptor S , diodos $DS1$ e $DS2$; V_S , V_{Dn1} , V_{Dn2} , V_{DS1} e V_{DS2} são, respectivamente, as tensões sobre o interruptor S e os diodos D_{n1} , D_{n2} , $DS1$ e $DS2$.

Figura 3.10 - Formas de ondas características dos semicondutores utilizados no conversor proposto.



Fonte: Elaborado pelo autor.

3.2.2 Análise Quantitativa

Sabendo que, em regime permanente, as tensões médias nos indutores L_1, L_2, L_3 e L_4 são consideradas nulas; os capacitores C_{S1}, C_{Bus}, C_{S2} e C_o são considerados suficientemente grandes para manter as tensões constantes durante um período de comutação e considerando que a contagem de tempo se inicia em $t_0 = 0$ s, definem-se as seguintes equações:

$$\langle v_{L1} \rangle_{T_s} = L_1 \frac{di_{L1}}{dt} = \frac{1}{T_s} \left(\int_{t_0}^{t_1} V_{in_ret}(\omega t) \cdot dt + \int_{t_1}^{t_2} V_{in_ret}(\omega t) - \langle V_{CS1}(\omega t) \rangle_{T_s} - V_{Bus} \cdot dt + \int_{t_2}^{t_3} 0 \cdot dt \right) = 0 \quad (3.30)$$

$$\langle v_{L2} \rangle_{T_s} = L_2 \frac{di_{L2}}{dt} = \frac{1}{T_s} \left(\int_{t_0}^{t_1} \langle V_{CS1}(\omega t) \rangle_{T_s} \cdot dt + \int_{t_1}^{t_2} -V_{Bus} \cdot dt + \int_{t_2}^{t_3} 0 \cdot dt \right) = 0 \quad (3.31)$$

$$\langle v_{L3} \rangle_{T_s} = L_3 \frac{di_{L3}}{dt} = \frac{1}{T_s} \left(\int_{t_0}^{t_1} V_{Bus} \cdot dt + \int_{t_1}^{t_3} V_{Bus} - V_{CS2} - V_{Co} \cdot dt \right) = 0 \quad (3.32)$$

$$\langle v_{L4} \rangle_{T_s} = L_4 \frac{di_{L4}}{dt} = \frac{1}{T_s} \left(\int_{t_0}^{t_1} V_{CS2} \cdot dt + \int_{t_1}^{t_3} -V_{Co} \cdot dt \right) = 0 \quad (3.33)$$

Substituindo os instantes de tempo (3.9), (3.19) e (3.28) nas equações (3.30) e (3.31), pode-se resolvê-las e obter (3.34) e (3.35), respectivamente.

$$(V_{in_ret}(\omega t)) \cdot (D + D_2) - (V_{Bus} + \langle V_{CS1}(\omega t) \rangle_{T_s}) \cdot D_2 = 0 \quad (3.34)$$

$$\langle V_{CS1}(\omega t) \rangle_{T_s} \cdot D - V_{Bus} \cdot (D_2) = 0 \quad (3.35)$$

Substituindo V_{CBus} de acordo com (3.35) em (3.34) e isolando V_{CS1} , obtêm-se:

$$(V_{in_ret}(\omega t)) \cdot (D + D_2) - \left(\frac{\langle V_{CS1}(\omega t) \rangle_{T_s} \cdot D}{D_2} + \langle V_{CS1}(\omega t) \rangle_{T_s} \right) \cdot D_2 = 0 \quad (3.36)$$

$$\langle V_{CS1}(\omega t) \rangle_{T_s} = V_{in_ret}(\omega t)$$

Substituindo (3.36) em (3.35) e isolando V_{CBus} , obtêm-se:

$$V_{Bus} = V_{in_ret}(\omega t) \cdot \frac{D}{D_2} \quad (3.37)$$

Assim, o ganho estático do retificador operando em MCD (G_{ret_MCD}) pode ser definido como:

$$G_{ret_MCD} = \frac{V_{Bus}}{V_{in_ret}(\omega t)} = \frac{D}{D_2} \quad (3.38)$$

Substituindo os instantes de tempo (3.9) e (3.28) nas equações (3.32) e (3.33) e resolvendo-as, obtêm-se, (3.39) e (3.40), respectivamente.

$$V_{CBus} - (V_{CS2} + V_{Co}) \cdot (1 - D) = 0 \quad (3.39)$$

$$V_{CS2} \cdot D - V_{Co} \cdot (1 - D) = 0 \quad (3.40)$$

Substituindo V_{CS2} de acordo com (3.40) em (3.39) e isolando V_{Co} , encontra-se (3.41).

$$(V_{Bus}) \cdot (D) - \left(V_{Co} \cdot \frac{D}{1-D} + V_{Co} \right) \cdot (1-D) = 0 \quad (3.41)$$

$$V_{Co} = V_{Bus} \cdot \frac{D}{1-D}$$

Ao manipular a expressão (3.41), encontra-se (3.42), que define o ganho do conversor SEPIC operando em MCC (G_{MCC}).

$$G_{MCC} = \frac{V_{Co}}{V_{Bus}} = \frac{D}{1-D} \quad (3.42)$$

Sabendo que em regime permanente, pode-se desprezar a ondulação de tensão no capacitor C_{S2} . Substituindo (3.41) em (3.40), isolando V_{CS2} e simplificando, obtêm-se:

$$V_{CS2} = V_{Bus} \quad (3.43)$$

É importante definir o comportamento das correntes dos indutores, em relação ao tempo. Como o circuito analisado já se encontra em regime permanente, ao início da primeira etapa de operação, todos os indutores já possuem uma corrente inicial, conhecida como corrente de circulação do indutor n (I_{Ln_0}).

Substituindo V_{CS1} e V_{CS2} , de acordo com (3.36) e (3.43) em (3.3), (3.4), (3.6) e (3.7), isolando as correntes dos indutores e somando as corrente iniciais, obtêm-se, sequencialmente, as equações (3.44), (3.45), (3.46) e (3.47); que representam o comportamento das correntes dos indutores L_1, L_2, L_3 e L_4 , durante a primeira etapa de operação.

$$i_{L1_1}(t) = I_{L1_0} + \frac{V_{in_ret}(\omega t)}{L_1} \cdot t; \quad \text{para } 0 < t \leq t_1 \quad (3.44)$$

em que $i_{Ln_m}(t)$, representa a corrente instantânea do indutor L_n durante a etapa de operação m .

$$i_{L2_1}(t) = I_{L2_0} + \frac{V_{in_ret}(\omega t)}{L_2} \cdot t; \quad \text{para } 0 < t \leq t_1 \quad (3.45)$$

$$i_{L3_1}(t) = I_{L3_0} + \frac{V_{CBus}}{L_3} \cdot t; \quad \text{para } 0 < t \leq t_1 \quad (3.46)$$

$$i_{L4_1}(t) = I_{L4_0} + \frac{V_{CBus}}{L_4} \cdot t; \quad \text{para } 0 < t \leq t_1 \quad (3.47)$$

Ao início da segunda etapa de operação, todos os indutores já possuem uma corrente, que pode ser representada como $i_{Ln_1}(t_1)$. Então, isolando as correntes dos indutores em (3.11) e (3.13), aplicando o intervalo de tempo definido por (3.20) e somando o valor inicial, obtêm-se respectivamente, (3.48) e (3.49), que representam o comportamento das correntes dos indutores do primeiro estágio (L_1 e L_2) durante a segunda etapa de operação.

$$i_{L1_2}(t) = i_{L1_1}(t_1) - \frac{V_{CBus}}{L_1} \cdot (t - t_1); \quad \text{para } t_1 < t \leq t_2 \quad (3.48)$$

$$i_{L2_2}(t) = i_{L2_1}(t_1) - \frac{V_{CBus}}{L_2} \cdot (t - t_1); \text{ para } t_1 < t \leq t_2 \quad (3.49)$$

Isolando as correntes dos indutores em (3.15) e (3.17), aplicando o intervalo de tempo (3.21) e somando o valor inicial das correntes destes indutores, obtêm-se, respectivamente, (3.50) e (3.51). Equações que representam o comportamento das correntes dos indutores do segundo estágio (L_3 e L_4) durante a segunda etapa de operação.

$$i_{L3_2}(t) = i_{L3_1}(t_1) - \frac{V_{Co}}{L_3} \cdot (t - t_1); \text{ para } t_1 < t \leq t_3 \quad (3.50)$$

$$i_{L4_2}(t) = i_{L4_1}(t_1) - \frac{V_{Co}}{L_4} \cdot (t - t_1); \text{ para } t_1 < t \leq t_3 \quad (3.51)$$

A corrente que circula pelos indutores do primeiro estágio (L_1 e L_2), durante a terceira etapa de operação, é definida de acordo com (3.23), considerada constante (não varia) e igual em módulo. Ou seja, a corrente que circula pelos indutores é a mesma apenas com sentido oposto e pode ser reescrita de acordo com (3.52) e (3.53).

$$i_{L1_3}(t) = I_{L1_0}; \text{ para } t_2 < t \leq t_3 \quad (3.52)$$

$$i_{L2_3}(t) = I_{L2_0} = -I_{L1_0}; \text{ para } t_2 < t \leq t_3 \quad (3.53)$$

Analisando o circuito do conversor proposto presente na Figura 3.4, nota-se que toda a corrente que alimenta o segundo estágio flui pelo diodo D_{S1} . Admitindo que o capacitor C_{Bus} seja grande suficiente para manter constante a tensão de barramento, durante todo o período T_s , conclui-se que toda a componente alternada da corrente do diodo D_{S1} deve circular pelo capacitor C_{Bus} e a corrente média do diodo D_{S1} deve circular por L_3 (entrada do segundo estágio).

O diodo D_{S1} conduz apenas durante a segunda etapa de operação. Analisando o circuito desta etapa representado pela Figura 3.6, verifica-se que a corrente no diodo D_{S1} é a soma das correntes presentes nos indutores L_1 e L_2 e seu comportamento pode ser representado por (3.54). A expressão (3.55) é utilizada para determinar a corrente média sobre o diodo D_{S1} em um período T_s ($I_{L3}(med)_{T_s}$)

$$i_{DS1_2}(t) = i_{L1_2}(t) + i_{L2_2}(t) \quad (3.54)$$

$$\begin{aligned} \langle I_{L3} \rangle_{T_s} = \langle I_{DS1} \rangle_{T_s} &= \frac{1}{T_s} \cdot \int_0^{t_1} 0 dt + \frac{1}{T_s} \cdot \int_{t_1}^{t_2} (i_{L1_2}(t) + i_{L2_2}(t)) dt + \frac{1}{T_s} \cdot \int_{t_2}^{t_3} 0 dt \\ \langle I_{L3} \rangle_{T_s} = \langle I_{DS1} \rangle_{T_s} &= \frac{1}{T_s} \cdot \int_0^{t_1} 0 dt + \frac{1}{T_s} \cdot \int_{t_1}^{t_2} (i_{L1_2}(t) + i_{L2_2}(t)) dt + \frac{1}{T_s} \cdot \int_{t_2}^{t_3} 0 dt \end{aligned} \quad (3.55)$$

sendo que, $\langle I_n \rangle_m$, indica a corrente média do componente n durante um período m .

A expressão (3.56) determina a corrente média do diodo de saída do primeiro estágio, em um período T_s . Esta expressão resulta da substituição de (3.48), (3.49), (3.23), (3.9), (3.19), (3.28) e D_2 de acordo com (3.37) em (3.55).

$$\begin{aligned}\langle I_{L3} \rangle_{T_s} &= \langle I_{DS1} \rangle_{T_s} = \frac{(V_{in_ret}(\omega t))^2 \cdot D \cdot T_s}{2 \cdot V_{Bus}} \cdot \left(\frac{1}{L_1} + \frac{1}{L_2} \right) \\ \langle I_{L3} \rangle_{T_s} &= \langle I_{DS1} \rangle_{T_s} = \frac{(V_{in_ret}(\omega t))^2 \cdot D \cdot T_s}{2 \cdot V_{Bus}} \cdot \left(\frac{1}{L_1} + \frac{1}{L_2} \right) \\ \langle I_{L3} \rangle_{T_s} &= \langle I_{DS1} \rangle_{T_s} = \frac{(V_{in_ret}(\omega t))^2 \cdot D \cdot T_s}{2 \cdot V_{Bus} \cdot L_{eq}}.\end{aligned}\quad (3.56)$$

em que o paralelo dos indutores, pode ser substituído por um indutor equivalente (L_{eq}), de acordo com (3.57).

$$\frac{1}{L_1} + \frac{1}{L_2} = \frac{1}{L_{eq}} \text{ ou ainda } L_{eq} = \frac{L_1 \cdot L_2}{L_1 + L_2} \quad (3.57)$$

Substituindo (3.1) em (3.56) obtém-se:

$$\langle I_{DS1}(\omega t) \rangle_{T_s} = \frac{(|V_{inpk} \cdot \text{sen}(\omega t)|)^2 \cdot D \cdot T_s}{2 \cdot V_{Bus} \cdot L_{eq}}. \quad (3.58)$$

A expressão (3.59) representa o valor da corrente média do diodo de saída, em um período T_{tr} ($\langle I_{DS1} \rangle_{T_{tr}}$) (Simonetti *et al.*, 1997; Tibola, 2013). Essa equação resulta da integral de (3.58), em um período da tensão de entrada retificada.

$$\begin{aligned}\langle I_{DS1} \rangle_{T_{tr}} &= \frac{1}{\pi} \cdot \int_0^{\pi} \left(\frac{(|V_{inpk} \cdot \text{sen}(\omega t)|)^2}{2 \cdot V_{Bus} \cdot L_{eq}} \cdot D^2 \cdot T_s \right) dt \\ \langle I_{DS1} \rangle_{T_{tr}} &= \langle I_{L3} \rangle_{T_{tr}} = \frac{V_{inpk}^2}{4 \cdot V_{Bus} \cdot L_{eq}} \cdot D^2 \cdot T_s\end{aligned}\quad (3.59)$$

O valor médio da corrente de saída do primeiro estágio também pode ser definido por:

$$\langle I_{DS1} \rangle_{T_{tr}} = \frac{V_{Bus}}{R_{S2}} \quad (3.60)$$

em que R_{S2} é a resistência equivalente à entrada do segundo estágio.

Substituindo (3.60) em (3.59) e isolando V_{Bus} , obtém-se:

$$V_{Bus} = V_{inpk} \cdot D \cdot \sqrt{\frac{R_{S2} \cdot T_s}{4 \cdot L_{eq}}} \quad (3.61)$$

Como o ganho estático e a relação entre a tensão de saída e entrada, manipulando a equação (3.61), encontra-se, o ganho estático do retificador SEPIC operando em MCD (G_{ret_MCD}):

$$G_{ret_MCD} = \frac{V_{CBus}}{V_{inpk}} = D \cdot \sqrt{\frac{R_{S2} \cdot T_s}{4 \cdot L_{eq}}} \quad (3.62)$$

O balanço de energia entre entrada e saída do segundo estágio pode ser representado por (3.63).

$$P_{Bus} = P_o \Leftrightarrow \frac{V_{Bus}^2}{R_{S2}} = \frac{V_o^2}{R_o} \quad (3.63)$$

em que: P_{Bus} é a potência média do barramento; P_o é a potência média de saída; R_o é a resistência equivalente à carga.

Substituindo V_{Bus} de acordo com (3.41) em (3.63) e isolando R_{S2} , encontra-se (3.64).

$$R_{S2} = R_o \cdot \left(\frac{1-D}{D} \right)^2 \quad (3.64)$$

Substituindo V_{Bus} e R_{S2} de acordo com (3.41) e (3.64) em (3.62) e realizando as devidas simplificações, encontra-se (3.65). Equação que define o ganho estático do conversor proposto (G).

$$\frac{V_o \cdot \left(\frac{1-D}{D} \right)}{V_{inpk}} = D \cdot \sqrt{\frac{R_o \cdot \left(\frac{1-D}{D} \right)^2 \cdot T_s}{4 \cdot L_{eq}}} \quad (3.65)$$

$$G = \frac{V_o}{V_{inpk}} = D \cdot \sqrt{\frac{R_o \cdot T_s}{4 \cdot L_{eq}}}$$

Pelo balanço de energia do primeiro estágio, tem-se:

$$P_{in} = P_{Bus} \quad (3.66)$$

$$v_{in}(\omega t) \cdot i_{in}(\omega t) = V_{Bus} \cdot \langle I_{DS1}(\omega t) \rangle_{T_s}$$

em que: P_{in} é a potência de entrada; $v_{in}(\theta)$ é a tensão de entrada ao longo de um período T_{lr} ; $i_{in}(\theta)$ é a corrente de entrada ao longo de um período T_{lr} .

Substituindo (3.58) e (3.1) em (3.66), isolando $(i_{in}(\theta))$ e realizando as devidas simplificações, obtém-se (3.67). Expressão que define o comportamento da corrente de entrada ao longo de um período T_{lr} .

$$i_{in}(\omega t) = \frac{V_{inpk} \cdot |\text{sen}(\omega t)|}{2 \cdot L_{eq}} \cdot D^2 \cdot T_s \quad (3.67)$$

A corrente de entrada deve seguir a tensão de entrada, que atinge seu máximo valor quando o ângulo θ é 90° ($\pi/2$). Então ao substituir θ por 90° em (3.67), obtém-se (3.68). Equação que define a corrente de pico na entrada do conversor proposto (I_{inpk}).

$$I_{inpk} = \frac{V_{inpk}}{2 \cdot L_{eq}} \cdot D^2 \cdot T_s \quad (3.68)$$

Para estabelecer o limite da descontinuidade do conversor proposto, são necessárias algumas considerações. Ao final da segunda etapa, instante de tempo t_2 , as correntes nos indutores do primeiro estágio se tornam iguais em módulo, com sinais opostos, como representa (3.53). Assim ao substituir (3.48), (3.49) e o instante de tempo t_2 de acordo com (3.20) em (3.53), obtém-se:

$$\begin{aligned} i_{L1_2}(t_2) &= -i_{L2_2}(t_2) \\ i_{L1_1}(t_1) - \frac{V_{CBus}}{L_1} \cdot (\Delta t_{2_MCD}) &= - \left(i_{L2_1}(t_1) - \frac{V_{CBus}}{L_2} \cdot (\Delta t_{2_MCD}) \right) \end{aligned} \quad (3.69)$$

Substituindo (3.44), (3.45), (3.53) e (3.9) em (3.69), isolando Δt_{2_MCD} e realizando as devidas simplificações, obtém-se:

$$\begin{aligned} \left(I_{L1_0} + \frac{V_{in_ret}(\omega t)}{L_1} \cdot D \cdot T_s \right) &= - \left(I_{L2_0} + \frac{V_{in_ret}(\omega t)}{L_2} \cdot D \cdot T_s \right) \\ \left(-\frac{V_{Bus}}{L_1} \cdot (\Delta t_{2_MCD}) \right) &= \left(-\frac{V_{Bus}}{L_2} \cdot (\Delta t_{2_MCD}) \right) \end{aligned} \quad (3.70)$$

$$\Delta t_{2_MCD} = \frac{V_{in_ret}(\omega t)}{V_{Bus}} \cdot D \cdot T_s$$

Substituindo V_{in_ret} de acordo com (3.1) em (3.70), encontra-se (3.71). Equação que define o intervalo de tempo Δt_{2_MCD} , em relação ao ângulo θ da tensão de entrada.

$$\Delta t_{2_MCD}(\omega t) = \frac{|V_{inpk} \cdot \text{sen}(\omega t)|}{V_{Bus}} \cdot D \cdot T_s \quad (3.71)$$

Como estabelecido em (3.71) o valor de Δt_2 varia ao longo de um período T_{ir} , seu valor acompanha a tensão de entrada. Seu máximo valor é estabelecido quando a tensão de entrada atinge o pico, ângulo $\theta = 90^\circ$ ou $\pi/2$.

$$\Delta t_{2_MCD} \left(\frac{\pi}{2} \right) = \frac{|V_{inpk} \cdot \text{sen} \left(\frac{\pi}{2} \right)|}{V_{Bus}} \cdot D \cdot T_s = \frac{V_{inpk}}{V_{Bus}} \cdot D \cdot T_s \quad (3.72)$$

O limite da descontinuidade ocorre quando o intervalo de tempo Δt_3 tende a zero. Assim Δt_{2_MCD} tenderá à razão cíclica complementar $(1-D) \cdot T_s$.

$$\Delta t_1 + \Delta t_{2_MCD} = T_s \quad (3.73)$$

Substituindo (3.9) e (3.72) em (3.73) e isolando a razão cíclica (D), encontra-se (3.74). A equação que define a razão cíclica crítica (D_{crit}) para o primeiro estágio é:

$$D_{crit} = \frac{V_{Bus}}{V_{Bus} + V_{inpk}} \quad (3.74)$$

3.2.3 Correntes nos Indutores

A partir das formas de onda das correntes nos indutores e das já conhecidas expressões que as representa em cada etapa de operação. Obtêm-se as expressões que definem a variação de corrente, a máxima corrente, a corrente média e eficaz a que os indutores são submetidos.

As correntes máximas dos indutores L_1 ($I_{L1(max)}$) e L_2 ($I_{L2(max)}$) são encontradas ao final da primeira etapa de operação. Podem ser estabelecidas através da substituição do instante de tempo t_1 , definido por (3.9) e o pico da tensão de entrada, definido por (3.1), com ângulo θ de 90° em (3.44) e (3.45), obtendo-se (3.75) e (3.76), respectivamente.

$$I_{L1(max)} = i_{L1_1}(t_1) = I_{L1_0} + \frac{V_{in_ret}(\omega t)}{L_1} \cdot t_1 \quad (3.75)$$

$$I_{L1(max)} = I_{L1_0} + \frac{V_{inpk}}{L_1} \cdot D \cdot T_s$$

$$I_{L2(max)} = i_{L2_1}(t_1) = I_{L2_0} + \frac{V_{in_ret}(\omega t)}{L_2} \cdot t_1 \quad (3.76)$$

$$I_{L2(max)} = I_{L2_0} + \frac{V_{inpk}}{L_2} \cdot D \cdot T_s$$

As correntes máximas dos indutores L_3 (I_{L3_max}) e L_4 (I_{L4_max}) também são encontradas ao final da primeira etapa de operação. Podem ser estabelecidas através da substituição do instante de tempo t_1 , definido por (3.9) em (3.46) e (3.47), obtendo-se (3.77) e (3.78), respectivamente.

$$I_{L3(max)} = i_{L3_1}(t_1) = I_{L3_0} + \frac{V_{Bus}}{L_3} \cdot t_1 = I_{L3_0} + \frac{V_{Bus}}{L_3} \cdot D \cdot T_s \quad (3.77)$$

$$I_{L4(max)} = i_{L4_1}(t_1) = I_{L4_0} + \frac{V_{Bus}}{L_4} \cdot t_1 = I_{L4_0} + \frac{V_{Bus}}{L_4} \cdot D \cdot T_s \quad (3.78)$$

A ondulação de corrente nos indutores L_1 (ΔI_{L1}) e L_2 (ΔI_{L2}) depende da amplitude da tensão de entrada, tendo seu máximo valor no instante em que a tensão de entrada atinge seu pico, ângulo θ igual a 90° ($\theta = \pi/2$). Estas ondulações podem ser facilmente definidas como a diferença algébrica entre o valor máximo e o mínimo de corrente em cada indutor, obtendo respectivamente, (3.79) e (3.80).

$$\Delta I_{L1} = I_{L1(max)} - I_{L1_0} = \frac{V_{inpk}}{L_1} \cdot D \cdot T_s \quad (3.79)$$

$$\Delta I_{L2} = I_{L2(max)} - I_{L2_0} = \frac{V_{inpk}}{L_2} \cdot D \cdot T_s \quad (3.80)$$

As ondulações de corrente nos indutores L_3 (ΔI_{L3}) e L_4 (ΔI_{L4}) podem ser facilmente definidas como a diferença algébrica entre o valor máximo e o mínimo de corrente em cada indutor, obtendo respectivamente, (3.81) e (3.82).

$$\Delta I_{L3} = I_{L3(\max)} - I_{L3_0} = \frac{V_{Bus}}{L_3} \cdot D \cdot T_s \quad (3.81)$$

$$\Delta I_{L4} = I_{L4(\max)} - I_{L4_0} = \frac{V_{Bus}}{L_4} \cdot D \cdot T_s \quad (3.82)$$

Para calcular os valores médios e eficazes das correntes em um período de comutação (T_s), são utilizadas as seguintes definições (Kazimierczuk, 2015):

$$\langle I_n \rangle_{T_s} = \frac{1}{T_s} \int_0^{T_s} i_n(t) dt \quad (3.83)$$

$$I_{n(ef)T_s} = \sqrt{\frac{1}{T_s} \int_0^{T_s} i_n^2(t) dt} \quad (3.84)$$

sendo que $I_{n(ef)m}$ é a corrente eficaz do componente n em um período m .

Para calcular os valores médios e eficazes das correntes em um período T_{lr} , que tem comportamento senoidal, serão utilizadas as seguintes definições:

$$\langle I_n \rangle_{T_{lr}} = \frac{1}{\pi} \int_0^{\pi} i_{n_med_T_s}(\omega t) dt \quad (3.85)$$

$$I_{n(ef)T_{lr}} = \sqrt{\frac{1}{\pi} \int_0^{\pi} i_{n(ef)T_s}^2(\theta) dt} \quad (3.86)$$

Para determinar a relação entre as correntes dos indutores L_1 e L_2 , é importante obter a expressão que define a corrente de circulação (I_{L1_0}), representada por (3.23). Sabendo que a corrente média do capacitor C_{S1} , em um período de comutação ($\langle I_{CS1} \rangle_{T_s}$), é nula e analisando os circuitos equivalentes das três etapas de operação, representadas pelas Figura 3.5, Figura 3.6 e Figura 3.7, constata-se que a corrente média, em um período de comutação (T_s) em C_{S1} , pode ser definida por (3.87).

$$\langle I_{CS1} \rangle_{T_s} = \frac{1}{T_s} \cdot \left(\int_0^{t_1} -i_{L2_1} dt + \int_{t_1}^{t_2} i_{L1_2} dt + \int_{t_2}^{t_3} i_{L1_3} dt \right) = 0 \quad (3.87)$$

Substituindo (3.9), (3.19), (3.28) e D_2 de acordo com (3.37) em (3.87), resolvendo e isolando I_{L1_0} , obtém-se (3.88). Equação que define o mínimo valor de corrente que circula pelo indutor L_1 (I_{L1_0}), conhecido como corrente de magnetização.

$$I_{L1_0}(\theta) = \frac{V_{in_ret}(\omega t) \cdot D \cdot T_s \cdot (V_{Bus} \cdot L_1 - V_{in_ret}(\omega t) \cdot L_2)}{2 \cdot V_{Bus} \cdot L_1 \cdot L_2} \quad (3.88)$$

A corrente média e eficaz no indutor L_1 , em um período de comutação, é definida aplicando (3.44), (3.48) e (3.52), com seus respectivos instantes de tempo, em (3.83) e (3.84), obtendo respectivamente, (3.89) e (3.90).

$$\langle I_{L1} \rangle_{T_s} = \frac{1}{T_s} \left(\int_0^{t_1} i_{L1_1}(t) dt + \int_{t_1}^{t_2} i_{L1_2}(t) dt + \int_{t_2}^{t_3} i_{L1_3}(t) dt \right) \quad (3.89)$$

$$I_{L1(ef)T_s} = \sqrt{\frac{1}{T_s} \left(\int_0^{t_1} i_{L1_1}(t)^2 dt + \int_{t_1}^{t_2} i_{L1_2}(t)^2 dt + \int_{t_2}^{t_3} i_{L1_3}(t)^2 dt \right)} \quad (3.90)$$

Substituindo (3.9), (3.19), (3.28), (3.88) e D_2 de acordo com (3.37) em (3.89) e (3.90), resolvendo-as, obtêm-se (3.91) e (3.92). Equações que representam respectivamente, o valor médio e eficaz da corrente do indutor L_1 em um período T_s .

$$\langle I_{L1} \rangle_{T_s} = \frac{V_{in_ret}(\omega t) \cdot D^2 \cdot T_s}{2 \cdot L_{eq}} \quad (3.91)$$

$$I_{L1(ef)T_s} = \sqrt{\frac{V_{in_ret}(\omega t)^2 \cdot D^3 \cdot T_s}{12 \cdot V_{Bus}^2 \cdot L_1^2 \cdot L_1^2} \cdot \left[\begin{array}{l} 2 \cdot V_{Bus} \cdot L_2^2 \cdot \left(\frac{V_{in_ret}(\omega t) \cdot (2-3 \cdot D)}{+2 \cdot V_{Bus}} \right) \\ +3 \cdot V_{Bus}^2 \cdot L_1 \cdot D \cdot (2 \cdot L_2 + L_1) \\ -3 \cdot L_2^2 \cdot (V_{in_ret}(\omega t))^2 \cdot D \end{array} \right]} \quad (3.92)$$

Aplicando (3.91) em (3.85), substituindo (3.1) e resolvendo, obtêm-se (3.93). Equação que representa a corrente média do indutor L_1 , em um período da tensão de entrada retificada.

$$\langle I_{L1} \rangle_{T_{ir}} = \frac{1}{\pi} \cdot \int_0^{\pi} \frac{(V_{inpk} \cdot |\text{sen}(\omega t)|) \cdot D^2 \cdot T_s}{2 \cdot L_{eq}} dt \quad (3.93)$$

$$\langle I_{L1} \rangle_{T_{ir}} = \frac{V_{inpk} \cdot D^2 \cdot T_s}{\pi \cdot L_{eq}}$$

Aplicando (3.92) em (3.86), substituindo (3.1) e resolvendo, obtêm-se (3.94). Equação que representa a corrente eficaz do indutor L_1 em um período T_{ir} .

$$I_{L1(ef)T_{ir}} = \sqrt{\frac{V_{inpk} \cdot D^3 \cdot T_s^2}{288 \cdot \pi \cdot V_{Bus}^2 \cdot L_1^2 \cdot L_2^2} \cdot \left[\begin{array}{l} 36 \cdot V_{Bus}^2 \cdot D \cdot L_1 \cdot (2 \cdot L_2 + L_1) \\ +3 \cdot L_2^2 \cdot \left(\begin{array}{l} 16 \cdot V_{Bus}^2 \\ -9 \cdot V_{inpk}^2 \cdot D \end{array} \right) \\ +64 \cdot L_2^2 \cdot V_{Bus} \cdot V_{inpk} \cdot (2-3D) \end{array} \right]} \quad (3.94)$$

A corrente média e eficaz no indutor L_2 , em um período de comutação, é definida aplicando (3.45), (3.49), (3.53) e seus respectivos instantes de tempo em (3.83) e (3.84), obtendo respectivamente, (3.95) e (3.96).

$$\langle I_{L2} \rangle_{T_s} = \frac{1}{T_s} \left(\int_0^{t_1} i_{L2_1}(t) dt + \int_{t_1}^{t_2} i_{L2_2}(t) dt + \int_{t_2}^{t_3} i_{L2_3}(t) dt \right) \quad (3.95)$$

$$I_{L2(ef)T_s} = \sqrt{\frac{1}{T_s} \left(\int_0^{t_1} i_{L2_1}(t)^2 dt + \int_{t_1}^{t_2} i_{L2_2}(t)^2 dt + \int_{t_2}^{t_3} i_{L2_3}(t)^2 dt \right)} \quad (3.96)$$

Substituindo (3.9), (3.19), (3.28), (3.23), (3.88) e D_2 de acordo com (3.37) em (3.95) e (3.96); resolvendo-as, encontra-se (3.97) e (3.98). Equações que representam respectivamente, o valor médio e eficaz da corrente do indutor L_2 , em um período de comutação.

$$\langle I_{L2} \rangle_{T_s} = \frac{V_{in_ret}(\omega t)^2 \cdot D^2 \cdot T_s}{2 \cdot L_{eq} \cdot V_{Bus}} \quad (3.97)$$

$$I_{L2(ef)T_s} = \sqrt{\frac{V_{in_ret}(\omega t)^2 \cdot D^3 \cdot T_s^2}{12 \cdot V_{Bus}^2 \cdot L_1^2 \cdot L_1^2} \cdot \left[V_{Bus} \cdot L_1 \cdot \left(\begin{array}{l} V_{in_ret}(\omega t) \cdot (4 - 6 \cdot D) \\ + V_{Bus} \cdot (4 - 3 \cdot D) \end{array} \right) \right.} \quad (3.98)$$

$$\left. + (V_{in_ret}(\omega t))^2 \cdot L_2 \cdot D \cdot (6 \cdot L_1 + 3 \cdot L_2) \right]$$

Aplicando (3.97) e (3.98) em (3.85) e (3.86), respectivamente, substituindo (3.1) e resolvendo, obtêm-se (3.99) e (3.100). Equações que representam a corrente média e eficaz do indutor L_2 em um período T_{lr} . Observa-se que a expressão que define o valor da corrente média sobre o indutor L_2 (3.99) é igual à expressão que calcula a corrente média sobre o diodo D_{S1} (3.59)

$$\langle I_{L2} \rangle_{T_{lr}} = \frac{1}{\pi} \cdot \int_0^{\pi} \frac{(V_{inpk} \cdot |\text{sen}(\omega t)|)^2 \cdot D^2 \cdot T_s}{2 \cdot L_{eq} \cdot V_{Bus}} dt \quad (3.99)$$

$$\langle I_{L2} \rangle_{T_{lr}} = \frac{V_{inpk}^2 \cdot D^2 \cdot T_s}{4 \cdot L_{eq} \cdot V_{Bus}}$$

$$I_{L2(ef)T_{lr}} = \frac{1}{\pi} \cdot \int_0^{\pi} I_{L2(ef)T_s}^2 dt$$

$$I_{L2(ef)T_{lr}} = \sqrt{\frac{V_{inpk}^2 \cdot D^3 \cdot T_s^2}{288 \cdot \pi \cdot V_{Bus}^2 \cdot L_1^2 \cdot L_2^2} \cdot \left[\begin{array}{l} \pi \cdot \left(\begin{array}{l} V_{inpk}^2 \cdot L_2 \cdot D \cdot (27 \cdot L_2 + 54 \cdot L_1) \\ + L_1^2 \cdot V_{Bus}^2 \cdot (48 - 36 \cdot D) \end{array} \right) \\ + (L_1^2 \cdot V_{Bus} \cdot V_{inpk} \cdot (128 - 192 \cdot D)) \end{array} \right]} \quad (3.100)$$

Para determinar a relação entre as correntes dos indutores L_3 e L_4 , é importante obter a expressão que relaciona suas correntes iniciais (I_{L3_0}) e (I_{L4_0}). Sabendo que a corrente média do capacitor C_{S2} ($\langle I_{CS2} \rangle_{T_s}$), em um período de comutação, é nula e analisando os circuitos equivalentes das etapas de operação, representados pelas Figura 3.5, Figura 3.6 e Figura 3.7; constata-se que a corrente média no capacitor C_{S2} , em um período T_s , pode ser definida como:

$$\langle I_{CS2} \rangle_{T_s} = \frac{1}{T_s} \cdot \left(\int_0^{t_1} -i_{L4_1} dt + \int_{t_1}^{t_3} i_{L3_2} dt \right) = 0 \quad (3.101)$$

Substituindo (3.9), (3.28), (3.41) e isolando I_{L3_0} , obtém-se (3.102); equação que determina o mínimo valor de corrente a que o indutor L_3 é submetido.

$$I_{L3_0} = \left(I_{L4_0} + \frac{V_{Bus} \cdot D \cdot T_s}{2 \cdot L_4} \right) \cdot \frac{D}{1-D} - \frac{V_{Bus} \cdot D \cdot T_s}{2 \cdot L_3} \quad (3.102)$$

Analisando o circuito do conversor proposto, presente na Figura 3.4, nota-se que toda a corrente que alimenta a carga flui pelo diodo D_{S2} . Admitindo que o capacitor C_o seja grande suficiente para manter constante a tensão de saída, durante todo o período T_s , conclui-se que toda a componente alternada da corrente do diodo D_{S2} , circula pelo capacitor C_o e sua corrente média circula pela carga. O diodo D_{S2} conduz a soma das correntes dos indutores L_3 e L_4 definidas respectivamente por (3.50) e (3.51), durante o intervalo de tempo Δt_{2_MCC} . Então, a corrente média sobre o diodo D_{S2} em um período T_s , pode ser definida pela expressão (3.103).

$$\langle I_o \rangle = \langle I_{DS2} \rangle_{T_s} = \frac{1}{T_s} \cdot \int_0^{t_1} 0 dt + \frac{1}{T_s} \cdot \int_{t_1}^{t_3} (i_{L3_2}(t) + i_{L4_2}(t)) dt \quad (3.103)$$

Substituindo (3.9), (3.28), (3.41) e (3.102) em (3.103) e realizando as devidas simplificações, obtém-se (3.104), equação que define a corrente média no diodo D_{S2} .

$$\langle I_o \rangle = \langle I_{DS2} \rangle_{T_s} = I_{L4_0} + \frac{V_{Bus}}{2 \cdot L_4} \cdot D \cdot T_s \quad (3.104)$$

Aplicando (3.47), (3.51) e seus respectivos instantes de tempo em (3.83), obtém-se (3.105).

$$\langle I_{L4} \rangle_{T_s} = \frac{1}{T_s} \cdot \left(\int_0^{t_1} i_{L4_1}(t) dt + \int_{t_1}^{t_3} i_{L4_2}(t) dt \right) \quad (3.105)$$

Aplicando (3.9), (3.28) e (3.41) em (3.105), encontra-se (3.106), que representa o valor médio da corrente do indutor L_4 . Observa-se que a expressão que define o valor de corrente média sobre o indutor L_4 (3.106) é igual à expressão que representa a corrente média sobre o diodo D_{S2} (3.104) e pode ser reescrita como (3.107).

$$\langle I_{L4} \rangle_{T_s} = I_{L4_0} + \frac{V_{Bus}}{2 \cdot L_4} \cdot D \cdot T_s \quad (3.106)$$

$$\langle I_{L4} \rangle_{T_s} = \langle I_o \rangle = \langle I_{DS2} \rangle = I_{L4_0} + \frac{V_{Bus}}{2 \cdot L_4} \cdot D \cdot T_s \quad (3.107)$$

Como a tensão do capacitor de barramento ($V_{C_{Bus}}$) é considerada constante, não é necessária a análise em um período da tensão de entrada retificada, dos componentes do segundo estágio.

A corrente média no indutor L_3 , em um período de comutação, é definida aplicando (3.46) e (3.50), com seus respectivos instantes de tempo, em (3.83), obtendo (3.108).

$$\langle I_{L3} \rangle = \frac{1}{T_s} \cdot \left(\int_0^{t_1} i_{L3_1}(t) dt + \int_{t_1}^{t_3} i_{L3_2}(t) dt \right) \quad (3.108)$$

Substituindo (3.9), (3.28), (3.41) em (3.108) e resolvendo, obtém-se (3.109). Esta equação representa o valor médio da corrente do indutor L_3 .

$$\langle I_{L3} \rangle = I_{L3_0} + \frac{V_{Bus}}{2 \cdot L_3} \cdot D \cdot T_s \quad (3.109)$$

Substituindo I_{L3_0} de acordo com (3.102) em (3.108), e realizando as devidas simplificações, encontra-se (3.110). Esta equação relaciona o valor médio da corrente do indutor L_3 , ao valor médio da corrente de saída ($\langle I_o \rangle$).

$$\begin{aligned} \langle I_{L3} \rangle &= \left(I_{L4_0} + \frac{V_{Bus} \cdot D \cdot T_s}{2 \cdot L_4} \right) \cdot \frac{D}{1-D} - \frac{V_{Bus} \cdot D \cdot T_s}{2 \cdot L_3} + \frac{V_{Bus}}{2 \cdot L_3} \cdot D \cdot T_s \\ \langle I_{L3} \rangle &= \langle I_{L4} \rangle \cdot \frac{D}{1-D} = \langle I_o \rangle \cdot \frac{D}{1-D} \end{aligned} \quad (3.110)$$

Aplicando (3.46) e (3.50) para o indutor L_3 ; (3.47) e (3.51) para o indutor L_4 ; com os respectivos instantes de tempo em (3.84) e realizando as devidas substituições e simplificações, obtém-se respectivamente, (3.111) e (3.112).

$$I_{L3(ef)T_s} = \sqrt{\frac{1}{T_s} \left(\int_0^{t_1} i_{L3_1}(t)^2 dt + \int_{t_1}^{t_3} i_{L3_2}(t)^2 dt \right)} \quad (3.111)$$

$$I_{L3(ef)T_s} = \sqrt{I_{o_med}^2 \cdot \left(\frac{D}{1-D} \right)^2 + \frac{V_{Bus}^2 \cdot D^2 \cdot T_s^2}{12 \cdot L_3^2}}$$

$$I_{L4(ef)T_s} = \sqrt{\frac{1}{T_s} \left(\int_0^{t_1} i_{L4_1}(t)^2 dt + \int_{t_1}^{t_3} i_{L4_2}(t)^2 dt \right)} \quad (3.112)$$

$$I_{L4(ef)T_s} = \sqrt{\langle I_o \rangle^2 + \frac{V_{Bus}^2 \cdot D^2 \cdot T_s^2}{12 \cdot L_4^2}}$$

3.2.4 Ondulação de Tensão nos Capacitores

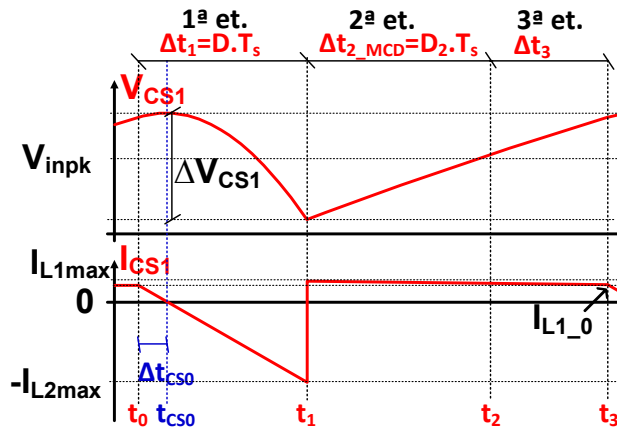
Apesar da ondulação de tensão nos capacitores ter sido considerada constante, com o objetivo de simplificar a análise qualitativa e quantitativa do conversor proposto, sabe-se que os capacitores têm uma determinada ondulação em alta frequência, causada pela variação das correntes que circulam pelos mesmos. Este motivo traz a necessidade de obter uma expressão que define esta ondulação, que posteriormente, será utilizada como parâmetro de projeto no dimensionamento dos capacitores.

A variação da corrente em um capacitor pode ser encontrada através da análise da forma de onda de sua tensão, durante o intervalo de tempo em que seu valor varia de máximo a mínimo e pode ser definida de acordo com (3.113).

$$\Delta V_C = \frac{1}{C} \int_0^t i_C(t) dt \quad (3.113)$$

A Figura 3.11 contém as formas de onda de corrente e tensão, presentes no capacitor C_{S1} ao longo de um período de comutação. Nota-se que, durante a primeira etapa de operação, a tensão no capacitor atinge seu máximo e mínimo valor, quando sua corrente passa por zero e muda de sentido. Aplicando a corrente de C_{S1} durante a primeira etapa, o instante de tempo em que a corrente passa por zero, nomeado como t_{CS0} e o instante de tempo em que a corrente atinge o valor mínimo (t_1) em (3.113), encontra-se (3.114). Esta equação define a variação de tensão presente no capacitor C_{S1} .

Figura 3.11 - Ondulação da tensão e corrente em um período de comutação (T_s) no capacitor C_{S1} .



Fonte: Elaborado pelo autor.

$$\Delta V_{CS1} = \frac{1}{C_1} \int_{t_{CS0}}^{t_1} i_{CS1-1}(t) dt \quad (3.114)$$

Analisando a Figura 3.5, nota-se que a corrente que circula pelo capacitor C_{S1} durante a primeira etapa, é a mesma que circula pelo indutor L_2 , tem seu comportamento definido por (3.45) e pode ser reescrita como:

$$i_{CS1-1}(t) = - \left(I_{L2-0} + \frac{V_{in-ret}}{L_2} \cdot t \right) \quad (3.115)$$

Substituindo (3.23), (3.88) e o instante de tempo t por t_{CS0} em (3.115) e isolando t_{CS0} , obtém-se:

$$t_{CS0} = -I_{L2-0} \cdot \frac{L_2}{V_{in-ret}} \quad (3.116)$$

Aplicando (3.116), (3.9) e (3.115) em (3.114) e simplificando, obtém-se:

$$\begin{aligned}
-(\Delta V_{CS1})_{T_s} &= \frac{1}{C_1} \int_{-I_{L2_0} \frac{L_2}{V_{in}}}^{D \cdot T_s} - \left(\frac{V_{in_ret} \cdot t}{L_2} + I_{L2_0} \right) dt \\
(\Delta V_{CS1})_{T_s} &= \frac{(L_2 \cdot I_{L2_0} + T_s \cdot V_{in_ret} \cdot D)^2}{2 \cdot L_2 \cdot C_{S1} \cdot V_{in_ret}}
\end{aligned} \tag{3.117}$$

Substituindo (3.23) e (3.88) em (3.117) e realizando as devidas simplificações, obtém-se (3.118). Tal expressão define o valor de $\Delta V_{CS1_T_s}$ em um período T_s , e também é apresentada em (Tibola, 2013).

$$(\Delta V_{CS1})_{T_s} = \frac{V_{in_ret} \cdot D^2 \cdot T_s}{8} \cdot \frac{\left[(L_2 \cdot V_{in_ret} - L_1 \cdot V_{CBus}) \cdot D + 2 \cdot L_1 \cdot V_{CBus} \right]^2}{L_1 \cdot L_2 \cdot C_{S1} \cdot V_{CBus}} \tag{3.118}$$

Porém, a escolha deste capacitor não considera apenas a análise de ondulação de tensão em alta frequência, o valor capacitivo utilizado tem grande influência na forma de onda da corrente de entrada, desempenhando importante papel na manutenção da função CFP, atribuída ao primeiro estágio. Como citado em (Simonetti *et al.*, 1997) a frequência de ressonância de C_{S1} , L_1 e L_2 (f_{res}) deve ser muito maior que a frequência f_{lr} , para evitar oscilações de corrente na entrada a cada ciclo, conforme (3.119). Além disso, a frequência de ressonância associada a L_2 e C_{S1} (f_{res2}) deve ser menor que f_s , conforme (3.120). Um melhor ajuste do valor atribuído a este capacitor pode ser realizado através de simulação, buscando uma melhor forma de onda de corrente de entrada e respeitando os critérios apresentados.

$$\begin{aligned}
f_{res} &= \frac{1}{2 \cdot \pi \cdot \sqrt[2]{C_{S1} \cdot (L_1 + L_2)}} \\
f_{res} &\gg f_{lr}
\end{aligned} \tag{3.119}$$

$$\begin{aligned}
f_{res2} &= \frac{1}{2 \cdot \pi \cdot \sqrt[2]{C_{S1} \cdot L_2}} \\
f_{res2} &< f_s
\end{aligned} \tag{3.120}$$

O capacitor de barramento (C_{Bus}), presente na saída do primeiro estágio, tem a função principal de atenuar a tensão com componente alternada, em um período T_{lr} . Seu valor é muitas vezes maior que o necessário para atenuar a componente de alta frequência, tornando dispensável o estudo da componente em um período T_s .

Analisando o circuito da Figura 3.5 e Figura 3.7, observa-se que, quando o diodo D_{S1} está aberto, o capacitor C_{Bus} se torna o componente responsável por alimentar o segundo estágio. A tensão sobre este capacitor é a tensão de barramento e sua variação ($\Delta V_{CBus_T_{lr}}$) pode ser representada por (3.121). A impedância do capacitor C_{Bus} (X_{CBus}) é definida por (3.122). Aplicando (3.122) em (3.121) e considerando a variação da tensão pico a pico em um período (T_{lr}), encontra-se (3.123).

$$\langle V_{CBus} \rangle = X_{CBus} \cdot \langle I_{CBus} \rangle \Rightarrow \Delta V_{CBus_pk} = X_{CBus} \cdot I_{CBus(pk)} \quad (3.121)$$

$$X_{CBus} = \frac{1}{2 \cdot \pi \cdot f_{lr} \cdot C_{Bus}} \quad (3.122)$$

$$(\Delta V_{CBus})_{T_{lr}} = 2 \cdot \Delta V_{CBus(pk)} = \frac{I_{CBus(pk)}}{\pi \cdot f_{lr} \cdot C_{Bus}} \quad (3.123)$$

Para obter a expressão que define a variação de tensão sobre o capacitor C_{Bus} (ΔV_{CBus_Tlr}), é necessário obter o valor de pico da corrente que circula por este (I_{CBus_pk}). Para tal, fazem-se necessárias algumas considerações. A potência instantânea de barramento pode ser representada de acordo com (3.124); a corrente de saída do primeiro estágio (I_{DS1}) é representada por (3.58) e dividida em uma componente contínua igual a I_{L3_med} (corrente de entrada do segundo estágio) e uma componente alternada que circula pelo capacitor C_{Bus} , como representado em (3.125).

$$P_{Bus}(\omega t) = V_{CBus} \cdot I_{DS1}(\omega t) \quad (3.124)$$

$$\begin{aligned} P_{Bus}(\omega t) &= V_{CBus} \cdot I_{DS1}(\omega t) = V_{CBus} \cdot I_{CBus}(\omega t) + V_{CBus} \cdot I_{L3_med} \\ V_{CBus} \cdot \frac{V_{inpk}^2 \cdot \text{sen}(\omega t)^2}{2 \cdot V_{CBus} \cdot L_{eq}} \cdot D^2 \cdot T_s &= V_{CBus} \cdot I_{CBus}(\omega t) + V_{CBus} \cdot I_{L3_med} \end{aligned} \quad (3.125)$$

Sabendo que $\text{sen}(\omega t)^2 = \frac{1}{2} - \frac{1}{2} \cdot \cos(2 \cdot (\omega t))$, aplicando esta relação em (3.125),

substituindo $\langle I_{L3} \rangle$ de acordo com (3.59), simplificando e isolando $I_{CBus}(\omega t)$, obtém-se:

$$\begin{aligned} V_{CBus} \cdot \frac{V_{inpk}^2 \cdot D^2 \cdot T_s}{2 \cdot V_{CBus} \cdot L_{eq}} \cdot \left[\frac{1}{2} - \frac{1}{2} \cdot \cos(2 \cdot \omega t) \right] &= V_{CBus} \cdot \left(I_{CBus}(\omega t) + \frac{V_{inpk}^2 \cdot D^2 \cdot T_s}{4 \cdot V_{CBus} \cdot L_{eq}} \right) \\ I_{CBus}(\omega t) &= - \frac{V_{inpk}^2 \cdot \cos(2 \cdot \omega t) \cdot D^2 \cdot T_s}{4 \cdot V_{CBus} \cdot L_{eq}} \end{aligned} \quad (3.126)$$

A corrente de pico sobre o capacitor de barramento se dá exatamente no instante onde a tensão de entrada tem valor máximo, ângulo θ de 90° ou $\pi/2$. Então, substituindo (3.126) com ângulo θ de 90° em (3.123), obtém-se (3.127). Esta equação define a ondulação de tensão presente no capacitor de barramento em um período T_{lr} , e também é apresentada em (Almeida et al., 2012).

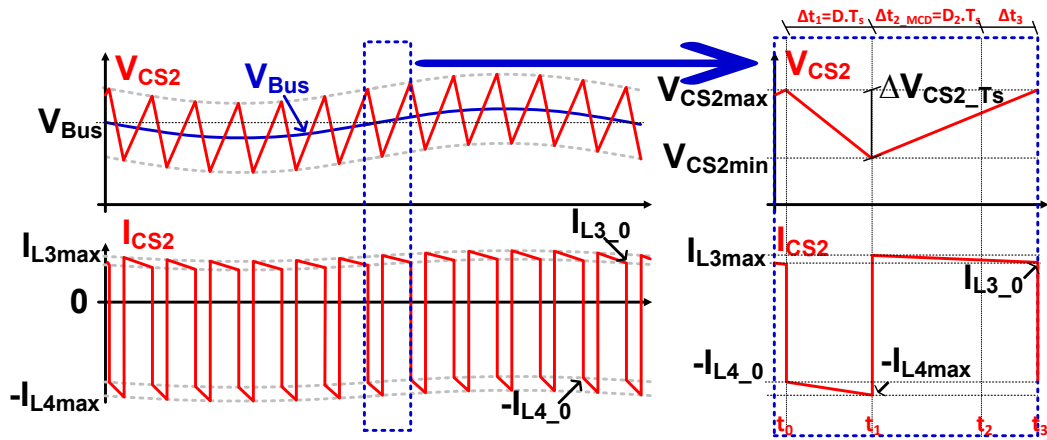
$$\begin{aligned} \Delta V_{CBus}(\omega t) &= \frac{1}{2 \cdot \pi \cdot f_{lr} \cdot C_o} \cdot \left(- \frac{V_{inpk}^2 \cdot D^2 \cdot T_s}{4 \cdot V_{CBus} \cdot L_{eq}} \cdot \left(\cos \left(2 \cdot \frac{\pi}{2} \right) \right) \right) \cdot 2 \\ \Delta V_{CBus_T_{lr}} &= \frac{V_{inpk}^2 \cdot D^2 \cdot T_s}{4 \cdot \pi \cdot L_{eq} \cdot f_{lr} \cdot V_{CBus} \cdot C_{Bus}} \end{aligned} \quad (3.127)$$

Os capacitores do segundo estágio têm a função de atenuar a ondulação de alta frequência, ou seja, estes são projetados para atenuar apenas as oscilações de tensão na componente da frequência de comutação. A ondulação em baixa frequência é definida pelo capacitor de

barramento e será somada a ondulação de alta frequência, como ilustra a forma de onda de V_{CS2} , representada na Figura 3.12.

Analisando a componente em T_s , da forma de onda de tensão do capacitor C_{S2} , apresentada no detalhe à direita da Figura 3.12, nota-se que a tensão do capacitor é máxima no instante em que se inicia a primeira etapa de operação (t_0), e torna-se mínima no instante em que termina esta etapa (t_1). De acordo com circuito da primeira etapa de operação, representado na Figura 3.5, a corrente que circula pelo capacitor C_{S2} é a mesma que circula pelo indutor L_4 , definida pela equação (3.45). Então, aplicando (3.45) e instante de tempo t_1 , definido por (3.9) em (3.114), obtém-se (3.128). Esta expressão define a ondulação de tensão imposta ao capacitor C_{S2} em um período T_s ($\Delta V_{CS2_{T_s}}$).

Figura 3.12 - Formas de onda teóricas de tensão e corrente no capacitor C_{S2} .



Fonte: Elaborado pelo autor.

$$\Delta V_{CS2(T_s)} = \frac{1}{C_{S2}} \int_0^{t_1} i_{CS2_1}(t) dt = \frac{1}{C_{S2}} \int_0^{t_1} -i_{L4_1}(t) dt \quad (3.128)$$

$$\Delta V_{CS2(T_s)} = \frac{1}{C_{S2}} \int_0^{D \cdot T_s} - \left(I_{L4_0} + \frac{V_{Bus}}{L_4} \cdot t \right) dt$$

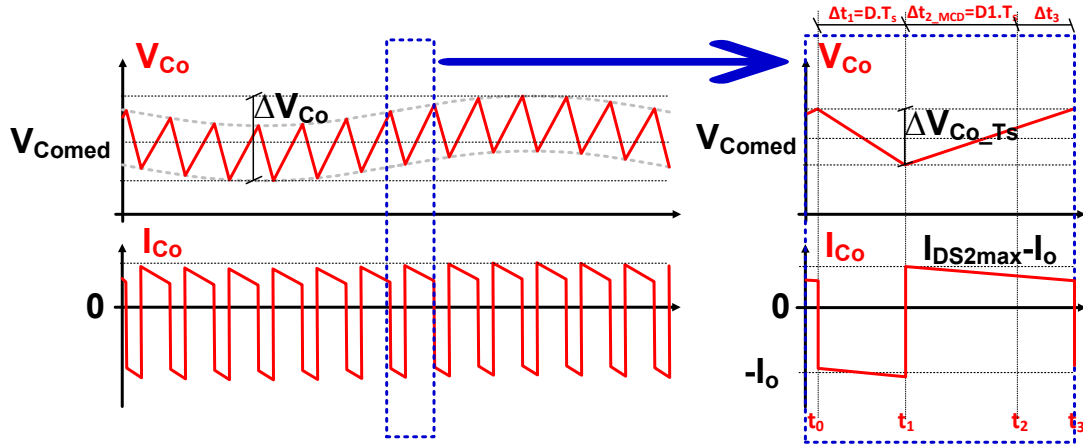
Resolvendo (3.128), rearranjando e substituindo (3.107), obtém-se:

$$\Delta V_{CS2(T_s)} = \frac{I_o}{C_{S2}} \cdot D \cdot T_s \quad (3.129)$$

Como citado anteriormente, o capacitor C_o tem função de atenuar apenas a ondulação em f_s , visto que a ondulação em baixa frequência tem a presença de uma componente relacionada ao valor da ondulação do barramento, como apresenta o detalhe à esquerda da Figura 3.13. De acordo com o circuito da primeira etapa de operação, demonstrado pela Figura 3.5, nota-se que a corrente do capacitor é a mesma corrente que circula pela carga, representada por I_o . De acordo com o detalhe à direita da Figura 3.13, sua tensão é máxima no instante em que se inicia a primeira etapa de operação (t_0) e se torna mínima no instante t_1 , que representa o fim da primeira etapa de

operação. Assim aplicando I_o e t_1 , definido por (3.9) em (3.114) e resolvendo, obtém-se (3.130). Esta expressão define a ondulação de tensão imposta ao capacitor C_o em um período T_s .

Figura 3.13 - Formas de onda de corrente e tensão no capacitor de saída C_o .



Fonte: Elaborado pelo autor.

$$\Delta V_{C_o(T_s)} = \frac{1}{C_o} \int_0^{t_1} I_o dt = \frac{I_o}{C_o} \cdot D \cdot T_s \quad (3.130)$$

3.3 Análise dos Esforços nos Semicondutores

Para que seja possível a escolha dos semicondutores, levantam-se as expressões que definem os esforços de tensão e corrente, a que serão submetidos. Nesta seção, serão apresentadas as análises de corrente média, corrente eficaz, corrente máxima e tensão máxima para cada componente semiconductor em um período de comutação (T_s) e também em um período da tensão de entrada retificada (T_{lr}). As análises são baseadas em definições apresentadas em (Costa, 2017).

Como citado anteriormente, para calcular os valores das correntes médias e eficazes em um período T_s , serão utilizadas respectivamente, (3.83) e (3.84). Já Para calcular os valores de corrente médias e eficazes em um período T_{lr} , que possui comportamento senoidal, serão utilizadas respectivamente, (3.85) e (3.86).

Analisando o circuito da segunda etapa de operação, representado na Figura 3.6 e a forma de onda, demonstrada na Figura 3.10, observa-se que a corrente do diodo D_{S1} é a soma das correntes que circulam por L_1 e L_2 , e a máxima corrente sobre o mesmo, ocorre durante o pico da tensão de entrada e no momento em que se inicia a segunda etapa de operação (t_1). Desta forma, a corrente máxima sobre o diodo D_{S1} ($I_{DS1(max)}$) pode ser representada como a soma das correntes dos indutores L_1 e L_2 , definidas por (3.48) e (3.49), com instante de tempo t_1 definido por (3.9), obtendo:

$$\begin{aligned} I_{DS1(max)} &= i_{L1_2}(t_1) + i_{L2_2}(t_1) = I_{L1(max)} + I_{L2(max)} \\ I_{DS1(max)} &= \frac{V_{inpk}}{L_{eq}} \cdot D \cdot T_s \end{aligned} \quad (3.131)$$

A expressão que define a corrente média de D_{S1} , em um período de comutação, foi apresentada em (3.56). A expressão que define a corrente média de D_{S1} , em um período T_{lr} , foi apresentada em (3.59).

Por meio da equação (3.132), é definida a corrente eficaz sobre o diodo D_{S1} , em um período T_s ($I_{DS1(ef)T_s}$). Esta expressão é obtida a partir da aplicação de (3.48) e (3.49) em (3.84), com as devidas substituições e simplificações.

$$I_{DS1(ef)T_s} = \sqrt{\frac{1}{T_s} \int_0^{T_s} (i_{L1_2}(t) + i_{L2_2}(t))^2 dt} \quad (3.132)$$

$$I_{DS1(ef)T_s} = \sqrt{\frac{(V_{in_ret}(\omega t))^3 \cdot D^3 \cdot T_s^2}{3 \cdot V_{CBus} \cdot L_{eq}^2}}$$

A expressão que define a corrente eficaz, em um período T_{lr} ($I_{DS1(ef)T_{lr}}$), pode ser encontrada através da substituição de (3.132) e (3.1) em (3.86), obtendo:

$$I_{DS1(ef)T_{lr}} = \sqrt{\frac{1}{\pi} \int_0^{\pi} I_{DS1_ef_T_s} dt} \quad (3.133)$$

$$I_{DS1(ef)T_{lr}} = \sqrt{\frac{1}{\pi} \int_0^{\pi} \left(\sqrt{\frac{(V_{inpk} \cdot |\text{sen}(\omega t)|)^3 \cdot D^3 \cdot T_s^2}{3 \cdot V_{CBus} \cdot L_{eq}^2}} \right)^2 dt}$$

$$I_{DS1(ef)T_{lr}} = \sqrt{\frac{4 \cdot V_{inpk}^3 \cdot D^3 \cdot T_s^2}{9 \cdot \pi \cdot V_{CBus} \cdot L_{eq}^2}}$$

Analisando a Figura 3.8, nota-se que a tensão reversa máxima sobre o diodo D_{S1} (V_{DS1_max}), acompanha o pico da tensão de entrada retificada e seu maior valor se encontra próximo ao instante em que se inicia a primeira etapa de operação (t_o), coincidindo com o instante em que a tensão sobre o capacitor C_{S1} é máxima, em um período de comutação T_s . Seu valor é apresentado pela equação (3.5), podendo ser reescrito de acordo com (3.134). O emprego de $V_{CS1(max)}$, é importante devido à possibilidade de se utilizar um valor capacitivo reduzido em C_{S1} , acarretando em alta variação de tensão sobre o mesmo, em um período de comutação. O valor de V_{CS1_max} pode ser aproximado, através de (3.118) e (3.1), como representa (3.135).

$$V_{DS1(max)} = -\left(V_{CS1(max)} + V_{CBus} \right) \quad (3.134)$$

$$V_{CS1(max)} = V_{inpk} + \frac{\Delta V_{CS1(T_s)}}{2} \quad (3.135)$$

Analisando o circuito da segunda etapa de operação, representado pela Figura 3.6, e forma de onda apresentada pela Figura 3.10, nota-se que a corrente que circula por D_{S2} é a soma das correntes que circulam por L_3 e L_4 e a máxima corrente sobre o mesmo, ocorre no instante de tempo t_1 , em que se inicia a segunda etapa. A máxima corrente sobre o diodo D_{S2} (I_{DS2_max}) é

definida como a soma das correntes sobre os indutores L_3 (3.50) e L_4 (3.51), com instante de tempo t_1 , encontrando (3.136). Substituindo (3.102) em (3.136) e realizando as devidas simplificações, encontra-se (3.137).

$$I_{DS2(\max)} = i_{DS2}(t_1) = i_{L3_2}(t_1) + i_{L4_2}(t_1) = I_{L3(\max)} + I_{L4(\max)} \quad (3.136)$$

$$I_{DS2(\max)} = I_{L3_0} + \frac{V_{CBus}}{L_3} \cdot D \cdot T_s + I_{L4_0} + \frac{V_{CBus}}{L_4} \cdot D \cdot T_s$$

$$I_{DS2(\max)} = \frac{\langle I_o \rangle}{1-D} \cdot \frac{V_{CBus} \cdot D \cdot T_s}{2 \cdot \frac{L_3 \cdot L_4}{L_3 + L_4}} \quad (3.137)$$

A expressão que define a corrente média de DS_2 , em um período de comutação, foi apresentada em (3.107). A considerada baixa ondulação de tensão presente no barramento, faz com que não seja necessária a análise, em T_{lr} , dos componentes do segundo estágio. Por meio da equação (3.138), é definido o valor da corrente eficaz em um período T_s . Esta expressão é obtida a partir da aplicação de (3.50) e (3.51) em (3.84); com as substituições de I_{L3_0} de acordo com (3.102), I_{L4_0} de acordo com (3.106) e (3.107), realizando as devidas simplificações.

$$I_{DS2(ef)T_s} = \sqrt{\frac{1}{T_s} \int_{t_1}^{t_3} (i_{L1_2}(t) + i_{L2_2}(t))^2 (t) dt} \quad (3.138)$$

$$I_{DS2(ef)T_s} = \sqrt{\frac{\langle I_o \rangle^2}{1-D} + \frac{V_{CBus}^2 \cdot D^2 \cdot T_s^2}{12 \cdot \left(\frac{L_3 \cdot L_4}{L_3 + L_4} \right)^2} \cdot (1-D)}$$

Analisando a forma de onda da tensão sobre o diodo DS_2 presente na Figura 3.10, nota-se que sua tensão reversa máxima acompanha o pico da tensão do capacitor de barramento e seu maior valor se encontra no instante em que se inicia a primeira etapa de operação (t_1), representado na análise qualitativa pela equação (3.8). Equação esta que pode ser reescrita de forma a considerar as ondulações em T_s e T_{lr} presentes na forma de onda de tensão do capacitor CS_2 , encontrando:

$$V_{DS2(\max)} = -\left(V_{CS2(\max)} + V_{Co} \right)$$

$$V_{DS2(\max)} = -\left(V_{CBus} + \frac{\Delta V_{CBus(T_{lr})}}{2} + \frac{\Delta V_{CS2(T_s)}}{2} + V_{Co} \right) \quad (3.139)$$

Analisando o circuito da primeira etapa de operação, representado pela Figura 3.5, e as formas de onda representadas na Figura 3.8, nota-se que o diodo D_{n1} é responsável por conduzir a corrente do primeiro estágio ao interruptor S e a corrente que circula por ele é a soma das correntes dos indutores L_1 e L_2 . A máxima corrente que o circula ocorre durante o pico da tensão de entrada e momento onde termina a primeira etapa de operação (t_1). Por meio da expressão

(3.140), é definido o valor máximo de corrente, a que o diodo D_{n1} é submetido. Esta expressão é obtida a partir da soma das correntes dos indutores L_1 e L_2 , definidas por (3.44) e (3.45), com instante de tempo t_1 , definido por (3.9) e a aplicação de (3.1), com ângulo θ de 90° ($\pi/2$).

$$\begin{aligned}
 I_{Dn1(\max)} &= i_{Dn1}(t_1) = i_{L1_1}(t_1) + i_{L2_1}(t_1) \\
 I_{Dn1(\max)} &= \frac{V_{in(pk)}}{L_1} \cdot D \cdot T_s + \frac{V_{in(pk)}}{L_2} \cdot D \cdot T_s \\
 I_{Dn1(\max)} &= \frac{V_{in(pk)}}{L_{eq}} \cdot D \cdot T_s
 \end{aligned} \tag{3.140}$$

A expressão que define a corrente média de D_{n1} , em um período de comutação, pode ser obtida, através da substituição de (3.44) e (3.45) em (3.83) e ao realizar as devidas substituições e simplificações, obtém-se:

$$\begin{aligned}
 \langle I_{Dn1} \rangle_{T_s} &= \frac{1}{T_s} \cdot \int_0^{t_1} (i_{L1_2}(t) + i_{L2_2}(t)) dt + \frac{1}{T_s} \cdot \int_{t_1}^{t_2} 0 dt + \frac{1}{T_s} \cdot \int_{t_2}^{t_3} 0 dt \\
 \langle I_{Dn1} \rangle_{T_s} &= \frac{V_{in_ret}(\omega t)}{2 \cdot \frac{L_1 \cdot L_2}{L_1 + L_2}} \cdot D^2 \cdot T_s = \frac{V_{in_ret}(\omega t)}{2 \cdot L_{eq}} \cdot D^2 \cdot T_s
 \end{aligned} \tag{3.141}$$

A expressão que define a corrente média de D_{n1} , em um período T_{lr} , pode ser encontrada, através da substituição de (3.141) e (3.1) em (3.85), com as devidas simplificações, obtendo:

$$\begin{aligned}
 \langle I_{Dn1} \rangle_{T_{lr}} &= \frac{1}{\pi} \cdot \int_0^\pi \frac{V_{in(pk)} \cdot |\text{sen}(\omega t)|}{2 \cdot L_{eq}} \cdot D^2 \cdot T_s dt \\
 \langle I_{Dn1} \rangle_{T_{lr}} &= \frac{V_{in(pk)}}{\pi \cdot L_{eq}} \cdot D^2 \cdot T_s
 \end{aligned} \tag{3.142}$$

Por meio da equação (3.143), é definida a corrente eficaz sobre o diodo D_{n1} , em um período T_s . Esta expressão é obtida a partir da aplicação de (3.44) e (3.45) em (3.84), com as devidas substituições e simplificações.

$$\begin{aligned}
 I_{Dn1(ef)_{T_s}} &= \sqrt{\frac{1}{T_s} \int_0^{T_s} (i_{L1_1}(t) + i_{L2_1}(t))^2 dt} \\
 I_{Dn1(ef)_{T_s}} &= \sqrt{\frac{V_{in_ret}(\omega t)^2 \cdot D^3 \cdot T_s^2}{3 \cdot \left(\frac{L_1 \cdot L_2}{L_1 + L_2}\right)^2}} = \sqrt{\frac{V_{in_ret}(\omega t)^2 \cdot D^3 \cdot T_s^2}{3 \cdot L_{eq}^2}}
 \end{aligned} \tag{3.143}$$

A expressão que define a corrente eficaz em um período T_{lr} , pode ser encontrada através da substituição de (3.143) e (3.1) em (3.86), obtendo:

$$\begin{aligned}
I_{Dn1(ef)_{T_r}} &= \sqrt{\frac{1}{\pi} \int_0^{\pi} I_{Dn1(ef)_{T_s}} d\theta} \\
I_{Dn1(ef)_{T_r}} &= \sqrt{\frac{1}{\pi} \int_0^{\pi} \left(\sqrt{\frac{(V_{in(pk)} \cdot |\text{sen}(\omega t)|)^2 \cdot D^3 \cdot T_s^2}{3 \cdot L_{eq}^2}} \right)^2 d\theta} \\
I_{Dn1(ef)_{T_r}} &= \frac{V_{in(pk)} \cdot D \cdot T_s}{L_{eq}} \cdot \sqrt{\frac{D}{6}}
\end{aligned} \tag{3.144}$$

Analisando o circuito da primeira etapa de operação, representado pela Figura 3.5, bem como as formas de onda representadas na Figura 3.9, observa-se que o diodo D_{n2} é responsável por conduzir a corrente do segundo estágio ao interruptor S . Em outras palavras, a corrente que circula por ele é a soma das correntes dos indutores L_3 e L_4 . A máxima corrente, que o circula, ocorre no momento onde a tensão de barramento V_{CBus} , apresenta seu máximo valor e instante de tempo em que termina a primeira etapa de operação (t_1).

Por meio da expressão (3.145), é definido o máximo valor de corrente a que o diodo D_{n2} é submetido. Esta expressão é obtida a partir da soma de (3.46) e (3.47), com instante de tempo t_1 , definido por (3.9), simplificada com a substituição de I_{L3_0} de acordo com (3.102) e I_{L4_0} de acordo com (3.106) e (3.107).

$$\begin{aligned}
I_{Dn2(\max)} &= i_{Dn2}(t_1) = i_{L3_1}(t_1) + i_{L4_1}(t_1) \\
I_{Dn2(\max)} &= I_{L3_0} + I_{L4_0} + \frac{V_{CBus(\max)}}{L_3} \cdot D \cdot T_s + \frac{V_{CBus(\max)}}{L_4} \cdot D \cdot T_s \\
I_{Dn2(\max)} &= \frac{\langle I_o \rangle}{1-D} \cdot \frac{V_{CBus} \cdot D \cdot T_s}{2 \cdot \frac{L_3 \cdot L_4}{L_3 + L_4}}
\end{aligned} \tag{3.145}$$

Por meio da equação (3.146), é definida a corrente média sobre o diodo D_{n2} em um período T_s ($\langle I_{Dn2} \rangle_{T_s}$). Esta expressão é obtida a partir da substituição de (3.46) e (3.47) em (3.83) e a aplicação de I_{L3_0} de acordo com (3.102), I_{L4_0} de acordo com (3.106) e (3.107).

$$\begin{aligned}
\langle I_{Dn2} \rangle_{T_s} &= \frac{1}{T_s} \cdot \int_0^{t_1} (i_{L3_2}(t) + i_{L4_2}(t)) dt \\
\langle I_{Dn2} \rangle_{T_s} &= \langle I_o \rangle \cdot \frac{D}{1-D} = \langle I_{L3} \rangle
\end{aligned} \tag{3.146}$$

A expressão que define a corrente eficaz, em um período de comutação, pode ser encontrada, a partir da substituição de (3.46) e (3.47) em (3.84) e a aplicação de I_{L3_0} de acordo com (3.102), I_{L4_0} de acordo com (3.106) e (3.107), resultando em:

$$I_{Dn2(ef)T_s} = \sqrt{\frac{1}{T_s} \int_0^{T_s} (i_{L3_1}(t) + i_{L4_1}(t))^2 dt}$$

$$I_{Dn2(ef)T_s} = \sqrt{\frac{\langle I_o \rangle^2 \cdot D}{1-D} \cdot \frac{D}{1-D} + \frac{T_s^2 \cdot V_{CBus}^2 \cdot D^3}{12 \cdot \left(\frac{L_3 \cdot L_4}{L_3 + L_4}\right)^2}} \quad (3.147)$$

A corrente do interruptor compartilhado S é a soma das correntes dos diodos D_{n1} e D_{n2} . Seu máximo valor se encontra no momento onde a tensão de entrada apresenta seu máximo valor e instante de tempo em que termina a primeira etapa de operação (t_1). Por meio da expressão (3.148), é definido o valor máximo de corrente, a que o interruptor S é submetido. Esta expressão é obtida a partir da soma das correntes dos indutores L_1 , L_2 , L_3 e L_4 , definidas respectivamente, por (3.44), (3.45), (3.46) e (3.47), com instante de tempo t_1 definido por (3.9) e a aplicação de (3.1), com ângulo θ de 90° ($\pi/2$), I_{L3_0} de acordo com (3.102), I_{L4_0} de acordo com (3.106) e (3.107)

$$I_{S(\max)} = i_{S_1}(t_1) = i_{Dn1}(t_1) + i_{Dn2}(t_1) = i_{L1_1}(t) + i_{L2_1}(t) + i_{L3_1}(t) + i_{L4_1}(t)$$

$$I_{S(\max)} = I_{Dn1(\max)} + I_{Dn2(\max)} = I_{L1(\max)} + I_{L2(\max)} + I_{L3(\max)} + I_{L4(\max)} \quad (3.148)$$

$$I_{S(\max)} = \frac{V_{in(pk)}}{L_{eq}} \cdot D \cdot T_s + \frac{\langle I_o \rangle}{1-D} + \frac{V_{CBus}}{2 \cdot \frac{L_3 \cdot L_4}{L_3 + L_4}} \cdot (D \cdot T_s)$$

Por meio da equação (3.149), é definida a corrente média no interruptor compartilhado S , em um período T_s ($\langle I_S \rangle_{T_s}$). Esta expressão é obtida a partir da substituição de (3.44), (3.45), (3.46) e (3.47) em (3.83) e a aplicação (3.102), (3.106) e (3.107).

$$\langle I_S \rangle_{T_s} = \frac{1}{T_s} \cdot \int_0^{t_1} (i_{L1_1}(t) + i_{L2_1}(t) + i_{L3_1}(t) + i_{L4_1}(t)) dt$$

$$\langle I_S \rangle_{T_s} = \frac{V_{in_ret}(\omega t)}{2 \cdot L_{eq}} \cdot D^2 \cdot T_s + \langle I_o \rangle \cdot \frac{D}{1-D} \quad (3.149)$$

A expressão que define a corrente média no interruptor compartilhado S , em um período T_{tr} ($\langle I_S \rangle_{T_{tr}}$), pode ser encontrada a partir da substituição de (3.149) e (3.1) em (3.85), obtendo:

$$\langle I_S \rangle_{T_{tr}} = \frac{1}{\pi} \cdot \int_0^\pi \left(\langle I_{L3} \rangle + \frac{V_{in(pk)} \cdot |sen(\omega t)|}{2 \cdot L_{eq}} \cdot D^2 \cdot T_s \right) dt$$

$$\langle I_S \rangle_{T_{tr}} = \langle I_o \rangle \cdot \frac{D}{1-D} + \frac{V_{in(pk)} \cdot D^2 \cdot T_s}{\pi \cdot L_{eq}} \quad (3.150)$$

Por meio da equação (3.151) é definida a corrente eficaz no interruptor compartilhado S , em um período T_s ($I_{S(ef)T_s}$). Esta expressão é obtida a partir da substituição de (3.44), (3.45), (3.46) e (3.47) em (3.84) e a aplicação de (3.102), (3.106) e (3.107).

$$\begin{aligned}
I_{S(ef)T_s} &= \sqrt{\frac{1}{T_s} \int_0^{T_s} (i_{L1_1}(t) + i_{L2_1}(t) + i_{L3_1}(t) + i_{L4_1}(t))^2 dt} \\
I_{S(ef)T_s} &= \sqrt{\frac{1}{T_s} \int_0^{t_1} \left(\frac{V_{in_ret}}{L_{eq}} \cdot t + \frac{\langle I_{L4} \rangle}{1-D} + \frac{V_{CBus}}{L_3 \cdot L_4} \cdot \left(t - \frac{T_s \cdot D}{2} \right) \right)^2 dt} \\
I_{S(ef)T_s} &= \sqrt{\frac{\frac{I_o^2 \cdot D}{(1-D)^2} + \frac{V_{CBus}^2 \cdot D^3 \cdot T_s^2}{12 \cdot \frac{L_3 \cdot L_4^2}{L_3 + L_4}}}{\frac{V_{in_ret} \cdot D^2 \cdot T_s}{Leq} + \left(\frac{\frac{I_o}{1-D} + \frac{V_{in_ret} \cdot D \cdot T_s}{3 \cdot L_{eq}}}{\frac{V_{CBus} \cdot D \cdot T_s}{6 \cdot \frac{L_3 \cdot L_4}{L_3 + L_4}}} \right)}} \quad (3.151)
\end{aligned}$$

O valor de corrente eficaz no interruptor compartilhado S , em um período T_{lr} , pode ser encontrado a partir da substituição de (3.151) em (3.86), obtendo:

$$\begin{aligned}
I_{S(ef)T_{lr}} &= \sqrt{\frac{1}{\pi} \int_0^{\pi} I_{S(ef)T_s}^2 d\theta} \\
I_{S(ef)T_{lr}} &= \sqrt{\frac{\frac{I_o^2 \cdot D}{(1-D)^2} + \frac{V_{CBus}^2 \cdot D^3 \cdot T_s^2}{12 \cdot \frac{L_3 \cdot L_4^2}{L_3 + L_4}}}{\frac{V_{in(pk)} \cdot D^2 \cdot T_s}{Leq} + \left(\frac{\frac{2 \cdot I_o}{(1-D) \cdot \pi} + \frac{V_{in(pk)} \cdot D \cdot T_s}{6 \cdot L_{eq}}}{\frac{V_{CBus} \cdot D \cdot T_s}{3 \cdot \pi \cdot \frac{L_3 \cdot L_4}{L_3 + L_4}}} \right)}} \quad (3.152)
\end{aligned}$$

Ao analisar os circuitos da segunda e terceira etapa de operação, representados pela Figura 3.6, Figura 3.7 e as formas de onda representadas na Figura 3.10. Nota-se que o interruptor compartilhado S , conta com o auxílio dos diodos D_{n1} e D_{n2} , para equilibrar as tensões de bloqueio a que o interruptor é submetido. Verifica-se que a tensão sobre o diodo D_{n1} é nula e as tensões sobre o interruptor S e o diodo D_{n2} são máximas, no instante em que termina a segunda etapa de operação (t_2) e a tensão de entrada atinge seu pico. Verifica-se que com tensão de pico na entrada e ao final da segunda etapa de operação (t_2), as tensões sobre a interruptor S e o diodo D_{n2} são máximas e a tensão sobre o diodo D_{n1} é nula. As equações (3.14) e (3.18) relacionam o comportamento destas tensões durante a segunda etapa de operação, manipulando estas equações e considerando as relações citadas, obtêm-se (3.153) e (3.154).

$$V_{S1_t_2} = V_{CS1} + V_{Bus} - V_{Dn1} \quad (3.153)$$

$$V_{S1_t_2}(\omega t) = \left(V_{in(pk)} \right) \cdot |sen(\omega t)| + V_{Bus} - V_{Dn1(max)} \cdot |\cos(\omega t)|$$

$$V_{S2_t_2} = V_{CS2} + V_{Co} - V_{Dn2} \quad (3.154)$$

$$V_{S2_t_2} = V_{Bus} + V_{Co} - V_{Dn2(max)} \cdot |sen(\omega t)|$$

Substituindo θ por 90° ($\pi/2$) em (3.153), encontra-se (3.155), expressão que define a tensão máxima sobre o interruptor S.

$$V_{S(max)} = V_{S1_t_2} \left(\frac{\pi}{2} \right) = V_{in(pk)} \cdot |sen \left(\frac{\pi}{2} \right)| + V_{Bus} - V_{Dn1(max)} \cdot |\cos \left(\frac{\pi}{2} \right)| \quad (3.155)$$

$$V_{S(max)} = V_{in(pk)} + V_{Bus}$$

Isolando $V_{Dn2(max)}$ em (3.154) e substituindo a tensão no interruptor de acordo com (3.155), encontra-se (3.156). Expressão que define a máxima tensão sobre o diodo D_{n2} .

$$V_{Dn2(max)} \left(\frac{\pi}{2} \right) = V_{Co} + V_{Bus} - V_{S1_t_2} \left(\frac{\pi}{2} \right) \quad (3.156)$$

$$V_{Dn2(max)} = V_{Co} + V_{Bus} - \left(V_{in(pk)} + V_{Bus} \right)$$

$$V_{Dn2(max)} = -V_{in(pk)} + V_o$$

Analisando a Figura 3.10, nota-se que a tensão máxima sobre o diodo D_{n1} , ocorre quando a tensão de entrada é mínima e ao fim da terceira etapa de operação, ou seja, ângulo θ de 180° (π) e instante de tempo t_3 . Seu comportamento é representado pela equação (3.26), que ao aplicar estas relações, pode ser reescrita como (3.157).

$$V_{S1_t_3} = V_{CS1} - V_{Dn1} \quad (3.157)$$

$$V_{S1_t_3}(\theta) = \left(V_{in(pk)} + \frac{\Delta V_{CS1}}{2} \right) \cdot |sen(\theta)| - V_{Dn1(max)} \cdot |\cos(\theta)|$$

O segundo estágio tem apenas duas etapas de operação, assim se mantém a equação que representa a segunda etapa. Substituindo $V_{S1_t_3}$ de acordo com (3.154), ângulo θ de 180° (π) e isolando V_{Dn1} em (3.157), encontra-se (3.158). Esta equação define o máximo valor de V_{Dn1} (V_{Dn1_max}).

$$V_{Bus} + V_o - V_{Dn2(max)} \cdot |sen(\theta)| = \left(V_{in(pk)} + \frac{\Delta V_{CS1}}{2} \right) \cdot |sen(\theta)| - V_{Dn1(max)} \cdot |\cos(\theta)| \quad (3.158)$$

$$V_{Dn1(max)} = - \left(V_{Bus} + V_o \right)$$

3.4 Considerações Finais

Este capítulo foi dedicado ao estudo do conversor CA-CC SEPIC quadrático não isolado, que emprega um único interruptor ativo. Nele, foi apresentada a metodologia utilizada para realizar a integração, a análise qualitativa e a análise quantitativa. A análise qualitativa demonstra o princípio de funcionamento da topologia proposta, apresentando cada etapa de operação, bem

como as principais formas de ondas teóricas dos componentes do circuito. A análise quantitativa apresenta equações que definem o comportamento dos componentes, o ganho estático do conversor e o desenvolvimento de equações que serão, posteriormente, utilizadas no projeto deste conversor.

Após a realização da análise qualitativa, são definidas as correntes nos indutores e as ondulações de tensão nos capacitores, onde o primeiro estágio tem função predominante de atenuar a ondulação em baixa frequência e o segundo estágio tem a função de atenuar apenas a ondulação de alta frequência. A análise dos esforços nos semicondutores é realizada definindo as correntes médias e eficazes nos componentes, tanto para um período de comutação, quanto para um período da tensão de entrada retificada, além de definir os máximos esforços de corrente e tensão.

CAPÍTULO 4. METODOLOGIA DE PROJETO

4.1 Considerações Iniciais

A metodologia de projeto visa delimitar as faixas de operação do conversor, buscando dimensionar os elementos do circuito de potência, com uma margem para que o circuito de controle possa atuar, atenuando a ondulação de corrente e conseqüentemente, reduzindo o valor capacitivo necessário no barramento.

O roteiro de projeto será elaborado com base nas equações desenvolvidas nas análises qualitativa e quantitativa, destacando as particularidades apresentadas na escolha de alguns componentes. Também será realizada a modelagem e o projeto do circuito de controle.

4.2 Roteiro de Projeto

O conversor CA-CC SEPIC quadrático, apresentado na Figura 3.3, utiliza dois estágios de conversão integrados. A Tabela 4.1 apresenta os principais parâmetros de projeto, bem como dados referentes ao arranjo de LEDs utilizado como carga, composto por dois COB LEDs de 52,57 W, com corrente nominal de 1,5 A, ligados em série.

Tabela 4.1 - Especificações de projeto retificador CA-CC SEPIC quadrático

| SÍMBOLO | DESCRIÇÃO | VALOR |
|---------------------|--|--------------|
| V_{in} | Tensão de entrada eficaz | 127 V |
| $\% \Delta V_{in}$ | Tolerância a variação na tensão de entrada | $\pm 10\%$ |
| V_{inpk} | Tensão de pico na entrada ($V_{in(pk)} = V_{in} \cdot \sqrt{2}$) | 179,6 V |
| f_i | Frequência da rede de entrada | 60 Hz |
| f_s | Frequência de comutação | 50 kHz |
| V_{LED} | Tensão do limiar do arranjo de LEDs | 56 V |
| R_{LED} | Resistência dinâmica do arranjo de LEDs | 9,4 Ω |
| I_{LED} | Corrente nominal do arranjo de LEDs | 1,5 A |
| V_o | Tensão média do arranjo (em corrente nominal) | 70,1 V |
| P_o | Potência média do arranjo (em corrente nominal) | 105,15 W |
| $\% \Delta I_L$ | Porcentagem de variação de corrente nos indutores | 20 % |
| $\% \Delta I_{LED}$ | Porcentagem de variação de corrente na carga | 19,2 % |

Fonte: Elaborado pelo autor.

Como parâmetro de projeto, a ondulação máxima de corrente sobre a carga é de 19,2%, valor que garante baixo risco à saúde humana, evitando o efeito de modulação da intensidade luminosa, como citado no item 2.3.3. Conseqüentemente, a baixa ondulação de corrente evita a aceleração da degradação do fluxo luminoso, assim evitando a redução acelerada de vida útil dos LEDs. Como ilustra a Figura 3.9, a máxima ondulação de corrente estabelecida é caracterizada pela componente em baixa frequência f_r (no caso, 120 Hz, relacionada à tensão da rede retificada),

de acordo com recomendação pratica 1 (Ieee, 2015), não há restrições para componentes com frequência superior a 1250 Hz. Esta ondulação é definida da seguinte forma:

$$\Delta I_{LED(T_r)} = I_{LED} \cdot \% \Delta I_{LED} = I_{LED} \cdot Mod(\%)_{RP01} \cdot 2 = 288mA \quad (4.1)$$

em que: $\Delta I_{LED(T_r)}$ representa a ondulação de corrente em baixa frequência (120 Hz) e $Mod(\%)_{RP01}$ representa a modulação da intensidade luminosa segundo recomendação pratica 01.

Já a ondulação de corrente em um período de comutação, é atenuada pelos componentes do segundo estágio e limitada a 6%, na tentativa de evitar grandes ondulações de corrente e seu valor é representado em (4.2).

$$\Delta I_{LED(T_s)} = I_{LED} \cdot 6\% = 0,09A \quad (4.2)$$

A ondulação de tensão de saída (ΔV_o), em um período T_r e T_s , pode ser encontrada pela relação entre as equações (4.1) e (4.2), com a resistência dinâmica do arranjo de LEDs (r_D), como representado em (4.3) e (4.4), respectivamente.

$$\Delta V_{o(T_r)} = \Delta I_{LED(T_r)} \cdot r_{LED} = 2,707 V \quad (4.3)$$

$$\Delta V_{o(T_s)} = \Delta I_{LED(T_s)} \cdot r_{LED} = 0,846 V \quad (4.4)$$

Como citado, o primeiro estágio é composto por um retificador SEPIC que deve sempre operar em MCD, mantendo a característica de seguidor de tensão. O roteiro de projeto deve preocupar em garantir este modo de condução, tolerando um determinado nível de variação da tensão de entrada, conforme estabelecido nas especificações de projeto.

Analisando o circuito da Figura 3.4, observa-se que o capacitor C_{Bus} é o elo entre os dois estágios e em malha aberta, é o principal responsável pelo controle da ondulação de corrente de baixa frequência, transmitida à carga. Sua tensão (V_{Bus}) é o parâmetro de saída do primeiro estágio e parâmetro de entrada do segundo. Como o segundo estágio SEPIC deve operar em MCC, a tensão do capacitor de barramento é definida por (3.42) e pode ser reescrita como:

$$V_{Bus} = V_o \cdot \frac{1-D}{D} \quad (4.5)$$

Substituindo (3.64) em (3.61), encontra-se a relação entre V_{Bus} e a tensão de entrada:

$$V_{Bus} = \frac{V_{in} \cdot \sqrt{2}}{\sqrt{\frac{4 \cdot L_{eq}}{R_o \cdot T_s}}} \cdot (1-D) \quad (4.6)$$

Relacionando (4.5) e (4.6), encontra-se (4.7), relação que indica que, quando o estágio de entrada opera em MCD e o estágio de saída opera em MCC, as tensões do capacitor C_{Bus} e da saída são reversamente dependentes da razão cíclica (D) (Alonso, Viña, *et al.*, 2011). Ou seja, ao incrementar a razão cíclica, a tensão de saída aumenta e a tensão de barramento reduz.

$$V_{CBus} = V_o \cdot \frac{1-D}{D} = \frac{V_{in} \cdot \sqrt{2}}{\sqrt{\frac{4 \cdot L_{eq}}{R_o \cdot T_s}}} \cdot (1-D) \quad (4.7)$$

A soma das tensões de barramento (4.6) e de saída (3.65), apresentam uma relação que não depende da razão cíclica, sendo proporcional apenas a tensão de pico da entrada $V_{in(pk)}$, conforme (4.8). Considerando que a carga a ser acionada está com potência nominal de projeto, a equação indica que a tensão de barramento varia de acordo com a tensão de entrada.

$$V_{CBus} + V_o = \frac{V_{in} \cdot \sqrt{2}}{\sqrt{\frac{4 \cdot L_{eq}}{R_o \cdot T_s}}} \cdot (1-D) + \frac{V_{in} \cdot \sqrt{2}}{\sqrt{\frac{4 \cdot L_{eq}}{R_o \cdot T_s}}} \cdot D \quad (4.8)$$

$$V_{CBus} + V_o = \frac{V_{in} \cdot \sqrt{2}}{\sqrt{\frac{4 \cdot L_{eq}}{R_o \cdot T_s}}}$$

O primeiro estágio deve sempre operar em MCD, assegurando, assim, a função CFP em toda a faixa de variação da tensão de entrada. Para respeitar esta condição, o projeto considera a razão cíclica crítica do primeiro estágio obtida a partir da equação (3.74), e reescrita como:

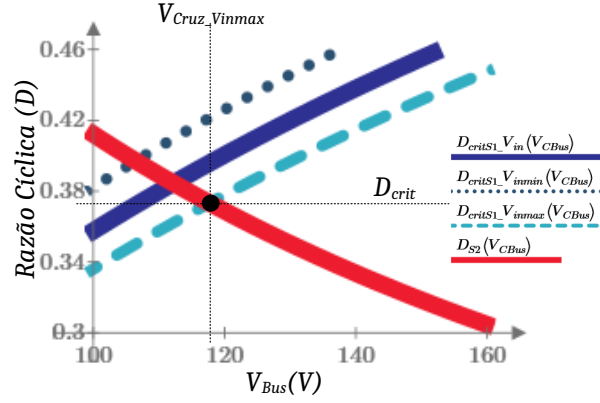
$$D_{critS1} = \frac{V_{CBus}}{V_{CBus} + V_{in(pk)}} \quad (4.9)$$

O segundo estágio, que deve operar em MCC, tem razão cíclica definida através da manipulação da equação (4.5), encontrando:

$$D_{S2} = \frac{V_o}{V_o + V_{CBus}} \quad (4.10)$$

A Figura 4.1 ilustra a relação entre razão cíclica e a tensão de barramento, em que suas curvas são traçadas de acordo com as equações (4.9) e (4.10). Onde a curva D_{critS1} (representada em azul) ilustra o limite entre condução contínua e descontínua do primeiro estágio, considerando a tensão de entrada nominal (V_{in}); as curvas paralelas a ela mostram a variação de $\pm 10\%$ na tensão de entrada. A curva tracejada $D_{critS1}(V_{inmax})$ (representada em azul claro) é caracterizada pela máxima tensão de entrada e o ponto de interseção, onde a mesma toca a curva D_{S2} (que ilustra a curva de operação do segundo estágio, representada em vermelho), é escolhido como ponto de razão cíclica crítica (D_{Crit}). Este ponto será utilizado no projeto, sendo definido por análise gráfica ou pela equação (4.12). A tensão do ponto de cruzamento entre as duas curvas também pode ser determinada por análise gráfica ou pelo método de igualar e manipular as equações (4.9) e (4.10), resultando em (4.11).

Figura 4.1 - Razão cíclica crítica do retificador SEPIC em relação a V_{CBus} .



Fonte: Elaborado pelo autor.

$$\frac{V_{CBus}}{V_{CBus} + V_{inpk_max}} = \frac{V_o}{V_o + V_{CBus}} \quad (4.11)$$

$$V_{Cruz_Vin_max} = \sqrt{V_o \cdot V_{inpk_max}} = 117,683V$$

$$D_{crit} = \frac{V_o}{V_o + V_{Cruz_min}} = 0,373 \quad (4.12)$$

Com razão cíclica crítica definida, o próximo passo é projetar o indutor equivalente do primeiro estágio (L_{eq}). Isolando L_{eq} em (3.65), aplicando D_{crit} e $V_{in(pk)(min)}$, encontra-se (4.13), expressão que define o valor de L_{eq} , que garante o modo de condução descontínuo do primeiro estágio, mantendo uma margem de segurança. Ou seja, com esta razão cíclica considerada máxima, mesmo que a tensão de entrada suba ao máximo valor permitido, o primeiro estágio irá continuar operando em MCD.

$$L_{eq} = \frac{V_{in(pk)(min)}^2 R_o}{4 \cdot V_o^2} \cdot D_{crit}^2 \cdot T_s = 173,143 \mu H \quad (4.13)$$

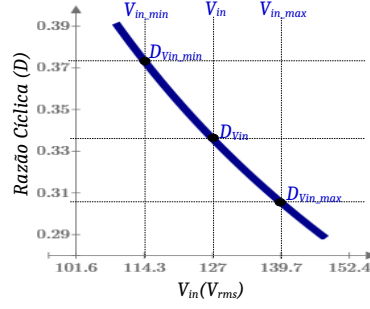
em que: resistência equivalente de carga (R_o) e a tensão de saída (V_o), podem ser substituídas de acordo com a lei de Ohm:

$$P_o = \frac{V_o^2}{R_o} \quad (4.14)$$

Com o valor de L_{eq} definido em (4.13), o próximo passo é encontrar a razão cíclica de operação (D). Isolando D em (3.65) e substituindo L_{eq} de acordo com (4.13) e demais variáveis, de acordo com parâmetros da Tabela 4.1, encontra-se (4.15). A Figura 4.2 mostra o comportamento da razão cíclica em relação à variação da tensão de entrada, para manter potência nominal na saída.

$$D = \frac{V_o}{V_{in} \cdot \sqrt{2} \cdot \sqrt{\frac{R_o \cdot T_s}{4 \cdot L_{eq}}}} = 0.336 \quad (4.15)$$

Figura 4.2 - Razão cíclica em função da tensão de entrada.



Fonte: Elaborado pelo autor.

A corrente de entrada pode ser definida através de (3.68) e pode ser reescrita como (4.16).

$$I_{in(pk)} = \frac{V_{in} \cdot \sqrt{2}}{2 \cdot L_{eq}} \cdot D^2 \cdot T_s = 1,171A \quad (4.16)$$

O indutor de entrada L_1 , pode ser dimensionado através da expressão (3.79), considerando $\Delta i_{L1} = \% \Delta i_L \cdot I_{in(pk)}$, obtém-se (4.17). Em que $\% \Delta i_{L1}$ é dado de projeto e $I_{in(pk)}$ é definido em (4.16).

$$L_1 = \frac{V_{in} \cdot \sqrt{2}}{\% \Delta i_{L1} \cdot I_{in(pk)}} \cdot D \cdot T_s = 5,15mH \quad (4.17)$$

O indutor L_2 pode ser estabelecido através da manipulação da equação (3.57), que apresenta a relação paralela dos indutores do primeiro estágio, resultando em:

$$L_2 = \frac{L_1 \cdot L_{eq}}{L_1 - L_{eq}} = 179,16\mu H \quad (4.18)$$

Como citado no item 3.2.3, a frequência de ressonância, estabelecida por (3.119), deve ser muito maior que a frequência de entrada da rede retificada. E a frequência f_{res2} , definida em (3.120), deve ser menor que f_s . Isolando C_{S1} em (3.119) e considerando uma faixa de frequência 10 vezes maior que f_r , define-se uma aproximação do máximo valor estabelecido para C_{S1} , de acordo com (4.19). Isolando C_{S1} em (3.120) e considerando uma frequência de ressonância f_{res2} de 75% do valor de f_s , determina-se o limite mínimo estabelecido para C_{S1} , de acordo com (4.20).

$$C_{S1(max)} = \frac{1}{(2 \cdot \pi \cdot f_r \cdot 10)^2 \cdot (L_1 + L_2)} = 3299nF \quad (4.19)$$

$$C_{S1(min)} = \frac{1}{(2 \cdot \pi \cdot f_{res2} \cdot 75\%)^2 \cdot L_2} = 100,538nF \quad (4.20)$$

Como apresenta o item 3.2.3, a equação (3.118) define a ondulação de tensão em um período T_s , sobre o capacitor C_{S1} . Assim, substituindo o valor máximo (4.19) e mínimo (4.20) deste capacitor em (3.118), encontra-se os respectivos limites de ondulação de tensão:

$$\Delta V_{CS1(T_s)} = \frac{V_{in} \cdot \sqrt{2} \cdot D^2 \cdot T_s}{8} \cdot \frac{\left[(L_2 \cdot V_{in} \cdot \sqrt{2} - L_1 \cdot V_{Bus}) \cdot D + 2 \cdot L_1 \cdot V_{Bus} \right]^2}{L_1 \cdot L_2 \cdot C_{S1} \cdot V_{Bus}}$$

em que

$$\Delta V_{CS1(max)} = 4,836V \quad \Delta V_{CS1(min)} = 158,674V \quad (4.21)$$

A prática demonstra que o valor adequado para o capacitor C_{S1} pode ser maior ou menor e a escolha pode ser feita com base na simulação ou na própria implementação prática (Simonetti, 1995). A priori, será considerado o valor máximo de acordo com (4.19), evitando elevar a tensão de barramento, efeito causado pela redução do capacitor C_{S1} empregado.

Como mencionado no item 3.2.3, o capacitor de barramento C_{Bus} , é o elo entre os dois estágios e tem a função principal de atenuar, a ondulação de tensão com componente em baixa frequência. O valor limite da ondulação de tensão, presente no barramento (ΔV_{CBus_Thr}), varia de acordo com o limite de ondulação da tensão de saída, podendo ser expresso pela relação entre o ganho estático do segundo estágio (3.42) e a ondulação máxima, em baixa frequência, permitida na carga (4.3), resultando em (4.22).

$$\Delta V_{Bus} = \Delta V_{o(BF)} \cdot \frac{1-D}{D} \quad (4.22)$$

$$\Delta V_{Bus(D_{crit})} = 4,545 V \quad \Delta V_{Bus(D)} = 5,351 V \quad \Delta V_{Bus(D_{Vin_max})} = 6,156 V$$

Isolando C_{Bus} na equação (3.127), substituindo ΔV_{Bus} com o menor valor encontrado em (4.22) e $V_{CBus(min)}$, de acordo com (4.11), encontra-se (4.23). Expressão esta que define o valor de capacitância de barramento necessária para garantir a ondulação de saída estipulada no projeto, para o caso de tensão de entrada mínima, considerada pior ocorrência de ondulação de corrente transmitida à carga.

$$C_{Bus} = \frac{\left(V_{in(min)} \cdot \sqrt{2} \right)^2 \cdot D_{crit}^2 \cdot T_s}{4 \cdot \pi \cdot L_{eq} \cdot f_{lr} \cdot V_{CBus(min)} \cdot \Delta V_{Bus(min)}} = 521 \mu F \quad (4.23)$$

Analisando a Figura 3.3, percebe-se que o caminho de entrada da corrente do segundo estágio (composto por um conversor SEPIC, operando em MCC) é o indutor L_3 . A corrente média em L_3 é definida através de (3.59), podendo ser reescrita como:

$$\langle I_{L3} \rangle = \langle I_{DS1} \rangle = \frac{\left(V_{in} \cdot \sqrt{2} \right)^2 \cdot D^2 \cdot T_s}{4 \cdot V_{Bus} \cdot L_{eq}} = 0,759 A \quad (4.24)$$

O indutor de entrada do segundo estágio L_3 , pode ser dimensionado através da expressão (3.81), em que se considera $\Delta i_{L3} = \% \Delta i_L \cdot I_{L3}$ e $\% \Delta i_L$ é dado de projeto, encontrando (4.25).

$$L_3 = \frac{V_{Bus}}{I_{L3} \cdot \% \Delta i_L \cdot I_{L3}} \cdot D \cdot T_s = 6,133 \text{ mH} \quad (4.25)$$

A corrente média do indutor L_4 é definida pela equação (3.107), como I_{o_med} . O indutor de saída do segundo estágio L_4 pode ser dimensionado através da expressão (3.82), considerando $\Delta i_{L4} = \% \Delta i_L \cdot I_{L4}$ e substituindo (3.107), obtém-se (4.26).

$$L_4 = \frac{V_{Bus}}{I_o \cdot \% \Delta i_L} \cdot D \cdot T_s = 3,103 \text{ mH} \quad (4.26)$$

Os capacitores do segundo estágio têm a função de atenuar apenas a ondulação de alta frequência. A ondulação de tensão no capacitor C_{S2} tem valor inicial igual a ondulação presente no barramento, definida por (4.22). Porém, assim como no caso de C_{S1} , um melhor ajuste pode ser realizado através de simulação computacional. Manipulando a equação (3.129) e isolando C_{S2} , encontra-se (4.27); equação que define o valor de C_{S2} .

$$C_{S2} = \frac{I_o}{\Delta V_{CS2}} \cdot D \cdot T_s = \frac{I_o}{\Delta V_{C_{Bus_min}}} \cdot D \cdot T_s = 2,218 \text{ } \mu\text{F} \quad (4.27)$$

O último componente do circuito de potência a ser dimensionado é o capacitor de saída (C_o), que é projetado para atenuar a componente de alta frequência presente na corrente de saída. Este parâmetro é definido através da manipulação da equação (3.130), com a aplicação do respectivo limite de ondulação, definido em (4.4). Assim obtém-se:

$$C_o = \frac{I_o}{\Delta V_{C_o_T_s}} \cdot D \cdot T_s = 11,914 \text{ } \mu\text{F} \quad (4.28)$$

Com a metodologia e equações matemáticas definidas, o próximo passo será a simulação computacional, que permite verificar os conceitos até aqui explorados e o ajuste fino do projeto da topologia proposta. A Tabela 4.2 compila os valores dos componentes do estágio de potência apresentados pelo roteiro de projeto.

Tabela 4.2 - Componentes do estágio de potência definidos de acordo com o roteiro de Projeto.

| SÍMBOLO | DESCRIÇÃO | VALOR |
|------------------|--|-------------|
| L_1 | Indutor de entrada do primeiro estágio | 5,153 mH |
| L_2 | Indutor de saída do primeiro estágio | 179 μ H |
| C_{S1_max} | Capacitor SEPIC do primeiro estágio | 3,3 μ F |
| C_{Bus_Ideal} | Capacitor de barramento Ideal | 521 μ F |
| L_3 | Indutor de entrada do segundo estágio | 6,133 mH |
| L_4 | Indutor de saída do segundo estágio | 3,103 mH |
| C_{S2} | Capacitor SEPIC do segundo estágio | 2,2 μ F |
| C_o | Capacitor de saída do segundo estágio | 12 μ F |

Fonte: Elaborado pelo autor.

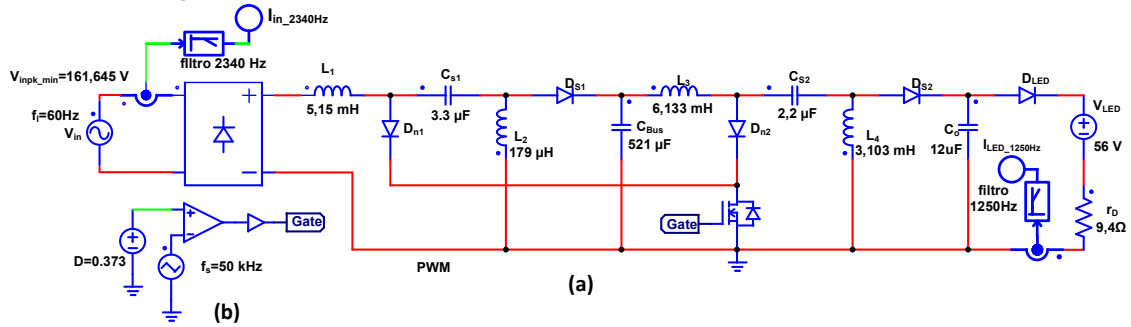
4.2.1 Verificação do Conversor Proposto Através de Simulação

Para validar as equações matemáticas apresentadas no roteiro de projeto, bem como a descrição da topologia proposta, uma simulação do conversor proposto em malha aberta é

realizada, a fim de validar e possibilitar o ajuste de alguns componentes, destacando os efeitos positivos e negativos para a topologia e carga utilizada.

A Figura 4.3 mostra o circuito simulado no *software* PSIM®, parametrizado para o considerado pior caso de oscilação de corrente no arranjo de LEDs, que acontece com tensão mínima de entrada e razão cíclica crítica, conforme especificado no roteiro de projeto, presente no item 4.2.

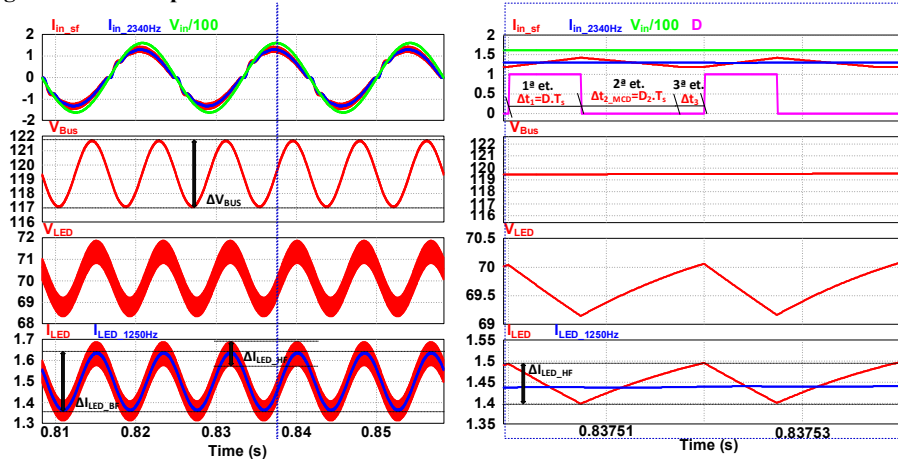
Figura 4.3 - Circuito simulado no software PSIM com tensão de entrada mínima.



Fonte: Elaborado pelo autor.

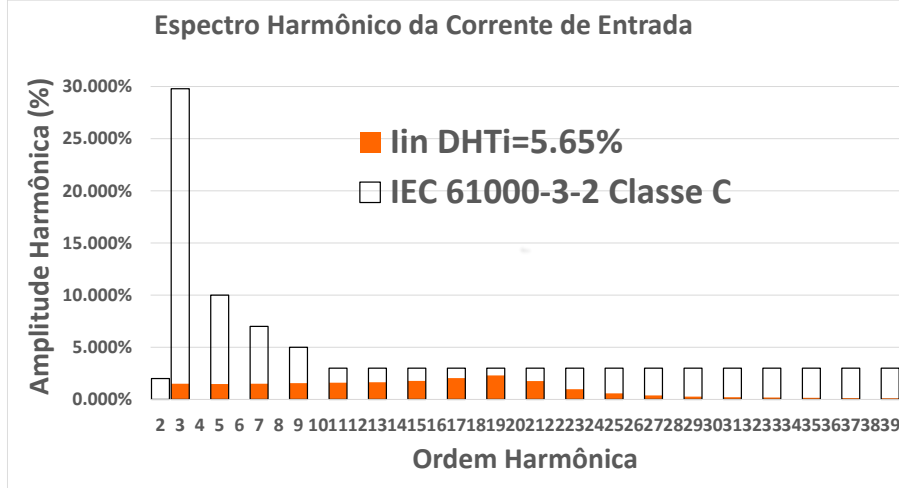
A Figura 4.4 mostra as formas de onda simuladas de corrente e tensão de entrada, tensão de barramento, tensão e corrente do arranjo de LEDs e a Figura 4.5 apresenta a comparação do conteúdo harmônico da corrente de entrada aos limites estabelecidos pela norma IEC 61000-3.2. Analisando a resposta apresentada pelo circuito simulado, verifica-se que são atendidos os requisitos de qualidade de energia, tais como alto fator de potência ($FP = 0,996$) e baixa distorção da corrente de entrada ($THDi = 5,65\%$). A tensão de barramento para este caso tem valor médio de 119,4 V, próximo ao valor estabelecido no projeto (4.11) e ondulação de tensão de 4,624 V, também próximo ao valor estipulado em (4.22). A ondulação de corrente em baixa frequência no arranjo de LEDs é de 278 mA, aproximadamente 18,53 % da corrente nominal. Assim, confirma-se que o roteiro de projeto do circuito do conversor proposto consegue atender aos critérios estabelecidos, operando em malha aberta e com capacitor de barramento ideal, de 521 µF.

Figura 4.4 - Principais formas de ondas do circuito simulado com tensão mínima de entrada.



Fonte: Elaborado pelo autor.

Figura 4.5 - Conteúdo harmônico da corrente de entrada em comparação a IEC 61000-3-2.



Fonte: Elaborado pelo autor.

A Tabela 4.3 apresenta os valores teóricos e os resultados de simulação computacional. Os dados teóricos e simulados são coletados para as condições nominais de projeto, corrente de saída nominal ($I_{LED} = 1,5 \text{ A}$) e tensão de entrada nominal ($V_{in(rms)} = 127 \text{ V}$). A partir desta tabela, constata-se que os resultados teóricos e apresentados pela simulação numérica são próximos, apresentando erro percentual máximo de 6,52%.

Tabela 4.3 - Análise comparativa entre resultados teóricos e resultados da simulação numérica com tensão de entrada e corrente de saída nominal.

| GRAND. | TEÓRICAS | | | SIMULADAS | | | ERRO % | | |
|---------------------------|----------|--------------|-------|-----------|--------------|-------|--------|--------------|------|
| | Máx. | ΔI_L | Ef. | Máx. | ΔI_L | Ef. | Máx. | ΔI_L | Ef. |
| $I_{L1} (A)$ | 1,315 | 0,234 | 0,827 | 1,345 | 0,233 | 0,843 | 2,28 | 0,43 | 1,9 |
| $I_{L2} (A)$ | 5,655 | 6,736 | 1,829 | 5,695 | 6,769 | 1,822 | 0,7 | 0,49 | 0,38 |
| $I_{L3} (A)$ | 0,835 | 0,152 | 0,76 | 0,889 | 0,154 | 0,76 | 6,46 | 1,29 | 0 |
| $I_{L4} (A)$ | 1,65 | 0,3 | 1,502 | 1,765 | 0,305 | 1,51 | 6,51 | 1,64 | 0,01 |
| GRAND. | Máx. | Méd. | Ef. | Máx. | Méd. | Ef. | Máx. | Méd. | Ef. |
| $I_{DS1} (A)$ | 6,97 | 0,759 | 1,73 | 6,931 | 0,732 | 1,696 | 0,56 | 3,69 | 2 |
| $I_{Dn1} (A)$ | 6,97 | 0,745 | 1,649 | 7,011 | 0,748 | 1,658 | 0,58 | 0,4 | 0,55 |
| $I_{DS2} (A)$ | 2,485 | 1,5 | 1,844 | 2,644 | 1,505 | 1,851 | 6,39 | 0,33 | 0,38 |
| $I_{Dn2} (A)$ | 2,485 | 0,759 | 1,312 | 2,647 | 0,76 | 1,316 | 6,52 | 0,13 | 0,3 |
| $I_S (A)$ | 9,455 | 1,504 | 2,814 | 9,473 | 1,508 | 2,824 | 0,19 | 0,27 | 0,36 |
| $V_{CBus} (V)$ | 139,6 | 138,5 | | 141,3 | 139,3 | | 1,21 | 0,58 | |
| $\Delta V_{CBus} (V)$ | | 3,86 | | | 3,94 | | | 2,07 | |
| $\Delta V_{CS1(max)} (V)$ | | 4,836 | | | 4,876 | | | 0,83 | |
| $V_{DS1(max)} (V)$ | | 320,6 | | | 321,9 | | | 0,4 | |
| $V_{DS2(max)} (V)$ | | 211 | | | 215,3 | | | 2,03 | |
| $V_{Dn1(max)} (V)$ | | 208,7 | | | 202,3 | | | 3,16 | |
| $V_{Dn2(max)} (V)$ | | 109,5 | | | 110,7 | | | 1,1 | |
| $V_S(max) (V)$ | | 318,153 | | | 320,2 | | | 0,64 | |

Fonte: Elaborado pelo autor.

O circuito simulado mostra conformidade com os parâmetros de projeto e as equações utilizadas no desenvolvimento de seu roteiro. Porém, vale ressaltar que o capacitor de barramento utilizado nesta simulação apresenta elevado valor, impossibilitando a utilização de capacitores de filme. Para solucionar este problema, é sugerida a operação em malha fechada, com um controlador rápido o suficiente para atenuar a ondulação de corrente na saída, permitindo a redução do valor capacitivo empregado no barramento, sem extrapolar os limites de qualidade de corrente estabelecidos pelas respectivas normas.

4.2.2 Particularidades Apresentadas na Escolha do Capacitor C_{SI}

Como definido anteriormente, é aconselhável que se escolha o valor deste componente, dentro de uma faixa, definida pelas equações (4.19) $3,3 \mu\text{F}$ e (4.20) 100 nF . Também, que se realize um melhor ajuste através de simulação computacional ou mesmo através da implementação experimental. Para avaliar esta escolha, é importante conhecer os efeitos causados pela variação desta capacitância, neste contexto, a simulação é uma importante ferramenta. A Figura 4.6 apresenta as principais formas de ondas simuladas, relacionadas à escolha do capacitor C_{SI} , para diferentes valores capacitivos, permitindo que sejam destacados os principais efeitos do emprego de cada valor capacitivo.

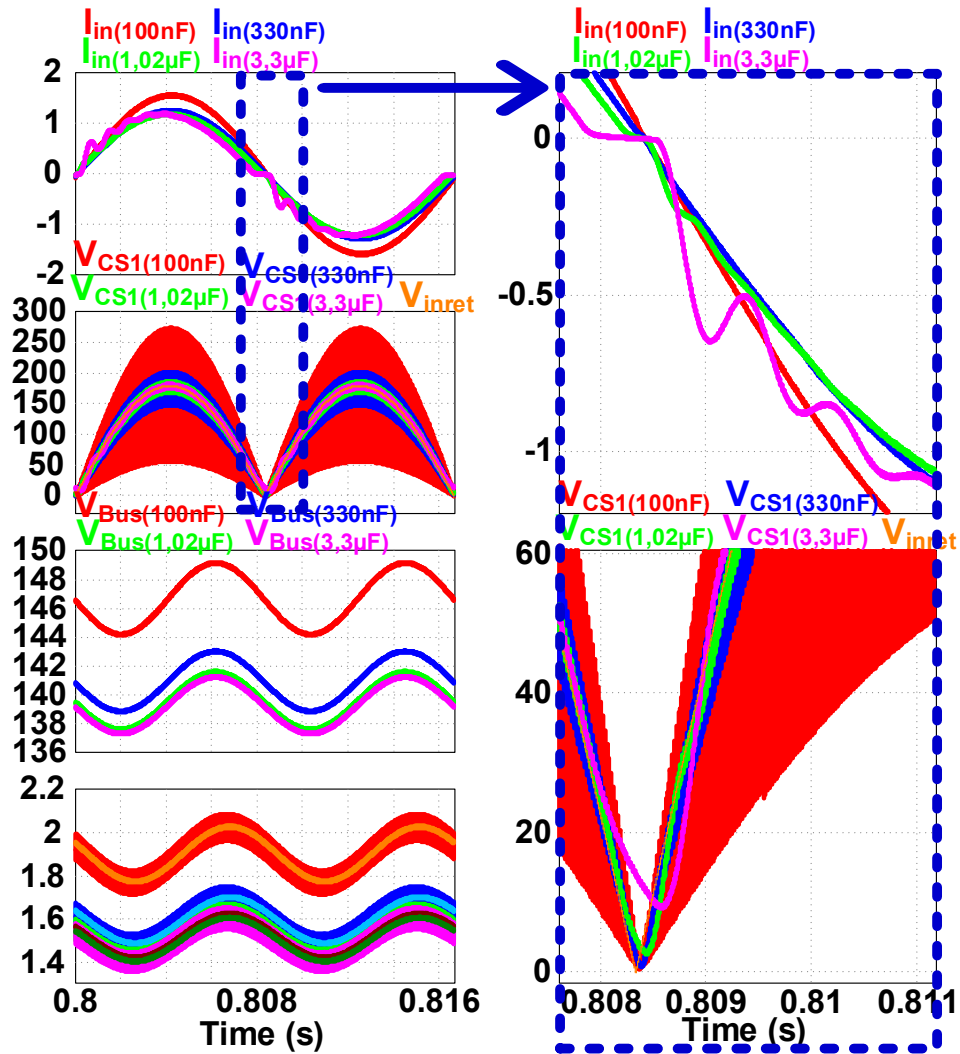
O mínimo valor capacitivo (100 nF) está representado em vermelho e sua utilização traz, como consequência, alta variação de tensão sobre o capacitor ($\Delta V_{CSI}=215,93 \text{ V}$), tensão de barramento de $146,7 \text{ V}$ e a menor distorção da corrente de entrada ($\text{DHTi}=0,504 \%$). O valor da tensão de barramento, segundo o roteiro de projeto, deveria ser de $138,548 \text{ V}$.

O máximo valor capacitivo está representado em rosa, tendo seu valor estabelecido em (4.19) $3,3 \mu\text{F}$. Sua utilização traz, como consequência, baixa variação de tensão ($\Delta V_{CSI}=4,84 \text{ V}$), tensão de barramento de $139,3 \text{ V}$ e considerável distorção da corrente de entrada ($\text{DHTi}=7,613 \%$). O valor da tensão de barramento se aproxima do estabelecido no roteiro de projeto.

O capacitor intermediário está demonstrado em verde, com o valor de, aproximadamente, $1,02 \mu\text{F}$. Sua utilização traz, como consequência, uma ondulação de tensão de $\Delta V_{CSI}=16 \text{ V}$, valor de tensão de barramento de $139,6 \text{ V}$ e DHTi de $1,208 \%$.

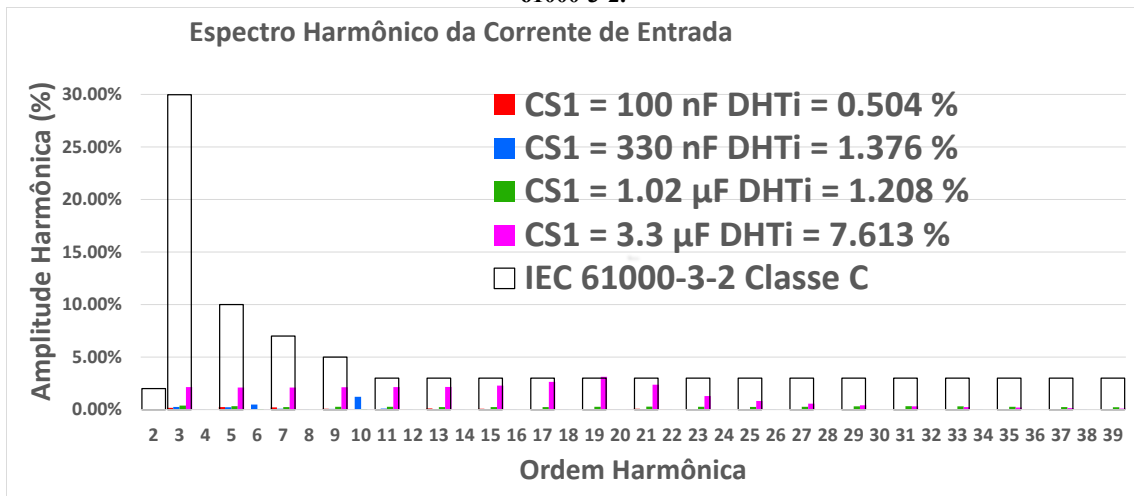
Como citado em (Simonetti, 1995) e verificado através da análise da Figura 4.6, nota-se que ao utilizar um determinado valor capacitivo, as formas de onda apresentam uma ressonância na frequência estabelecida por (3.119) e quanto menor esta frequência de ressonância, maior a amplitude e DHTi consequente. Ao implementar uma redução gradual do valor capacitivo empregado em C_{SI} , a ondulação sobre o capacitor C_{SI} irá se incrementar, a frequência de ressonância irá se incrementar e a amplitude da ressonância diminuir, apresentando redução do DHTi e acréscimo na tensão de saída do primeiro estágio (V_{Bus}). O acréscimo em V_{Bus} , traz, como consequência, um incremento no percentual de erro, apresentado pela comparação de valores teóricos e simulados.

Figura 4.6 - Formas de onda da corrente de entrada, tensão no capacitor C_{S1} , tensão de barramento, corrente no arranjo de LEDs com a utilização de diferentes valores em C_{S1} .



Fonte: Elaborado pelo autor.

Figura 4.7 - Conteúdo harmônico da corrente de entrada com diferentes valores de C_{S1} em comparação a IEC 61000-3-2.



Fonte: Elaborado pelo autor.

Quando um retificador SEPIC, operando em MCD, é utilizado, este acréscimo em $V_{C_{Bus}}$ é facilmente corrigido com um ajuste da razão cíclica, sem maiores influências. Porém, no caso do conversor proposto, a integração entre os estágios faz com que as alterações impactem nos dois estágios, pois ambos utilizam o mesmo interruptor. Como representado em (4.7), quando o estágio de entrada opera em MCD e o estágio de saída opera em MCC, a tensão de barramento e a tensão de saída se tornam inversamente dependentes da razão cíclica. Ou seja, ao reduzir a razão cíclica, o valor da tensão de saída reduz e a tensão de barramento se incrementa.

Como destacado anteriormente, as características desejáveis no *driver* proposto são: alto fator de potência; baixa distorção harmônica da corrente de entrada; não utilização de capacitores eletrolíticos convencionais e baixa ondulação de corrente na carga. Como citado, a não utilização de capacitores eletrolíticos convencionais, traz a necessidade de redução do filtro capacitivo apresentado no roteiro de projeto. Esta redução, sem comprometer a baixa ondulação de corrente, está diretamente ligada a utilização de um circuito de controle rápido o suficiente para atenuar a ondulação com componente de baixa frequência, presente na carga. A atuação do circuito de controle traz, como consequência, um aumento da distorção da corrente de entrada (Cosetin *et al.*, 2014), que pode ter maior valor experimental, tendo em vista que a simulação ocorre em um ambiente idealizado.

Um meio de mitigar o aumento das harmônicas causado pela implementação do controle, é estabelecido pelo emprego de C_{SI_min} , que apresenta os menores níveis de distorção harmônica da corrente de entrada, dentre as estruturas simuladas. O consequente incremento da tensão de barramento causado pela utilização de C_{SI_min} , como ilustra a Figura 4.6, também contribui na redução do filtro capacitivo, pois o valor capacitivo empregado no barramento é inversamente proporcional à tensão sobre ele. Este acréscimo de tensão no barramento acarreta na necessidade de redução da razão cíclica, para que o conversor opere com corrente de saída nominal. A redução da razão cíclica acarreta em um novo incremento na tensão de barramento, de acordo com (4.7). Este processo torna a análise matemática complexa, porém, o ajuste pode ser facilmente realizado através de simulação numérica. A Tabela 4.4 apresenta os novos valores de razão cíclica e tensão de barramento, estabelecidos pelo emprego de C_{SI_min} e pelo ajuste realizado no simulador, mantendo a corrente de saída em seu valor nominal com os possíveis valores de tensão de entrada.

Tabela 4.4 - Razão cíclica para diversos valores da tensão de entrada utilizando o mínimo valor de C_{SI} com corrente de saída nominal.

| $V_{in}(rms)$ | 114,3 V | 127 V | 139,7 V |
|---------------|----------|---------|---------|
| D | 0,325 | 0,2975 | 0,274 |
| V_{Bus} | 145,78 V | 165,9 V | 185,4 V |

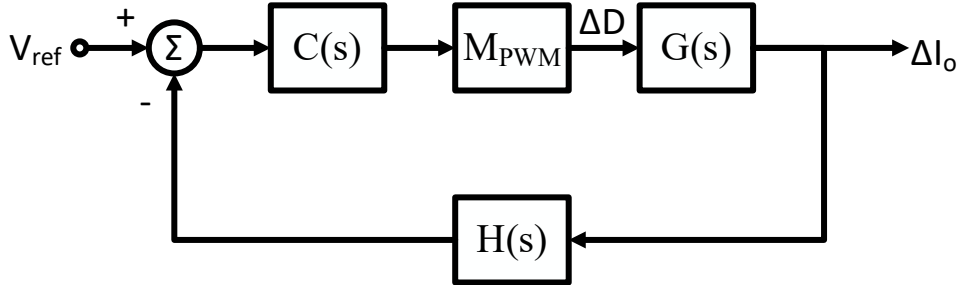
Fonte: Elaborado pelo autor.

4.3 Modelagem do Conversor Proposto

Como citado anteriormente, faz-se necessária a implementação de um sistema de controle da corrente de saída. A estratégia empregada no controle é estabelecida de acordo com diagrama

de blocos presente na Figura 4.8. Em que: $G(s)$ representa o modelo da planta do conversor proposto; $C(s)$ representa o compensador a ser definido; $H(s)$ representa o ganho do sensor de corrente apresentado em (4.29); M_{PWM} representa o ganho do modulador PWM, demonstrado em (4.30); V_{ref} representa a tensão de referência e ΔI_o representa a grandeza a ser controlada.

Figura 4.8 - Diagrama de blocos da estratégia de controle da corrente saída.



Fonte: Elaborado pelo autor.

Ganho do sensor de corrente ($H(s)$): O ganho do sensor de corrente $H(s)$ é caracterizado por um sensor de corrente de efeito Hall LA 55-P/SP1, que segundo (Lem, 2018) possui corrente nominal de 50 A; razão de conversão $K_N=1/2000$; corrente eficaz nominal no secundário de 25 mA, que aplicada a um resistor de medida de 200 Ω , converte o sinal de corrente em tensão. O valor medido de tensão é amplificado cinco vezes, por um amplificador operacional não inversor. Esta estrutura apresenta ganho final definido por:

$$H(s) = N_V \cdot K_N \cdot R_m \cdot K_{A.O.} = 4 \cdot \frac{1}{2000} \cdot 200 \cdot 5 = 2 \quad (4.29)$$

em que: N_V : número de voltas do cabo de saída enroladas no sensor; R_m : resistência de medida (paralelo com a saída do sensor); $K_{A.O.}$: ganho do amplificador operacional.

$$M_{PWM} = \frac{1}{V_{p_tri}} \quad (4.30)$$

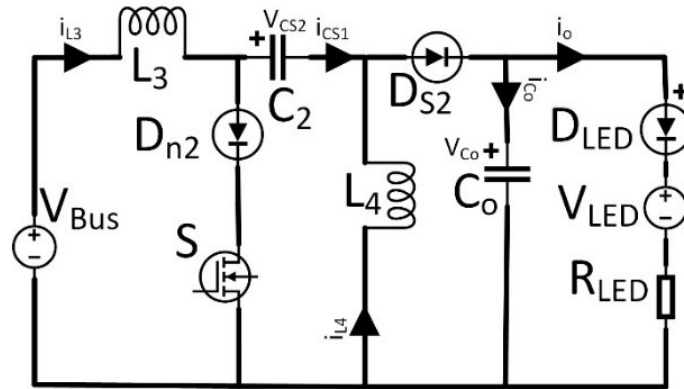
em que V_{p_tri} é a tensão de pico do sinal triangular dente de serra da portadora PWM.

Para que possa ser implementada uma malha de controle, faz-se necessária a modelagem da planta do conversor proposto. A modelagem tem o objetivo de extrair a função de transferência, que determina o comportamento estático ou dinâmico do sistema. Existem diversas possibilidades de modelagem, neste trabalho emprega-se o modelo médio em espaço de estados, amplamente explorado na literatura (Robert e Dragan, 2001; Barbi, 2015).

Como o estágio CFP opera em MCD e o capacitor de barramento C_{Bus} é considerado grande suficiente para manter a tensão constante na saída, pode-se considerar o estágio CFP como uma fonte de tensão contínua, vista pela entrada do segundo estágio (CP). Possibilitando, assim, que o modelo dinâmico do conversor proposto seja aproximado apenas ao seu segundo estágio (Cosetin *et al.*, 2014). Reduzindo assim a modelagem do conversor proposto, a de um conversor CC SEPIC operando em MCC, com o objetivo de encontrar a função de transferência que descreva a dinâmica do sistema, em função de variações na razão cíclica.

Diversos trabalhos propuseram a modelagem dinâmica do conversor CC SEPIC operando em MCC. A modelagem presente é baseada principalmente em (Eng *et al.*, 2009; Padhi e Narain, 2013; Ferreira, 2017) e apresenta, como particularidade, a utilização do modelo linear do arranjo de LEDs como carga, procedimento baseado no trabalho de (Almeida *et al.*, 2013). A Figura 4.9 apresenta o conversor CC-CC SEPIC, considera-se este conversor ideal e em regime permanente. As equações de estado podem ser escritas na forma matricial como em (4.31).

Figura 4.9 - Conversor SEPIC com controle da corrente de saída.



Fonte: Elaborado pelo autor.

$$\dot{x}(t) = A \cdot x(t) + B \cdot u(t) \quad (4.31)$$

$$y(t) = C \cdot x(t) + E \cdot u(t) \quad (4.32)$$

Onde o vetor de estados ($x(t)$), o vetor de entradas ($u(t)$) e o vetor de saídas ($y(t)$), são representados por (4.33), (4.34) e (4.35), respectivamente:

$$x(t) = [i_{L_3} \quad i_{L_4} \quad v_{C_{S2}} \quad v_{C_o}]^T \quad (4.33)$$

$$u(t) = [V_{Bus} \quad V_{LED}]^T \quad (4.34)$$

$$y(t) = [V_o \quad I_o]^T \quad (4.35)$$

As matrizes de sistema para o interruptor conduzindo (A1) e bloqueado (A2) são representadas em (4.36).

$$A1 = \begin{bmatrix} 0 & 0 & 0 & 0 \\ 0 & 0 & \frac{1}{L_4} & 0 \\ 0 & \frac{-1}{C_{S2}} & 0 & 0 \\ 0 & 0 & 0 & \frac{-1}{C_o \cdot r_D} \end{bmatrix} \quad A2 = \begin{bmatrix} 0 & 0 & -\frac{1}{L_3} & -\frac{1}{L_3} \\ 0 & 0 & 0 & -\frac{1}{L_4} \\ \frac{1}{C_{S2}} & 0 & 0 & 0 \\ \frac{1}{C_o} & \frac{1}{C_o} & 0 & -\frac{1}{C_o \cdot r_D} \end{bmatrix} \quad (4.36)$$

As matrizes de entrada para o interruptor conduzindo (B1) e bloqueado (B2) são apresentadas por (4.37).

$$B1 = \begin{bmatrix} \frac{1}{L_3} & 0 \\ 0 & 0 \\ 0 & 0 \\ 0 & \frac{1}{C_o \cdot r_D} \end{bmatrix} \quad B2 = \begin{bmatrix} \frac{1}{L_3} & 0 \\ 0 & 0 \\ 0 & 0 \\ 0 & \frac{1}{C_o \cdot r_D} \end{bmatrix} \quad (4.37)$$

As matrizes de saída para o interruptor conduzindo (C1) e bloqueado (C2) são representadas por (4.38).

$$C1 = \begin{bmatrix} 0 & 0 & 0 & 1 \\ 0 & 0 & 0 & \frac{1}{r_D} \end{bmatrix} \quad C2 = \begin{bmatrix} 0 & 0 & 0 & 1 \\ 0 & 0 & 0 & \frac{1}{r_D} \end{bmatrix} \quad (4.38)$$

As matrizes de ação avante para o interruptor conduzindo (E1) e bloqueado (E2) são apresentadas por (4.39).

$$E1 = \begin{bmatrix} 0 & 0 \\ 0 & -\frac{1}{r_D} \end{bmatrix} \quad E2 = \begin{bmatrix} 0 & 0 \\ 0 & -\frac{1}{r_D} \end{bmatrix} \quad (4.39)$$

Considerando D como a razão cíclica ou ciclo de trabalho, as matrizes médias do sistema (A) e da entrada (B) podem ser representadas, respectivamente, por (4.40) e (4.41).

$$A = A1 \cdot D + A2 \cdot (1-D) = \begin{bmatrix} 0 & 0 & -\frac{1-D}{L_3} & -\frac{1-D}{L_3} \\ 0 & 0 & \frac{D}{L_4} & -\frac{1-D}{L_4} \\ \frac{1-D}{C_{S2}} & -\frac{D}{C_{S2}} & 0 & 0 \\ \frac{1-D}{C_o} & \frac{1-D}{C_o} & 0 & -\frac{1}{C_o \cdot r_D} \end{bmatrix} \quad (4.40)$$

$$B = B1 \cdot D + B2 \cdot (1-D) = \begin{bmatrix} \frac{1}{L_3} & 0 \\ 0 & 0 \\ 0 & 0 \\ 0 & \frac{1}{C_o \cdot r_D} \end{bmatrix} \quad (4.41)$$

Considerando D o ciclo de trabalho, as matrizes médias de saída (C) e de ação avante (E) podem ser representadas, respectivamente, por (4.40) e (4.41).

$$C = C1 \cdot D + C2 \cdot (1-D) = \begin{bmatrix} 0 & 0 & 0 & 1 \\ 0 & 0 & 0 & \frac{1}{r_D} \end{bmatrix} \quad (4.42)$$

$$E = E1 \cdot D + E2 \cdot (1-D) = \begin{bmatrix} 0 & 0 \\ 0 & -\frac{1}{r_D} \end{bmatrix} \quad (4.43)$$

Linearizando o sistema ao redor do ponto de operação, as derivadas das variáveis de estado nesse ponto se tornam nulas. Assim, podemos obter os valores médios das variáveis de estado:

$$0 = A \cdot X + B \cdot U$$

$$X = -A^{-1} \cdot B \cdot U = \begin{bmatrix} \frac{V_{Bus} \cdot D - V_{FLED} \cdot (1-D)}{r_D \cdot (1-D)} \cdot \frac{D}{1-D} \\ \frac{V_{Bus} \cdot D + V_{FLED} \cdot (1-D)}{r_D \cdot (1-D)} \\ V_{Bus} \\ \frac{V_{Bus} \cdot D}{1-D} \end{bmatrix} \quad (4.44)$$

Considera-se que as variáveis envolvidas são definidas pela soma das componentes de valor médio (maiúscula) e componentes alternadas (minúscula):

$$\begin{aligned} x &= X + \hat{x} \\ u &= U + \hat{u} \\ d &= D + \hat{d} \end{aligned} \quad (4.45)$$

Substituindo (4.45) em (4.31) e (4.32), desconsiderando os termos constantes e de segunda ordem, obtêm-se:

$$\dot{\hat{x}}(t) = A \cdot \hat{x}(t) + B \cdot \hat{u}(t) + B_d \cdot \hat{d}(t) \quad (4.46)$$

$$\hat{y}(t) = C \cdot \hat{x}(t) + E \cdot \hat{u}(t) + E_d \cdot \hat{d}(t) \quad (4.47)$$

em que:

$$B_d = (A1 - A2) \cdot X + (B1 - B2) \cdot U = \begin{bmatrix} \frac{V_{Bus}}{L_3 \cdot (1-D)} \\ \frac{V_{Bus}}{L_4 \cdot (1-D)} \\ \frac{-V_{Bus} \cdot D + V_{FLED} \cdot (1-D)}{C_{S2} \cdot r_D \cdot (1-D)^2} \\ \frac{-V_{Bus} \cdot D + V_{FLED} \cdot (1-D)}{C_o \cdot r_D \cdot (1-D)^2} \end{bmatrix} \quad (4.48)$$

$$E_d = (C1 - C2) \cdot X + (E1 - E2) \cdot U = \begin{bmatrix} 0 \\ 0 \end{bmatrix} \quad (4.49)$$

Assim, o modelo médio em espaço de estados de pequenos sinais se resume às equações (4.50) e (4.51).

$$\dot{\hat{x}}(t) = A \cdot \hat{x}(t) + \begin{bmatrix} B & B_d \end{bmatrix} \cdot \begin{bmatrix} \hat{u}(t) \\ \hat{d}(t) \end{bmatrix} \quad (4.50)$$

$$\hat{y}(t) = C \cdot \hat{x}(t) + \begin{bmatrix} E & E_d \end{bmatrix} \cdot \begin{bmatrix} \hat{u}(t) \\ \hat{d}(t) \end{bmatrix} \quad (4.51)$$

Aplicando a transformada de Laplace em (4.50) e (4.51), podem ser encontradas as funções de transferência que representam a planta do conversor analisado:

$$\dot{\hat{x}}(s) = \begin{bmatrix} (s \cdot I - A)^1 \cdot B & (s \cdot I - A)^1 \cdot B_d \end{bmatrix} \cdot \begin{bmatrix} \hat{u}(s) \\ \hat{d}(s) \end{bmatrix} \quad (4.52)$$

$$\hat{y}(s) = \begin{bmatrix} C \cdot (s \cdot I - A)^1 \cdot B + E_u & C \cdot (s \cdot I - A)^1 \cdot B_d + E_d \end{bmatrix} \cdot \begin{bmatrix} \hat{u}(s) \\ \hat{d}(s) \end{bmatrix} \quad (4.53)$$

Para obter as funções de transferência, será aplicado o princípio da superposição de efeitos. Considera-se a perturbação do vetor de entradas ($\hat{u}(s)$) nula. Encontrando, assim, as funções de transferência das perturbações das variáveis de estado em relação a perturbações na razão cíclica ($\hat{d}(s)$) resultando em:

$$\dot{\hat{x}}(s) = (s \cdot I - A)^1 \cdot B_d \cdot \hat{d}(s) \quad (4.54)$$

$$\hat{y}(s) = (C \cdot (s \cdot I - A)^1 \cdot B_d + E_d) \cdot \hat{d}(s) \quad (4.55)$$

Em que a função de interesse é a perturbação da corrente de saída ($\hat{i}_o(s)$) pela perturbação da razão cíclica ($\hat{d}(s)$), dada por:

$$Gi_{LED}(s) = \frac{\hat{i}_o(s)}{\hat{d}(s)} = \left[\frac{1}{r_D} \right] \cdot (s \cdot I - A)^{-1} \cdot B_d + E_d \quad (4.56)$$

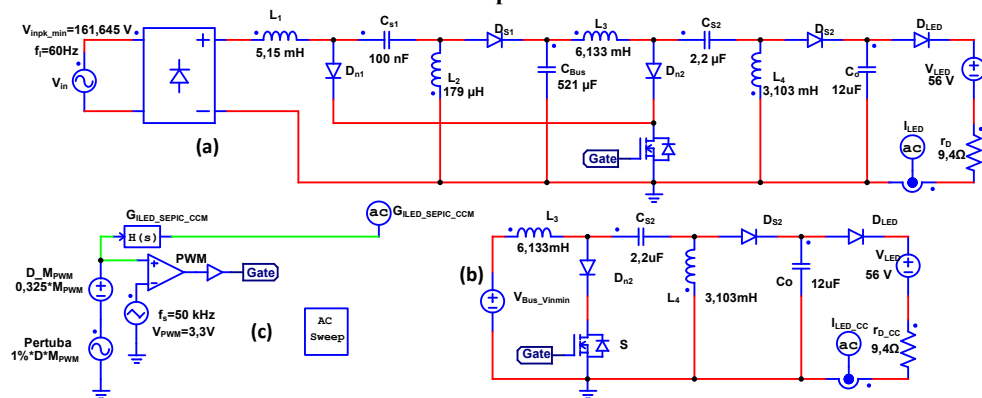
$$G_{i_{LED}}(s) = \frac{\hat{i}_o(s)}{\hat{d}(s)} = \frac{\left[\left(\left(\frac{V_{FD}}{1-D} - V_{Bus} \cdot \frac{D}{(1-D)^2} \right) \cdot C_{S2} \cdot L_3 \cdot L_4 \cdot s^3 + V_{Bus} \cdot r_D \cdot C_{S2} \cdot (L_4 + L_3) \cdot s^2 + \left(\frac{V_{FD}}{1-D} - V_{Bus} \cdot \frac{D}{(1-D)^2} \right) \cdot L_3 \cdot D \cdot s + V_{Bus} \cdot r_D \right) \right]}{\left[\begin{array}{l} C_{S2} \cdot C_o \cdot L_3 \cdot L_4 \cdot r_D \cdot s^4 + C_{S2} \cdot L_3 \cdot L_4 \cdot s^3 + \\ r_D \cdot \left[(1-D)^2 \cdot (C_o + C_{S2}) \cdot (L_4 + L_3) + C_o \cdot L_3 \cdot (2 \cdot D - 1) \right] \cdot r_D \cdot s^2 + \\ \left[(1-D)^2 \cdot (L_4 + L_3) + L_3 \cdot (2 \cdot D - 1) \right] \cdot s + r_D \cdot (1-D)^2 \end{array} \right]} \quad (4.57)$$

Substituindo os valores de razão cíclica e tensão de barramento, presentes na Tabela 4.4, para tensão de entrada mínima e os demais valores, de acordo com Tabela 4.2 em (4.57), obtém-se (4.58). A função de transferência que representa o segundo estágio do conversor proposto, com tensão de entrada mínima:

$$G_{i_{LED}}(s) = \frac{\hat{i}_o(s)}{\hat{d}(s)} = \frac{-19830 \cdot s^3 + 6,272 \cdot 10^8 \cdot s^2 - 9,439 \cdot 10^{11} \cdot s + 3,087 \cdot 10^{16}}{s^4 + 8865 \cdot s^3 + 6,767 \cdot 10^7 \cdot s^2 + 4,365 \cdot 10^{11} \cdot s + 9,068 \cdot 10^{14}} \quad (4.58)$$

Para validar a função de transferência encontrada, é necessário comparar sua resposta à da planta do conversor proposto. Esta comparação é realizada através de uma aplicação, conhecida como *AC Sweep* presente no *software PSIM®*, utilizado no processo de simulação computacional. A simulação é realizada obedecendo critérios estabelecidos em (Powersim, 2010; Batschauer, 2012). Esta simulação é representada pelo circuito da Figura 4.10, em que são comparadas a função de transferência estabelecida em (4.58), multiplicada pelo ganho do modulador M_{PWM} , um conversor CC-CC SEPIC e o conversor proposto.

Figura 4.10 – Circuito utilizado para validar a função de transferência. a) Circuito do conversor proposto. b) Circuito do conversor SEPIC operando em MCC c) Circuito de comando e função de transferência da corrente de saída pela razão cíclica.



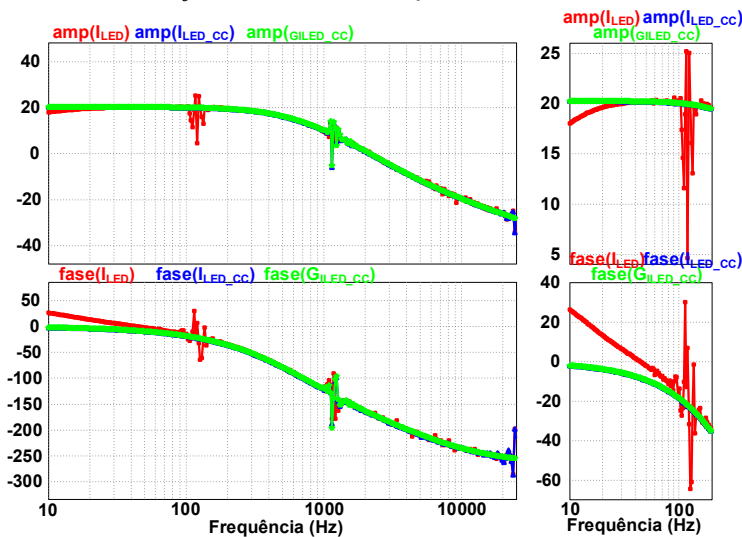
Fonte: Elaborado pelo autor.

A Figura 4.11 mostra as três respostas em frequência e apresenta, à direita, um detalhe ampliado para a frequência de 10 a 200 Hz, região onde se tem maior discrepância dentre os resultados. Nota-se que a função de transferência representa o conversor CC-CC com precisão em toda a faixa de frequência analisada, porém, para o conversor proposto, principalmente na

faixa detalhada, há uma considerável divergência, tanto em amplitude como em fase. Fato que poderá ser intensificado com a necessidade de redução do capacitor de barramento.

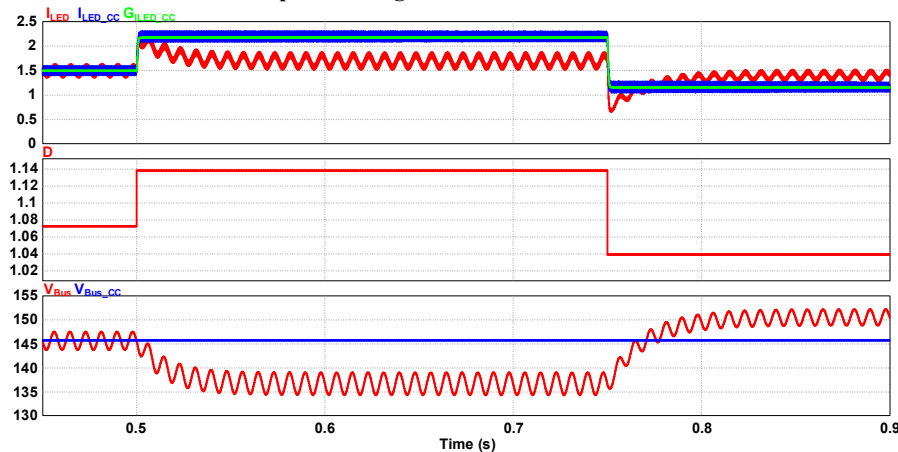
Uma análise de resposta ao degrau, empregada no sistema proposto, permite identificar um dos motivos da discrepância em baixas frequências. O degrau aplicado na razão cíclica causa variação na tensão de barramento do sistema e suas respectivas formas de onda são apresentadas na Figura 4.12. Em que se constata que o comportamento do conversor proposto não obedece apenas a modelagem do segundo estágio.

Figura 4.11 - Comparação dos gráficos de bode de corrente de saída por razão cíclica com detalhe de 10 a 200 Hz, à direita. I_{LED} : circuito proposto com capacitor ideal; I_{LED_CC} : conversor CC-CC SEPIC; G_{ILED_CC} : bloco “s-domain Transfer Function” com função de transferência modelada.



Fonte: Elaborado pelo autor.

Figura 4.12 - Formas de onda da resposta ao degrau de 2% no instante $t_1=0,5$ s e -3%, no instante $t_2=0,75$ s.



Fonte: Elaborado pelo autor.

A Figura 4.12 apresenta as formas de onda em que: I_{LED} é a corrente de saída do conversor proposto; I_{LED_CC} : Corrente de saída do conversor CC-CC SEPIC operando em MCC; $G_{ILED_SEPIC_MCC}$: Corrente de saída estabelecida pela função de transferência do conversor CC-CC SEPIC operando em MCC; D : Razão cíclica aplicada; V_{Bus} : Tensão de barramento do conversor proposto; V_{Bus_CC} : Tensão de entrada do conversor CC-CC SEPIC operando me MCC.

A modelagem do comportamento do conversor proposto se torna complexa, por se tratar de um conversor integrado composto por um retificador SEPIC, operando em MCD, que tem sua saída acoplada a um outro conversor CC-CC SEPIC, que opera em MCC e aciona uma carga não linear, composta por um arranjo de LEDs.

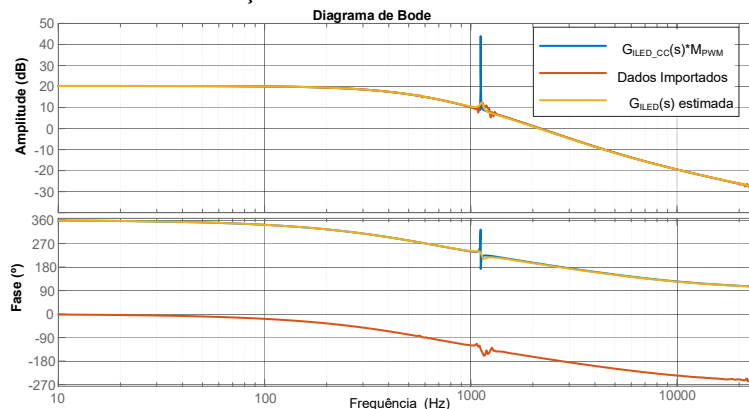
Buscando um método de viabilizar a modelagem do conversor proposto, aplica-se o processo apresentado em (Asadi e Eguchi, 2018), o qual permite estimar uma função de transferência. Este método se baseia na importação de dados de diagramas de bode, como o da Figura 4.11, simulado no PSIM® para o MATLAB®, aplicando a função “*tfest(DI, ordem)*”. Em que: “*tfest*” é o comando que estima a função de transferência; “*DI*” é o vetor onde estão armazenados os dados importados; e “*ordem*” define a ordem da função de transferência a ser estimada. O campo “*Fit to estimation data*” mostra a qualidade da aproximação em porcentagem, a similaridade entre os dados importados e a função de transferência encontrada pode ser exibida, aplicando o comando “*bode (DI, GFT)*”, em que “*GFT*” é a variável onde é armazenada a função de transferência estimada.

Para verificar a efetividade deste procedimento, o mesmo é utilizado para estimar a função de transferência do conversor CC SEPIC, operando em CCM. Através da função “*tfest(I_{LED_CC},4)*”, encontra-se uma função de transferência definida como de quarta ordem e representada pela equação (4.59), com qualidade de aproximação de 97,9%.

$$G_{i_{LED_estimada}}(s) = \frac{\hat{i}_o(s)}{\hat{d}(s)} = \frac{-6023 \cdot s^3 + 1,826 \cdot 10^8 \cdot s^2 - 2,308 \cdot 10^{11} \cdot s + 9,447 \cdot 10^{15}}{s^4 + 9008 \cdot s^3 + 7,11 \cdot 10^7 \cdot s^2 + 4,479 \cdot 10^{11} \cdot s + 9,164 \cdot 10^{14}} \quad (4.59)$$

A resposta em frequência estimada em (4.59) é comparada aos dados importados do PSIM® e a função de transferência (4.58) multiplicada pelo ganho do modulador M_{PWM} . Esta comparação é apresentada no diagrama de bode da Figura 4.13. Assim, possibilita ilustrar a proximidade da resposta entre a função estimada (4.59), os dados importados e a modelagem anteriormente apresentada em (4.58).

Figura 4.13 - Diagrama de bode do Conversor CC-CC SEPIC operando em MCC, em que: $G_{i_{LED}(s)} * M_{PWM}$: função de transferência modelada; Dados importados: dados importados do ACSweep; $G_{i_{LED}(s)}$ estimada: função de transferência estimada.



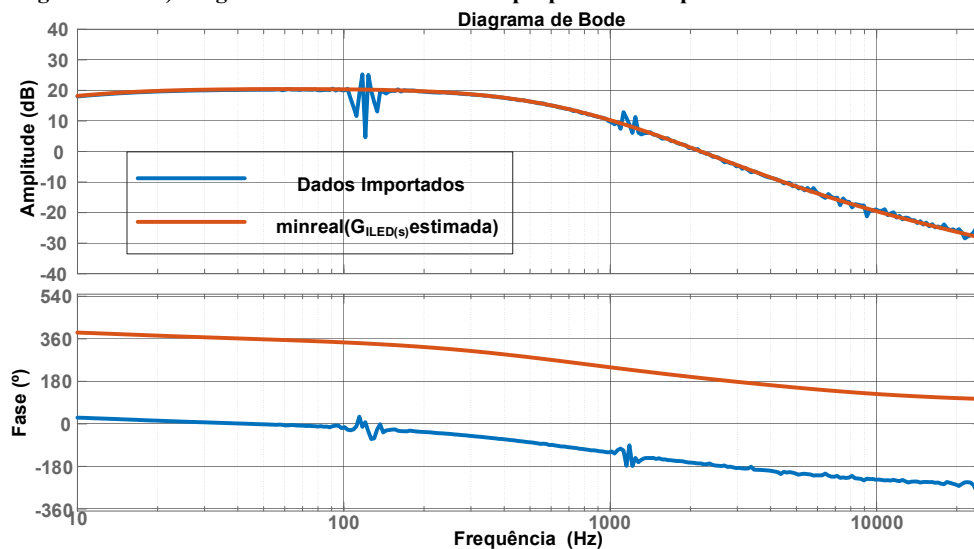
Fonte: Elaborado pelo autor.

Este mesmo procedimento é aplicado para estimar a função de transferência do conversor proposto com capacitor ideal. Utilizando os dados apresentados na Figura 4.11, através da função “*tfest(I_{LED_S2},30)*”, chega-se a uma função de transferência estimada de trigésima ordem, com qualidade de aproximação de 98,34%. Nota-se a possibilidade de cancelamento de efeitos em vários polos e zeros da função estimada. Realizando o cancelamento pelo comando “*minreal(G_{ILED(s)}estimado,0.1)*”, que realiza a simplificação sem que a função perca suas características, encontra-se a função de transferência (4.60).

$$G_{i_{LED_estimada}}^{\wedge}(s) = \frac{i_{LED}^{\wedge}(s)}{d^{\wedge}(s)} = \frac{-5876 \cdot s^2 + 1,971 \cdot 10^8 \cdot s^2 \cdot s + 3,171 \cdot 10^9}{s^3 + 9224 \cdot s^2 + 1,888 \cdot 10^7 \cdot s + 1,064 \cdot 10^9} \quad (4.60)$$

A Figura 4.14 apresenta as respostas em frequência dos dados importados utilizados e a simplificação da função de transferência estimada (*minreal(G_{ILED(s)}_estimada)*), representada por (4.60).

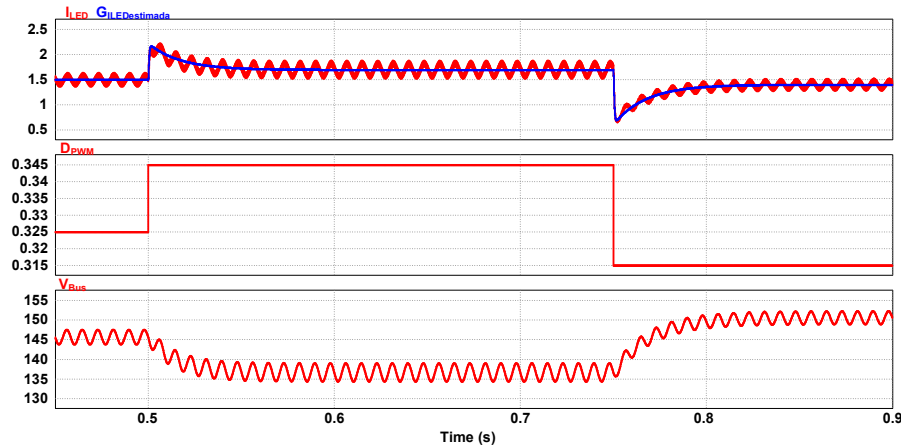
Figura 4.14 - a) Diagrama de bode do conversor proposto com capacitor de barramento ideal.



Fonte: Elaborado pelo autor.

Uma nova análise de resposta ao degrau é aplicada ao conversor proposto e a função de transferência estimada (4.60) é apresentada pela Figura 4.15, permitindo assim, comparar as respostas através do simulador e validar o método de aproximação utilizado. A Figura 4.15 apresenta as formas de onda em que: *I_{LED}* é a corrente de saída do conversor proposto; *G_{ILED_estimada}*: Corrente de saída estabelecida pela função de transferência estimada; *D*: Razão cíclica aplicada; *V_{Bus}*: Tensão de barramento do conversor proposto.

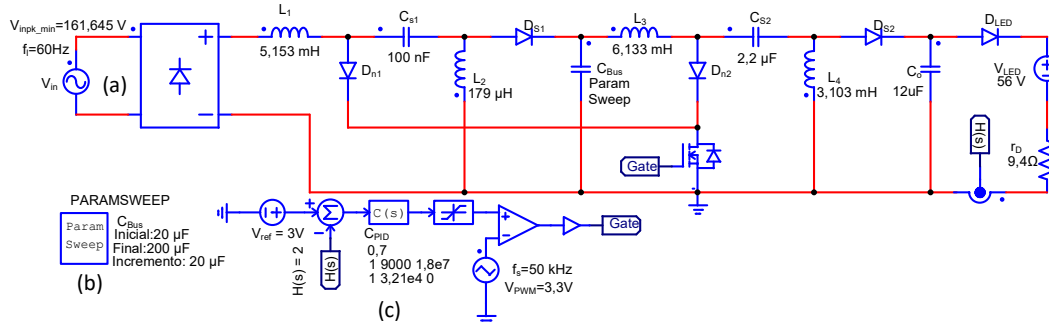
Figura 4.15 - Formas de onda da resposta ao degrau de 2% no instante $t_1=0,5$ s e -3% no instante $t_2=0,75$ s.



Fonte: Elaborado pelo autor.

Como é necessária a redução do capacitor de filtro utilizado no barramento, um circuito de controle PID é projetado, como o auxílio da ferramenta “*sisotool*”, presente no *software* MATLAB®, é efetuado o cancelamentos de polos e zeros da função de transferência (4.60). A Figura 4.16 apresenta o circuito de controle, o bloco “*param sweep*” e o circuito do conversor proposto no ambiente de simulação do *software* PSIM®, onde é possível verificar a resposta do circuito para diferentes valores de C_{Bus} , configurados para variar de 20 a 200 μF . Suas principais formas de onda simuladas são apresentadas na Figura 4.17, onde nota-se que valores iguais ou superiores a 40 μF , são suficientes para a redução de ondulação necessária e ainda assim, mantém os níveis de harmônicos inferiores ao limite estabelecido pela norma IEC 61000-3-2.

Figura 4.16 - a) Circuito do conversor proposto. b) bloco *Param Sweep*: Responsável por variar o valor do capacitor C_{Bus} de 20 a 200 μF . c) Circuito de controle.

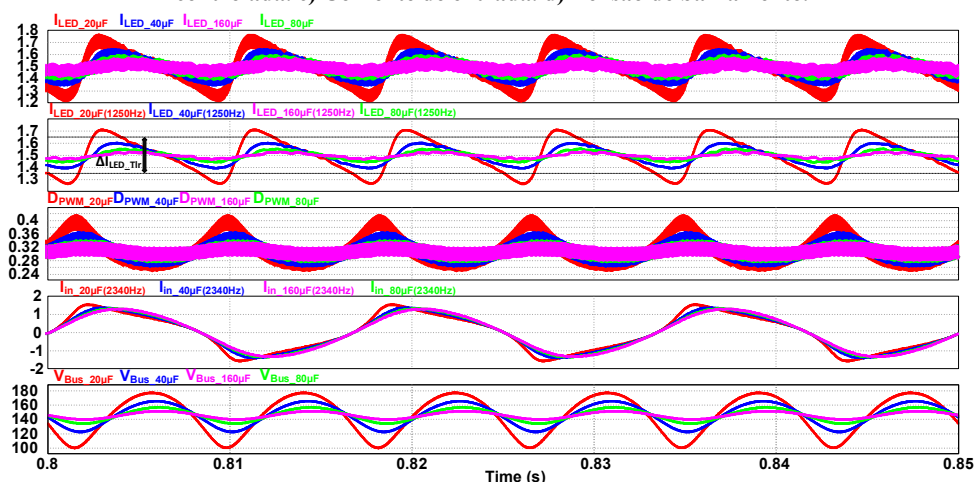


Fonte: Elaborado pelo autor.

Analisando os resultados apresentados pela simulação realizada, representados na Figura 4.17, observa-se que o capacitor de 40 μF é suficiente para manter a ondulação de corrente dentro dos limites estipulados como de baixo risco, no caso 19,2% da corrente nominal (288 mA) mantendo, os níveis de distorção harmônica da corrente de entrada inferior aos limites estabelecidos pela norma IEC 61000-3-2 de acordo com Figura 4.18. Como a simulação é realizada em um ambiente idealizado, opta-se pela utilização do valor de 80 μF no barramento. Este valor é escolhido por apresentar ondulação de corrente inferior ao limite estabelecido,

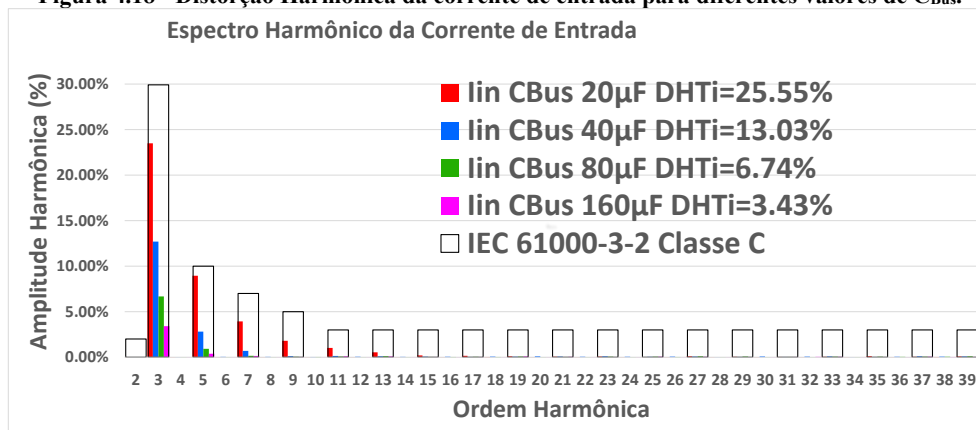
apresentar baixos níveis de distorção harmônica da corrente de entrada e ser um valor comercial encontrado na tecnologia de filme de polipropileno metalizado.

Figura 4.17 - Formas de ondas simuladas para diferentes valores de C_{Bus} . a) Corrente de saída. b) Razão cíclica controlada. c) Corrente de entrada. d) Tensão de barramento.



Fonte: Elaborado pelo autor.

Figura 4.18 - Distorção Harmônica da corrente de entrada para diferentes valores de C_{Bus} .

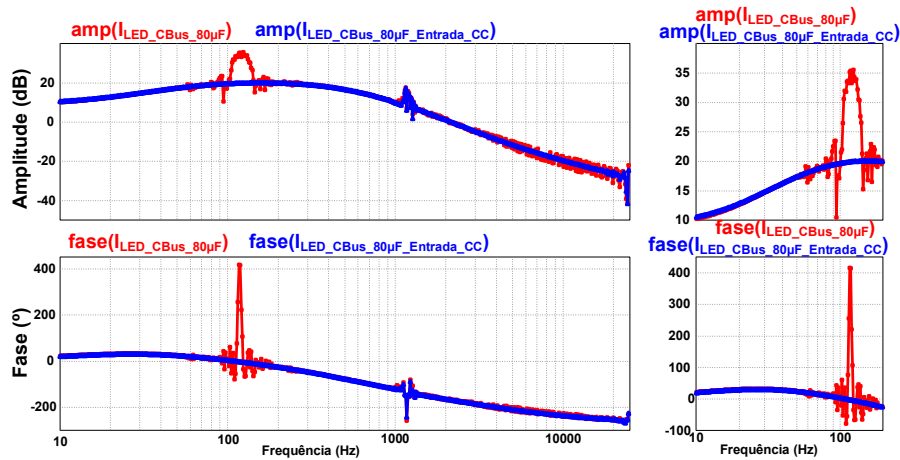


Fonte: Elaborado pelo autor.

Uma nova modelagem em frequência (ACSweep) é realizada, o circuito implementado é semelhante ao da Figura 4.10, com a alteração do capacitor de barramento para 80 μF . A redução do capacitor de barramento implica em grande ondulação de tensão no barramento, que em malha aberta é transmitida para a tensão de saída, conforme relação (4.22), causando uma grande ondulação na corrente da carga. A grande ondulação de corrente, presente na carga, pode inviabilizar a estimação da função de transferência. Na tentativa de mitigar este efeito, implementa-se, em paralelo à simulação do mesmo circuito com uma fonte de tensão contínua, substituindo o retificador. A Figura 4.19 ilustra as respostas em frequências e apresenta, á direita, um detalhe ampliado para as frequências de 10 a 200 Hz. Como citado, a resposta do conversor proposto com o capacitor de barramento de 80 μF , apresentada em vermelho, tem uma grande oscilação, próximo aos 120 Hz, causada pela grande variação de corrente e, possivelmente, irá inviabilizar a estimação desta função de transferência.

Na tentativa de estimar a função de transferência, aplica-se novamente a função “ $tfest(I_{LED_CBus_80\mu F},30)$ ”, que permite estimar a função de transferência, como citado anteriormente. Encontrando, deste modo, baixa qualidade de estimação (88,73%) para os dados importados da planta com entrada CA. O procedimento é realizado para os dados importados da planta com entrada CC, agora aplicando “ $tfest(I_{LED_CBus_80\mu F_Entrada_CC},15)$ ”, encontra-se uma função estimada de décima quinta ordem, com qualidade de estimação de 99,12%. Nota-se a possibilidade de cancelamento de efeitos de vários polos e zeros da função estimada, encontrando, dessa maneira, a função de transferência estimada (4.61).

Figura 4.19 - Gráficos de bode de corrente de saída por razão cíclica, gerado pelo circuito de potência do conversor proposto com capacitor de barramento de 80 μF : $I_{LED_CB80\mu F}$: Conversor proposto com tensão de entrada CA; $I_{LED_CB80\mu F_ECC}$: Conversor proposto com tensão de entrada CC.



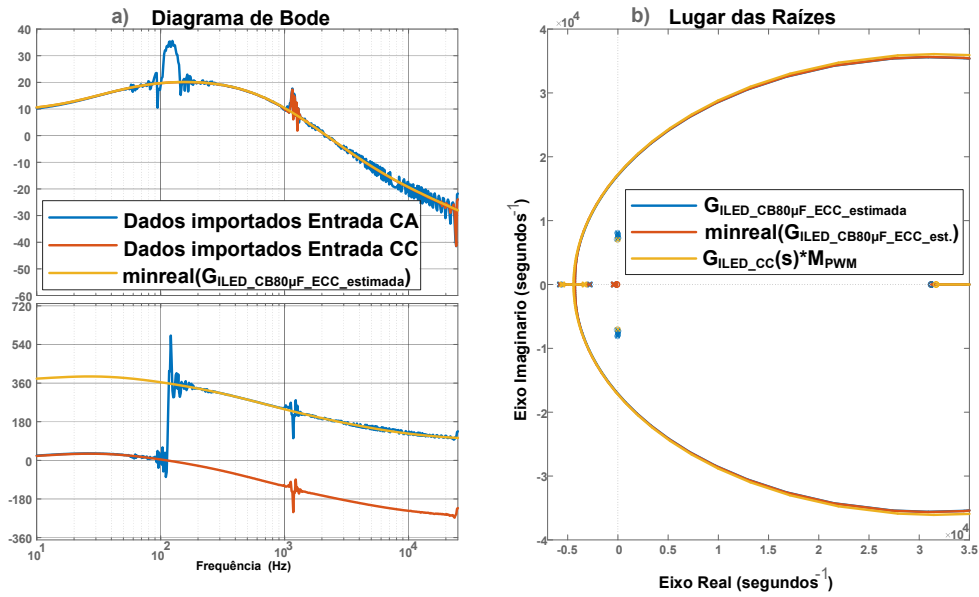
Fonte: Elaborado pelo autor.

$$G_{I_{LED_CB80\mu F_estimada}}(s) = \frac{\hat{i}_{o_s2}(s)}{\hat{d}(s)} = \frac{-6118 \cdot s^2 + 1,903 \cdot 10^8 \cdot s^2 \cdot s + 1,963 \cdot 10^{10}}{s^3 + 8992 \cdot s^2 + 1,973 \cdot 10^7 \cdot s + 6,69 \cdot 10^9} \quad (4.61)$$

A Figura 4.20-a apresenta as respostas em frequência dos dados importados, com tensão de entrada CA e CC e a simplificação da função de transferência estimada (mineral($G_{I_{LED_CB_80\mu F_ECC}(s)_estimada}$)), representada por (4.61). A Figura 4.20-b apresenta o lugar das raízes da função estimada ($G_{I_{LED_CB_80\mu F_ECC}(s)_estimada}$), sua devida simplificação (mineral($G_{I_{LED_CB_80\mu F_ECC}(s)_estimada}$)) e compara ambas a função de transferência do conversor CC-CC SEPIC operando em MCC, representado por (4.58) multiplicado pelo ganho M_{PWM} .

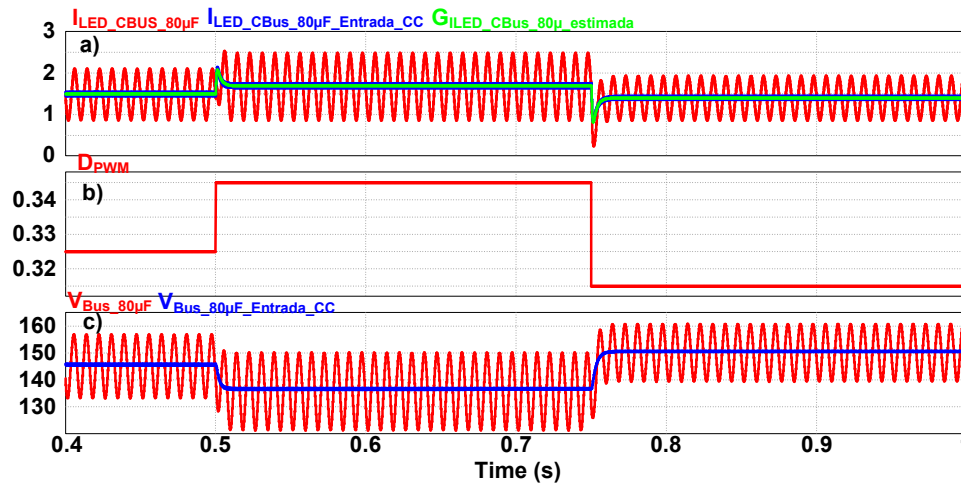
A Figura 4.21 apresenta uma análise de resposta ao degrau, aplicada no conversor proposto com entrada CA, CC e a função de transferência estimada (4.61), permitindo validar a resposta da função estimada. A Figura 4.21 apresenta as formas de onda em que: $I_{LED_CBus_80\mu F_EAC}$ é a corrente de saída do conversor proposto; $I_{LED_CBus_80\mu F_ECC}$ é a Corrente de saída do conversor proposto com fonte CC na entrada; $G_{I_{LED_CBus_80\mu F_estimada}}(s)$ é a corrente de saída estabelecida pela função de transferência estimada; D_{PWM} : Razão cíclica aplicada; V_{Bus} : Tensão de barramento do conversor proposto; V_{Bus_CC} : Tensão de barramento do conversor proposto com fonte CC na entrada.

Figura 4.20 - a) Diagrama de bode do conversor proposto com capacitor de barramento de 80 μF . b) Lugar das raízes, comparando a função estimada e sua simplificação com $G_{ILED_CC}(s)$



Fonte: Elaborado pelo autor.

Figura 4.21 - Formas de onda da resposta ao degrau de 2% no instante $t_1=0,5$ s e -3% no instante $t_2=0,75$ s.



Fonte: Elaborado pelo autor.

4.3.1 Definição e Projeto do Compensador

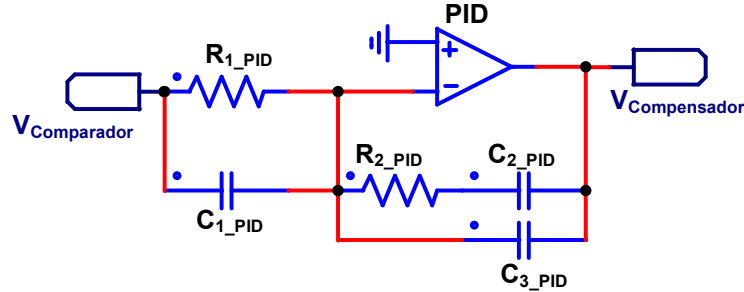
O intuito da modelagem é possibilitar a implementação de um compensador rápido o suficiente para atenuar a ondulação de corrente presente na saída, sem comprometer os parâmetros de qualidade de energia de entrada. Deste modo, viabilizando a redução do capacitor de filtro necessário no barramento e possibilitando o emprego de capacitores não eletrolíticos.

Para atender as devidas considerações, optou-se pela utilização de um controlador PID (Proporcional Integral Derivativo), que pode facilmente ser implementado de forma analógica. O compensador PID analógico é definido matematicamente pela expressão (4.62) e apresentado na Figura 4.22.

$$C_{PID}(s) = k \cdot \frac{(s + \omega_{z1}) \cdot (s + \omega_{z2})}{s \cdot (s + \omega_{p2})} \quad (4.62)$$

em que: k é o ganho do compensador; ω_{z1} é a frequência do primeiro zero do controlador; ω_{z2} é a frequência do segundo zero do compensador; e ω_{p2} é a frequência do segundo polo do controlador.

Figura 4.22 - Estrutura do compensador PID utilizado.



Fonte: Elaborado pelo autor.

Considerando as necessidades apresentadas anteriormente e com o auxílio da ferramenta de sintonia de compensadores “SISO Design Tool”, presente no software MATLAB®, é realizada a alocação dos polos e zeros. Onde o primeiro polo do compensador é alocado na origem, reduzindo o erro em regime permanente. Os zeros são alocados próximos aos polos da planta, localizados mais à esquerda no LGR (lugar das raízes) e o segundo polo é alocado abaixo da frequência de comutação, visando atenuar as componentes de frequência oriundas da comutação e buscando uma margem de fase superior a 30°. O processo pode ser visualizado na Figura 4.23, onde os polos e zeros estão alocados e os parâmetros do compensador são expressos em (4.63). É realizado um ajuste nos valores, para viabilizar a utilização de valores comerciais de capacitores.

$$C_{PID}(s) = k \cdot \frac{(s + \omega_{z1}) \cdot (s + \omega_{z2})}{s \cdot (s + \omega_{p2})} = 1,8 \cdot \frac{(s + 3704) \cdot (s + 5447)}{s \cdot (s + 42480)} \quad (4.63)$$

Os componentes do compensador PID podem ser definidos segundo os critérios estabelecidos em (Instruments, 2017), onde o valor de R_1 é pré-selecionado e os valores de R_2 , C_1 , C_2 e C_3 são estabelecidos pelas equações (4.65), (4.66), (4.67) e (4.68), respectivamente. Visando encontrar valores comerciais de capacitores, o valor de R_{1_PID} estabelecido é de 150 kΩ.

$$k_o = k \cdot \frac{\omega_{z1} \cdot \omega_{z2}}{\omega_{p2}} = 854,902 \quad (4.64)$$

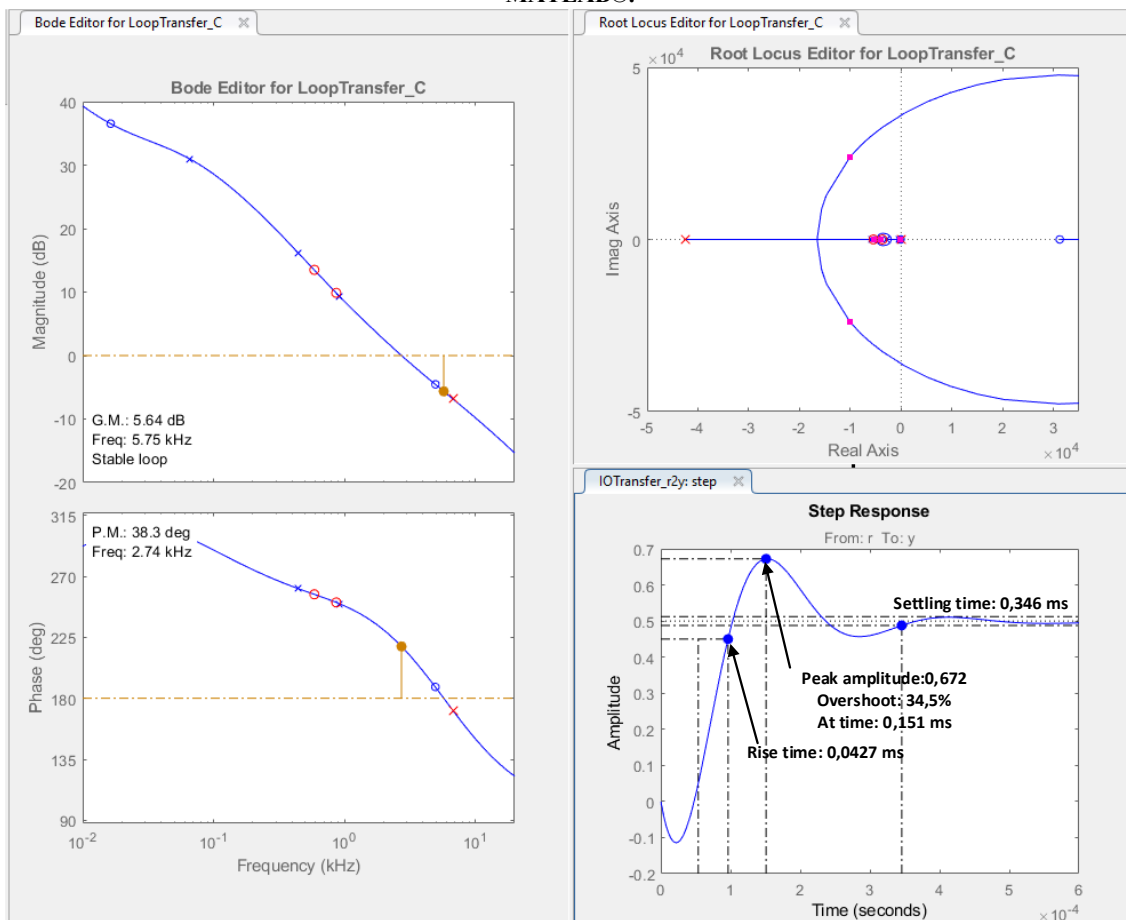
$$R_{2_PID} = \frac{k_o \cdot R_{1_PID} \cdot \omega_{p2}}{\omega_{z2} \cdot (\omega_{p2} - \omega_{z2})} = 27,005k\Omega \cong 27k\Omega \quad (4.65)$$

$$C_{1_PID} = \frac{1}{R_{1_PID} \cdot \omega_{z1}} = 1,8nF \quad (4.66)$$

$$C_{2_PID} = \frac{\omega_{p2} - \omega_{z2}}{k_o \cdot R_{1_PID} \cdot \omega_{p2}} = 6,789nF \cong 6,8nF \quad (4.67)$$

$$C_{3_PID} = \frac{\omega_{z2}}{k_o \cdot R_{1_PID} \cdot \omega_{p2}} = 1nF \quad (4.68)$$

Figura 4.23 - Disposição dos polos e zeros do controlador PID através da ferramenta “sisotool” do software MATLAB®.

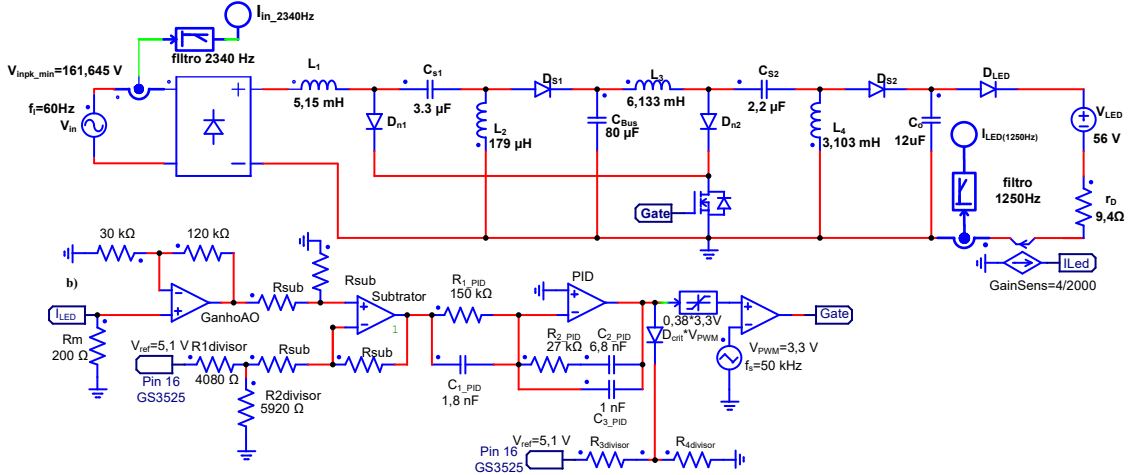


Fonte: Elaborado pelo autor.

Como o circuito deve ser implementado de forma analógica, optou-se pela utilização de um CI PWM SG3525, escolhido pela simplicidade de implementação e por apresentar algumas características importantes, tais como: partida suave; tensão de referência de 5,1 V; oscilador na faixa de 100 Hz a 400 kHz; modulador PWM com pico de tensão típico de 3,3 V; dentre outras características presentes em sua folha de dados (Semiconductor, 2015).

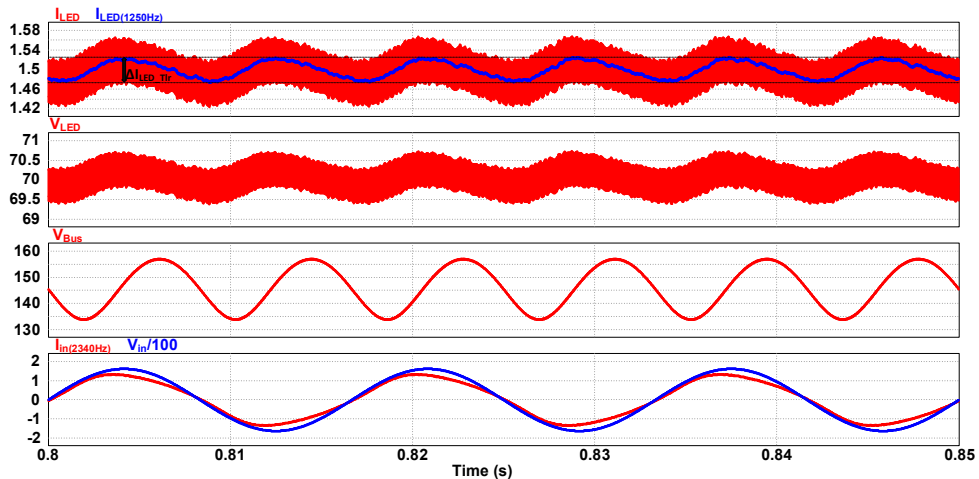
A Figura 4.24 apresenta o circuito de controle analógico e o circuito do conversor proposto, que constituem a simulação do circuito em malha fechada realizada no software PSIM®. As principais formas de onda de entrada e saída são apresentadas na Figura 4.25, onde se observa uma ondulação de corrente de saída de 52,2 mA, inferior aos 19,2 % (288 mA) estipulado no projeto, fator de potência 0,997 e THDi de 6,72%, atendendo aos limites estabelecidos, mesmo com a variação de 15,9 % (23,22 V) na tensão de barramento, imposta pela menor densidade energética do capacitor de longa vida útil de 80 μ F utilizado.

Figura 4.24 – Circuito proposto. a) Circuito do conversor proposto. b) Circuito de controle.



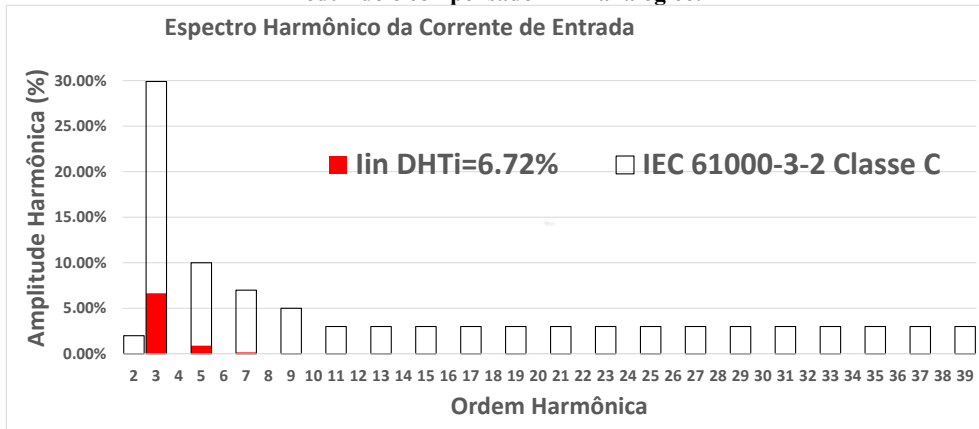
Fonte: Elaborado pelo autor.

Figura 4.25 - Formas de ondas simuladas do driver proposto com capacitor de barramento reduzido e compensador PID analógico. a) I_{LED} : Corrente de saída sobre o arranjo de LEDs; $I_{LED(1250Hz)}$: Corrente de saída sobre o arranjo de LEDs com um filtro passa baixa sintonizado na frequência de 1250Hz. b) V_{LED} : Tensão de saída sobre o arranjo de LEDs c) V_{Bus} : Tensão de barramento. d) $I_{in(2340Hz)}$: Corrente de entrada; V_{in} : Tensão de entrada.



Fonte: Elaborado pelo autor.

Figura 4.26 - Distorção Harmônica da corrente de entrada do driver proposto com capacitor de barramento reduzido e compensador PID analógico.



Fonte: Elaborado pelo autor.

4.4 Considerações Finais

Na primeira parte deste capítulo, foi elaborado o roteiro de projeto, apresentando o tipo de carga e suas particularidades, definindo os limites de operação. Através das expressões matemáticas, os componentes foram dimensionados, destacando algumas particularidades pertinentes ao valor capacitivo empregado em C_{S1} , bem como a justificativa de sua escolha.

Na segunda parte deste capítulo, foi realizada a modelagem do conversor. Ao tentar validar a função de transferência modelada, nota-se a influência causada pela integração dos estágios MCD e MCC na tensão de barramento, causando alterações na resposta. Assim, foi proposta uma alternativa a esta modelagem, que estima uma função de transferência a partir do diagrama de bode da planta em questão. Por meio de uma simulação em malha fechada, é definida a possível redução do filtro capacitivo utilizado no barramento. Uma nova função de transferência, com capacitância de barramento reduzida, é estimada e, a partir desta função, é implementado um compensador rápido o suficiente para reduzir a ondulação de saída, aos limites estabelecidos.

CAPÍTULO 5. RESULTADOS DE SIMULAÇÃO E EXPERIMENTAIS

5.1 Considerações Iniciais

Para validar a metodologia de redução do capacitor de barramento do conversor SEPIC quadrático, um protótipo é implementado. Este capítulo tem como objetivo: viabilizar a montagem do protótipo; realizar uma análise de rendimento através das perdas teóricas e simuladas, apresentando um rendimento aproximado; apresentar alguns resultados de simulação; a implementação experimental do conversor proposto; e resultados do conversor com controle da intensidade luminosa.

São apresentados os instrumentos utilizados e os resultados experimentais do conversor proposto, operando em toda a faixa de tensão de entrada eficaz (114,3 V a 139,7 V). Em que se avalia: a ondulação de corrente de saída; ondulação de tensão de barramento; fator de potência, níveis de distorção da corrente de entrada; rendimento em toda a faixa da tensão de entrada e modulação da intensidade luminosa. Por fim, são expostos os resultados experimentais da função de controle da intensidade luminosa e estipula-se a máxima energia armazenada por Watt para o conversor proposto.

5.2 Montagem do Protótipo

Além da análise matemática, a simulação numérica também é uma importante ferramenta empregada na escolha dos componentes utilizados no protótipo. São realizadas simulações, como a da Figura 4.24, para os casos de tensão de entrada mínima, nominal e máxima. As formas de onda obtidas possuem os mesmos comportamentos das anteriores e não serão representadas novamente. Através destas simulações, os esforços de correntes e tensões nos componentes são coletados e compilados na Tabela 5.1. A análise dos dados, presentes nesta tabela, mostra que de forma geral, o pior caso em esforços de correntes ocorre com tensão de entrada mínima ($V_{in(min)} = 114,3 V$). Já o pior caso em esforços de tensão nos componentes, ocorre quando o conversor opera com tensão de entrada máxima ($V_{in(max)} = 139,7 V$).

Através dos valores dos elementos expostos na Tabela 4.2 e da análise dos dados presentes na Tabela 5.1, são dimensionados os componentes semicondutores, a isolação dos capacitores, bem como os parâmetros construtivos dos indutores utilizados no protótipo.

O projeto físico dos indutores é baseado em (Barbi *et al.*, 2002; Mohan *et al.*, 2003) e não será descrito neste trabalho. Seus principais parâmetros construtivos são apresentados na Tabela 5.2.

Tabela 5.1 - Dados da simulação numérica para as diferentes possibilidades de tensão de entrada.

| GRAND. | $V_{IN(MIN)} = 114,3 \text{ V}$ | | | $V_{IN(MÉD)} = 127 \text{ V}$ | | | $V_{IN(MÁX)} = 139,7 \text{ V}$ | | |
|--------------------|---------------------------------|-------------|--------------|-------------------------------|-------------|--------------|---------------------------------|-------------|--------------|
| | <i>Máx.</i> | <i>Ef.</i> | ΔL | <i>Máx.</i> | <i>Ef.</i> | ΔL | <i>Máx.</i> | <i>Ef.</i> | ΔL |
| $I_{in} (A)$ | 1,34 | 0,924 | | 1,199 | 0,83 | | 1,09 | 0,755 | |
| $I_{LED} (A)$ | 1,525 | 1,5 | 0,052 | 1,521 | 1,5 | 0,041 | 1,517 | 1,5 | 0,033 |
| $I_{L1} (A)$ | 1,462 | 0,926 | 0,211 | 1,334 | 0,832 | 0,22 | 1,234 | 0,756 | 0,177 |
| $I_{L2} (A)$ | 5,651 | 1,892 | 6,915 | 5,763 | 1,833 | 6,879 | 5,889 | 1,776 | 6,926 |
| $I_{L3} (A)$ | 0,877 | 0,725 | 0,151 | 0,78 | 0,64 | 0,157 | 0,696 | 0,572 | 0,163 |
| $I_{L4} (A)$ | 1,674 | 1,503 | 0,312 | 1,682 | 1,502 | 0,324 | 1,684 | 1,503 | 0,330 |
| GRAND. | <i>Máx.</i> | <i>Méd.</i> | <i>Ef.</i> | <i>Máx.</i> | <i>Méd.</i> | <i>Ef.</i> | <i>Máx.</i> | <i>Méd.</i> | <i>Ef.</i> |
| $I_{DS1} (A)$ | 7 | 0,712 | 1,668 | 6,977 | 0,626 | 1,564 | 7,003 | 0,559 | 1,478 |
| $I_{DS2} (A)$ | 2,53 | 1,5 | 1,828 | 2,436 | 1,499 | 1,793 | 2,358 | 1,499 | 1,765 |
| $I_{Dn1} (A)$ | 7,089 | 0,841 | 1,844 | 7,07 | 0,757 | 1,737 | 7,108 | 0,689 | 1,648 |
| $I_{Dn2} (A)$ | 2,527 | 0,723 | 1,272 | 2,439 | 0,638 | 1,172 | 2,36 | 0,571 | 1,091 |
| $I_S (A)$ | 9,586 | 1,564 | 2,982 | 9,488 | 1,395 | 2,784 | 9,453 | 1,26 | 2,622 |
| GRAND. | <i>Máx.</i> | <i>Ef.</i> | ΔV_C | <i>Máx.</i> | <i>Ef.</i> | ΔV_C | <i>Máx.</i> | <i>Ef.</i> | ΔV_C |
| $V_{CS1} (V)$ | 246,7 | 120,8 | 186,2 | 260 | 132 | 169,8 | 273,8 | 143,6 | 160,3 |
| $V_{Bus} (V)$ | 157,1 | 146,3 | 23,22 | 175,2 | 165,5 | 20,55 | 193,7 | 184,9 | 18,43 |
| $V_{CS2} (V)$ | 159,6 | 146,3 | 4,218 | 177,6 | 165,5 | 3,889 | 195,8 | 184,9 | 3,678 |
| $V_{CO} (V)$ | 70,73 | 70,1 | 1,344 | 1,173 | 70,1 | | 70,57 | 70,1 | 1,042 |
| GRAND. | <i>Máx.</i> | | | <i>Máx.</i> | | | <i>Máx.</i> | | |
| $V_{DS1(max)} (v)$ | -394,13 | | | -426,6 | | | -459,1 | | |
| $V_{DS2(max)} (v)$ | -230,11 | | | -248 | | | -266,1 | | |
| $V_{Dn1(max)} (v)$ | -215,97 | | | -235,6 | | | -255,66 | | |
| $V_{Dn2(max)} (v)$ | -105,2 | | | -109,07 | | | -119,56 | | |
| $V_S(max) (v)$ | 322,29 | | | 346,37 | | | 374,58 | | |

Fonte: Elaborado pelo autor.

A Tabela 5.2 apresenta os dispositivos comerciais utilizados na confecção do protótipo, bem como suas principais especificações ou características, de acordo com sua respectiva folha de dados. Esta tabela também apresenta o modelo de núcleo utilizado, bem como as principais características construtivas de seus respectivos indutores.

O dimensionamento do filtro de interferência eletromagnética empregado é realizado de acordo com o procedimento pratico apresentado em (Almeida, 2013), para uma frequência de corte dez vezes menor que f_s .

Na confecção do protótipo foram empregados componentes disponíveis em laboratório, acarretando em superdimensionamento da isolação ou condução de alguns componentes. Um exemplo claro de superdimensionamento, é a isolação de 1,1 kV do capacitor empregado no barramento, ou ainda, a associação em paralelo de dois destes capacitores. Este fato aumenta as dimensões físicas do projeto.

Tabela 5.2 - Componentes utilizados no protótipo.

| COMPON. | DESCRIÇÃO | MODELO | ESPECIFICAÇÕES / CARACTERÍSTICAS |
|---------------------------------------|---|--------------------|--|
| <i>D_{et}</i> | Ponte retificadora | GBU8K | I _{F(med)} =8 A; V _{RRM} =800 V; V _F =1 V |
| <i>D_{S1}, D_{S2}</i> | Diodo ultra rápido | HFA15TB60 | I _F =15 A; V _R =600 V; V _F =1,6 V; t _{tr} =42 ns |
| <i>D_{n1}/D_{n2}</i> | Diodo ultra rápido Duplo | HFA30TA60C | I _F =15 A; V _R =600 V; V _F =1,6 V; t _{tr} =42 ns |
| <i>S</i> | MOSFET de potência | IRFP460A | I _D = 20 A; V _{DSS} = 500 V; R _{DS(on)} = 0,27 Ω; t _r = 55 ns; t _f = 90 ns |
| <i>EMI</i> | Filtro de interferência eletromagnética | | L _{CM} :4mH / C _F : 230nF |
| <i>L₁</i> | Indutor <i>L₁</i> | Núcleo EE-42/21/15 | 5,15 mH; 2 condutores AWG 26; 149 espiras; r _{L1} =0,844 Ω; V _{L1} =17,6 cm ³ |
| <i>L₂</i> | Indutor <i>L₂</i> | Núcleo EE-30/15/7 | 179 μH; 5 condutores AWG 26; 49 espiras; r _{L2} =0,097 Ω; V _{L2} =4 cm ³ |
| <i>L₃</i> | Indutor <i>L₃</i> | Núcleo EE-40/17/12 | 6,13 mH; 2 condutores AWG 26; 147 espiras; r _{L3} =0,837 Ω; V _{L3} =11,3 cm ³ |
| <i>L₄</i> | Indutor <i>L₄</i> | Núcleo EE-42/21/15 | 3,1 mH; 3 condutores AWG 26; 128 espiras; r _{L4} =0,659 Ω; V _{L4} =17,10 cm ³ |
| <i>C_{S1}</i> | Capacitor | CBB21A | 100 nF / 650 V |
| <i>C_{S2}</i> | Capacitor MKP | B32524MKT | 2,2 μF / 250 V |
| <i>C_{Bus}</i> | Capacitor MKP | Z116435611 77G | 2 x 40 μF / 1k1 V |
| <i>C_o</i> | Capacitor MKP | B32776P7126K000 | 12 μF / 700 V |
| <i>LED</i> | COB LED | | Arranjo de 2 LED em série 105,15 W; 1,5 A; V _{t_LEDs} = 56 V; r _{D_LEDs} = 9,4 Ω |

Fonte: Elaborado pelo autor.

5.3 Perdas do Conversor Proposto

Ao implementar o protótipo experimentalmente, deve-se considerar as perdas elétricas nos componentes utilizados. As perdas em semicondutores são divididas em perdas por condução e comutação. As perdas por condução são causadas pela circulação de corrente no semicondutor, quando ativo. As perdas por comutação são decorrentes da transição do estado de bloqueio para condução ou condução para bloqueio. A estimativa destas perdas depende das características dos semicondutores utilizados na aplicação. Tais características estão presentes em sua folha de dados e as principais foram expostas na Tabela 5.2. A estimativa de perdas apresentada utiliza de algumas aproximações e se baseia nos trabalhos de (Mohan *et al.*, 2003; Costa, 2017; Souza, 2017).

As perdas elétricas no MOSFET são estabelecidas de acordo com equações (5.1) e (5.2), em que são definidas perdas por condução e comutação, respectivamente.

$$P_{S_cond} = I_{S_ef}^2 \cdot R_{DS(on)} \quad (5.1)$$

em que $R_{DS(on)}$ é a resistência elétrica do interruptor em condução.

$$P_{S_comut} = \frac{f_s}{2} \cdot (t_r + t_f) \cdot I_{S_ef} \cdot V_{S_max} \quad (5.2)$$

em que t_r é o tempo de subida e t_f é o tempo de descida.

Como o primeiro estágio do conversor proposto opera em condução descontínua, as perdas de comutação durante o acionamento, relativas ao primeiro estágio, podem ser consideradas nulas, permitindo que a equação (5.2) possa ser reescrita como:

$$P_{s_comut} = \frac{f_s}{2} \cdot (t_r \cdot I_{Dn2_ef} + t_f \cdot I_{S_ef}) \cdot V_{S_max} \quad (5.3)$$

As perdas elétricas do diodo são estabelecidas de acordo com (5.4) e (5.5), as quais são definidas como perdas por condução e comutação, respectivamente.

$$P_{D_cond} = V_F \cdot I_{D_med} \quad (5.4)$$

em que V_F é a queda de tensão direta presente no diodo.

$$P_{D_comut} = t_{rr} \cdot f_s \cdot V_{D_max} \cdot I_{D_med} \quad (5.5)$$

em que t_{rr} é o tempo de recuperação reverso do diodo.

A comutação dos diodos da ponte retificadora acontece no momento da inversão da tensão de entrada, portanto estas perdas serão mínimas. Logo, as perdas totais na ponte retificadora podem ser consideradas como as perdas por condução (Larico, 2007) e determinadas de acordo com (5.6). As estimativas de suas perdas por condução podem ser adicionadas na simulação, pela adição da tensão no bloco da ponte retificadora utilizada.

$$P_{Dret_cond} = 2 \cdot (V_F \cdot I_{PR_med}) \quad (5.6)$$

As não idealidades presentes nos indutores confeccionados geram perdas. Estas perdas são compostas por perdas no cobre (efeito Joule) e perdas magnéticas (perdas no núcleo) (Barbi *et al.*, 2002). As perdas no cobre dependem diretamente da resistência do enrolamento e da corrente eficaz, a qual o condutor é submetido, como representa (5.7). Podem ser facilmente adicionadas na simulação, através de um resistor em série com o indutor. As perdas magnéticas são ocasionadas pela histerese e se torna complexo adicioná-las à simulação. A expressão empírica (5.8) permite determinar as perdas magnéticas com boa aproximação (Barbi *et al.*, 2002).

$$P_{L_cond} = I_{L_ef}^2 \cdot R_{L_cobre} \quad (5.7)$$

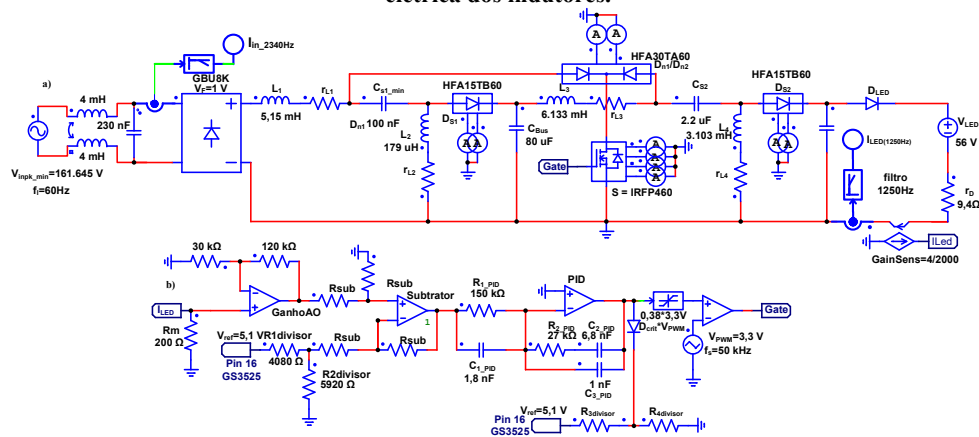
$$P_{L_núcleo} = \left(B_{max} \cdot \frac{\Delta I_L}{I_{L1pk}} \right)^{2,4} \cdot (K_h \cdot f_s + K_f \cdot f_s^2) \cdot V_{núcleo} \quad (5.8)$$

em que: para núcleos Thornton, considera-se o coeficiente de perdas por histerese como $K_h = 4 \cdot 10^{-5}$; o coeficiente de perdas por correntes parasitas como $K_f = 4 \cdot 10^{-10}$; a máxima densidade de fluxo máximo $B_{max} = 0,35$ T; $V_{núcleo}$ é o volume do núcleo, dado presente em seu catálogo (Thornton, 2015) e representado na Tabela 5.2.

As especificações dos componentes, determinados na Tabela 5.2, auxiliam na realização de uma simulação do conversor não ideal, implementada com o propósito de estimar as perdas nos semicondutores e demais componentes presentes no circuito, obtendo resultados de simulação próximos dos apresentados experimentalmente. A simulação implementada utiliza os componentes semicondutores da biblioteca “*Thermal Module*”, presente no *software PSIM®*. Os componentes desta biblioteca oferecem uma maneira rápida de estimar as perdas de dispositivos semicondutores, baseados nas características retiradas de seus respectivos *datasheets* (Powersim, 2010).

Para a obtenção dos resultados da simulação não ideal, foi utilizado o circuito da Figura 5.1. Este circuito opera com tensão de entrada mínima, emprega o circuito de controle PID proposto, utiliza os componentes semicondutores da biblioteca “*Thermal Module*”, resistores em série com os indutores, tensão direta na ponte de diodos e um pequeno filtro EMI, que se torna necessário para a implementação experimental.

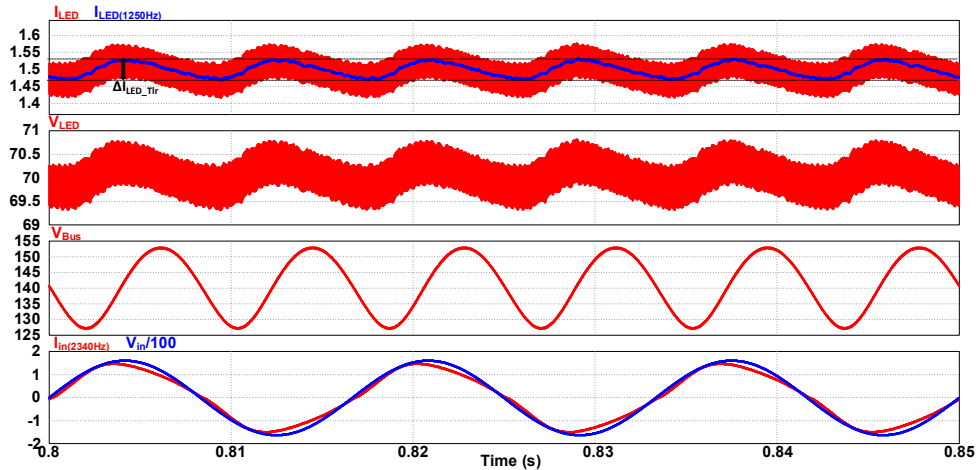
Figura 5.1 - Circuito do conversor proposto contemplando as não idealidades dos semicondutores e resistência elétrica dos indutores.



Fonte: Elaborado pelo autor.

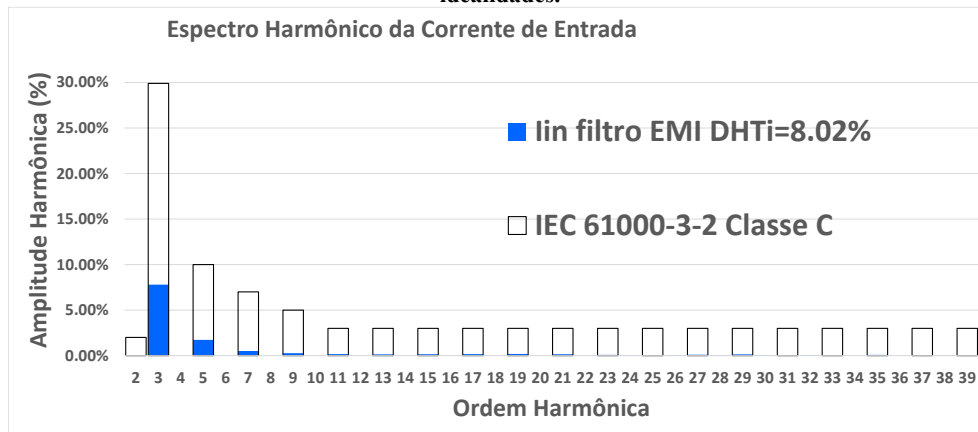
A Figura 5.2 ilustra as principais formas de ondas simuladas do conversor proposto, com a presença das não idealidades. Nela, nota-se uma ondulação de corrente de saída em baixa frequência de 64 mA (4,2 %), que apesar do acréscimo em relação a simulação ideal, continua muito inferior aos 19,2 % (288 mA) estipulados no projeto. Apresenta alto fator de potência (0,9967) e DHTi de 8,02 %, atendendo às características de projeto mesmo com uma variação de 18,31 % (25,79 V) na tensão de barramento, imposta pela utilização do capacitor de 80 µF no barramento. Uma vez que a corrente de entrada tem baixo DHTi e alto FP, é a corrente de saída está dentro dos limites estabelecidos, confirma-se que o funcionamento do circuito simulado é adequado.

Figura 5.2 - Principais formas de ondas simuladas do conversor proposto com não idealidades.



Fonte: Elaborado pelo autor.

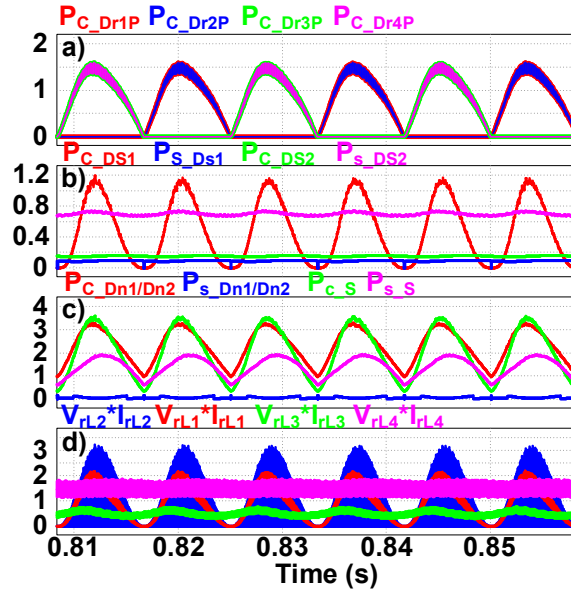
Figura 5.3 - Distorção Harmônica da corrente de entrada simulada para o conversor proposto com não idealidades.



Fonte: Elaborado pelo autor.

A Figura 5.4 apresenta as formas de ondas das perdas sobre os componentes do circuito não ideal, de acordo com o circuito da Figura 5.1. A Figura 5.4-a) apresenta as perdas de condução na ponte de diodos, estipulada de acordo com (5.6) e utiliza a corrente média e tensão direta de seus diodos ($V_F=1$ V). A Figura 5.4-b) apresenta as perdas por condução e comutação dos diodos D_{S1} e D_{S2} , onde P_C indica perdas por condução e P_S indica perdas por comutação. A Figura 5.4-c) apresenta as perdas por condução e comutação, presentes no diodo D_{n1}/D_{n2} e interruptor compartilhado S . A Figura 5.4-d) apresenta a forma de onda da potência dissipada na resistência série dos indutores. As perdas magnéticas não são representadas nesta simulação e serão expressas apenas de forma teórica de acordo com (5.8).

Figura 5.4 - Perdas nos componentes do circuito não ideal simulado



Fonte: Elaborado pelo autor.

A partir das equações descritas e o circuito não ideal simulado representado pela Figura 5.1, torna-se possível estimar e comparar as perdas relativas ao conversor proposto. A Tabela 5.3 apresenta as perdas estimadas para os casos de tensão de entrada mínima e máxima, considerando os valores de perdas teóricas e simuladas. As perdas teóricas são definidas através de: (5.1) e (5.3) para o interruptor S ; (5.4) e (5.5) para os diodos D_{S1} , D_{S2} e $D_{n1/n2}$; (5.6) para a ponte de diodos; (5.7) e (5.8) para os indutores.

Tabela 5.3 - Tabela de perdas estimadas nos componentes do conversor proposto.

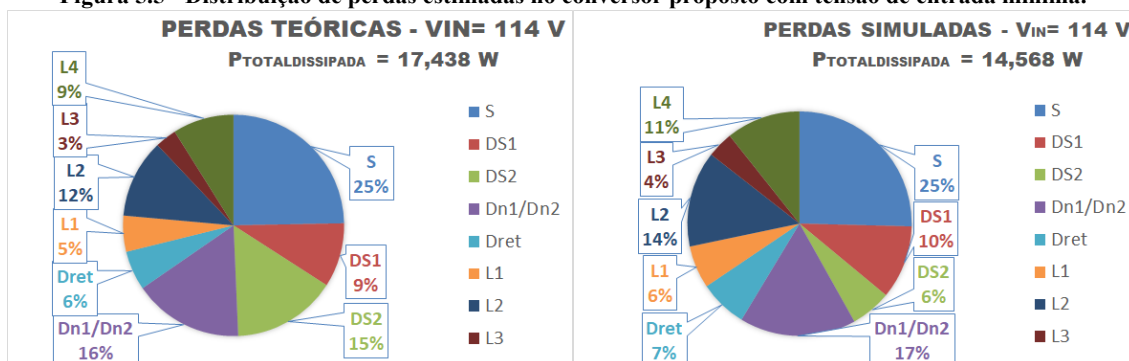
| $V_{IN(RMS)}$ | 114 V | | | | 139 V | | | |
|---------------|---------------|--------------|---------------|--------------|--------------|--------------|---------------|--------------|
| | Teóricas (W) | | Simuladas (W) | | Teóricas (W) | | Simuladas (W) | |
| COMP. | Cond. | Com. | Cond. | Com. | Cond. | Com. | Cond. | Com. |
| S | 2,706 | 1,6 | 2,26 | 1,44 | 2,039 | 1,575 | 1,716 | 2,218 |
| D_{S1} | 1,003 | 0,635 | 0,627 | 0,919 | 0,775 | 0,571 | 0,487 | 0,117 |
| D_{S2} | 1,949 | 0,709 | 0,153 | 0,701 | 1,949 | 0,822 | 0,179 | 0,663 |
| $D_{n1/Dn2}$ | 2,209 | 0,593 | 2,37 | 0,076 | 1,751 | 0,541 | 1,881 | 0,093 |
| D_{Pret} | 1,004 | 0 | 1,006 | 0 | 0,728 | 0 | 0,728 | 0 |
| COMP. | Cond. | Mag. | Cond. | Mag. | Cond. | Mag. | Cond. | Mag. |
| L_1 | 0,898 | 0,02 | 0,876 | | 0,59 | 0,022 | 0,564 | |
| L_2 | 0,367 | 1,638 | 0,376 | | 0,329 | 1,448 | 0,329 | |
| L_3 | 0,517 | 0,031 | 0,516 | | 0,31 | 0,072 | 0,311 | |
| L_4 | 1,489 | 0,07 | 1,489 | | 1,491 | 0,083 | 1,49 | |
| TOTAL | 12,142 | 5,296 | 9,673 | 3,136 | 9,962 | 5,134 | 7,685 | 3,091 |

Fonte: Elaborado pelo autor.

A Figura 5.5 e Figura 5.6 apresentam uma comparação entre os gráficos de distribuição de perdas teóricas e simuladas do conversor, com as tensões de entrada mínima e máxima, respectivamente. Estas figuras ilustram as perdas em cada componente do circuito e permitem

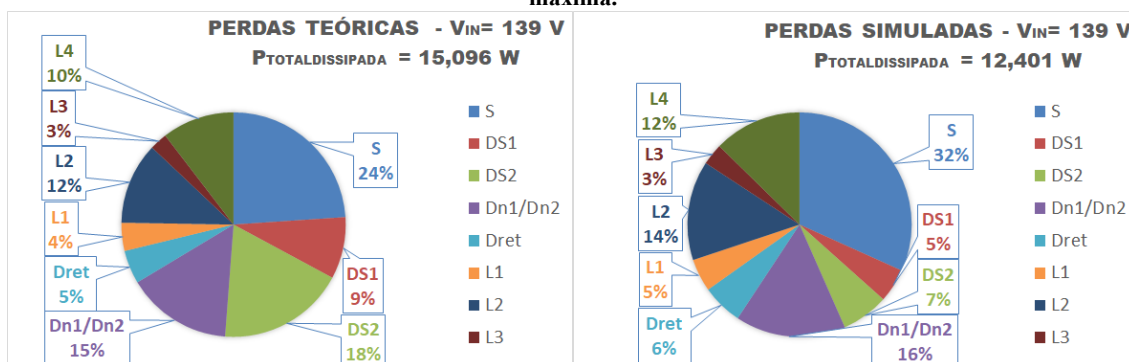
comparar e estipular um rendimento aproximado. O gráfico ilustra uma diferença considerável entre as perdas teóricas e simuladas dos diodos, especialmente as perdas de condução do diodo D_{S2} , principal divergência dentre os valores teóricos e simulados.

Figura 5.5 - Distribuição de perdas estimadas no conversor proposto com tensão de entrada mínima.



Fonte: Elaborado pelo autor.

Figura 5.6 - Distribuição de perdas estimadas e simuladas no conversor proposto com tensão de entrada máxima.



Fonte: Elaborado pelo autor.

As perdas teóricas empregam equações básicas e não consideram a variação periódica das tensões de acionamento e bloqueio de alguns componentes. Outro fator que influencia nas perdas por condução, apresentadas pela simulação não ideal realizada, é que os diodos da biblioteca “*Thermal Module*” têm sua tensão direta definida de acordo com a corrente que circula pelo mesmo, implementada de forma gráfica, esta mesma análise nos valores teóricos seria bem complexa.

Considerando as perdas apresentadas nas simulações, é possível estimar um rendimento para o conversor, com os diferentes valores de entrada. O rendimento estimado e os principais valores encontrados na simulação são compilados na Tabela 5.4. É importante enfatizar que este rendimento estimado considera as perdas magnéticas teóricas sobre os indutores, devido à dificuldade de representá-las na simulação.

Os resultados apresentados nesta tabela serão comparados aos resultados experimentais, tornando possível a identificação de problemas de funcionamento ou de roteamento das placas de circuito impresso.

Tabela 5.4 - Resultados simulados do circuito não ideal, para os possíveis valores de entrada com corrente de saída nominal.

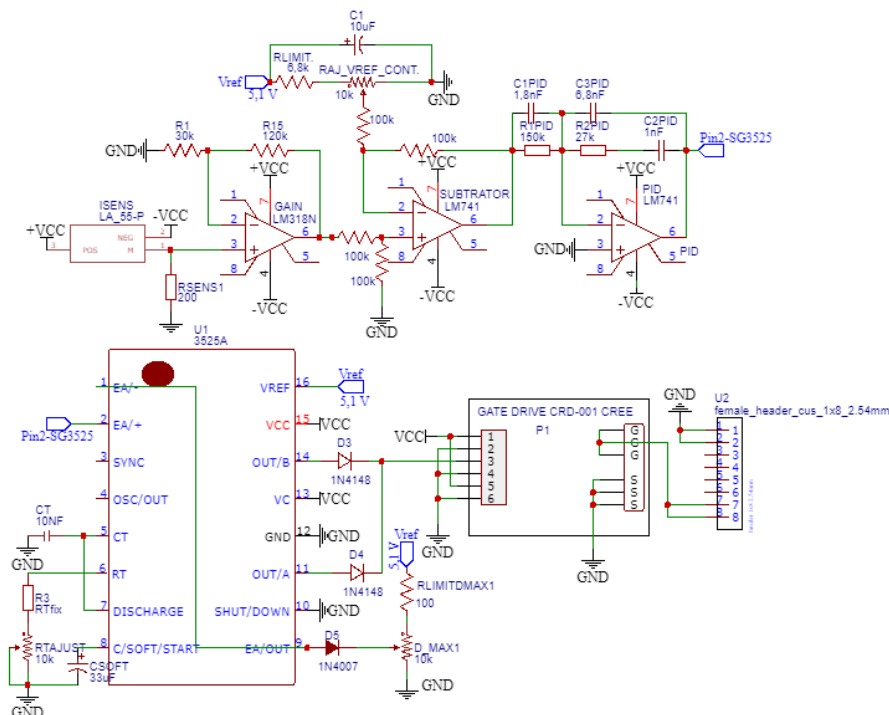
| $V_{IN}(RMS)$ | 114 V | 127 V | 139 V |
|--------------------|----------|-----------|----------|
| ΔI_{o_LF} | 64,02 mA | 47,02 mA | 35,73 mA |
| V_{Bus} | 140,9 V | 160,15 V | 180,05 V |
| ΔV_{Bus} | 25,78 V | 22,52 V | 19,95 V |
| P_o | 105,23 | 105,22 W | 105,22 |
| P_{in} | 119,8 | 118,579 W | 117,62 |
| PF | 0,995 | 0,996 | 0,997 |
| η (%) | 87,84 % | 88,734 % | 89,457 % |
| $DHTi$ (%) | 8,02 % | 6,19 % | 5,07 % |

Fonte: Elaborado pelo autor.

5.4 Implementação Experimental

Com o intuito de comprovar a análise teórica e o funcionamento do conversor proposto, o mesmo é implementado experimentalmente e seus resultados são apresentados nesta seção. A Tabela 4.1 exhibe os parâmetros de entrada do projeto do *driver*. Os componentes utilizados no circuito de potência são empregados e construídos de acordo com especificações veiculadas na Tabela 5.2. A Figura 5.7 apresenta o diagrama esquemático simplificado do circuito de controle implementado. O circuito de controle implementado é analógico e utiliza o controlador PWM SG3525-A, o sensor de corrente LA 55-P/SP1 e o *gate drive* CRD-001 do fabricante CREE (Cree, 2014). A placa do circuito de controle foi confeccionada de forma a ser conectada a placa principal (circuito de potência) através de um *header* 2x8.

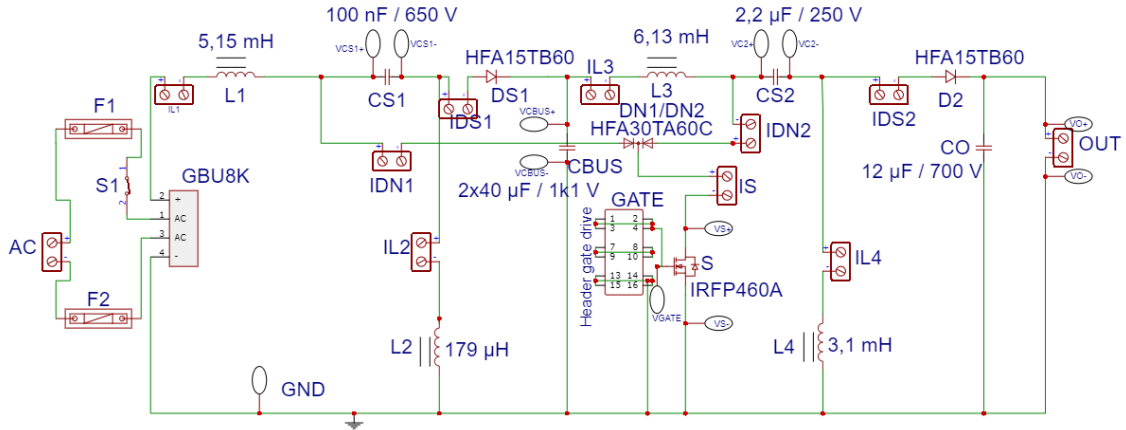
Figura 5.7 – Esquemático simplificado da placa do circuito de controle implementado.



Fonte: Elaborado pelo autor.

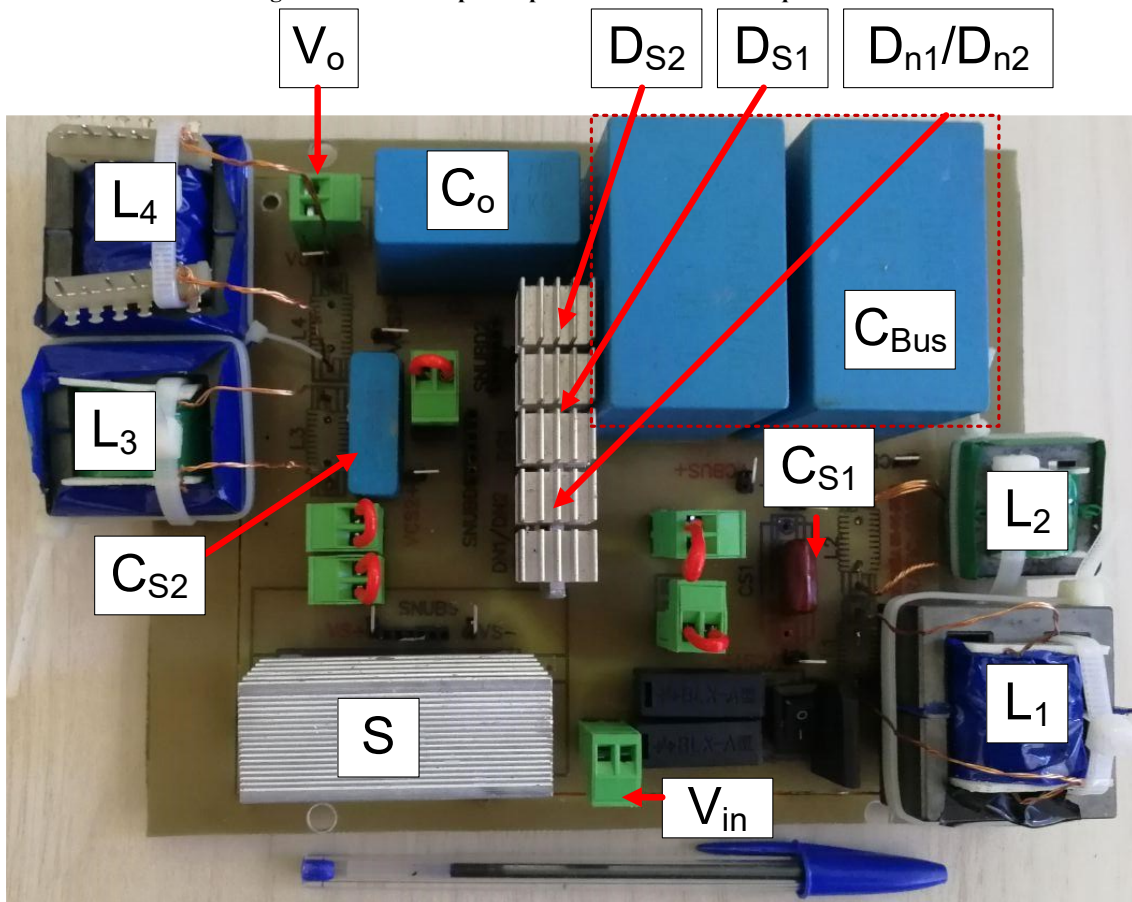
O diagrama esquemático do circuito de potência do protótipo construído é apresentado na Figura 5.8. A Figura 5.9 mostra a placa do circuito de potência confeccionada, que possui dimensões de 155 x 143mm. As dimensões do protótipo podem ser reduzidas, ao retirar as ponteiros de amostragem de corrente e tensão, bem como otimizar os componentes para corrente e tensão necessárias.

Figura 5.8 – Esquemático simplificado da placa de potência do conversor SEPIC quadrático.



Fonte: Elaborado pelo autor.

Figura 5.9 - Foto do protótipo do conversor SEPIC quadrático.



Fonte: Elaborado pelo autor.

Os equipamentos utilizados nos testes experimentais são detalhados na Tabela 5.5. Ao realizar os testes em bancada, o *varivolt* é ligado diretamente a rede CA do laboratório, sendo

necessário o emprego de um pequeno filtro EMI na entrada, devido a alguns ruídos que aparecem na forma de onda da tensão de entrada. O filtro é composto por um indutor toroidal de modo comum de 4 mH e um capacitor de filme de 330 nF.

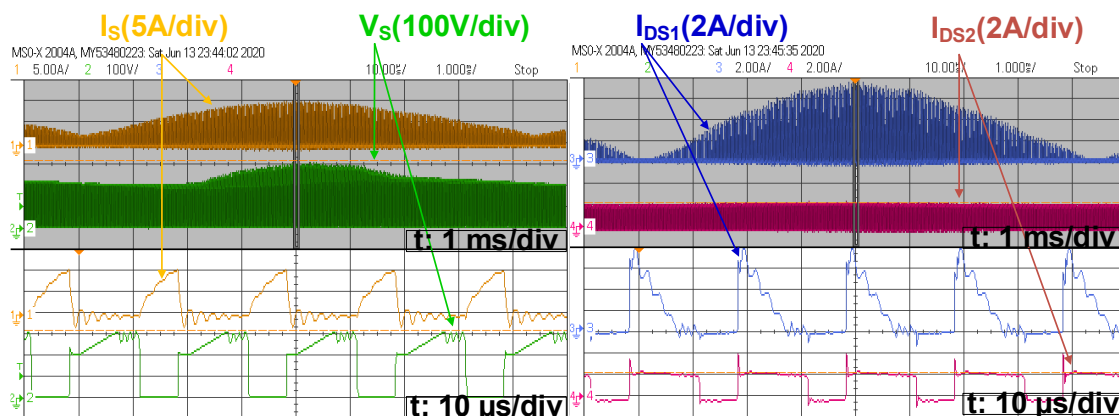
| EQUIPAMENTO | DESCRIÇÃO / MODELO |
|---|--|
| Fonte De Alimentação Do Circuito De Controle | PS-5000 2 canais 30 V / 3 A |
| Varivolt Monofásico | TDGC ₂ 500 VA |
| Osciloscópio Digital Tektronix | TPS 2024B – 4 Canais Isolados com software de aplicação de energia TPS2PWR1 |
| Osciloscópio Digital Agilent InfiniVision | MSO-X-2004A 70 MHz 2Gsa/s |
| Ponta de prova ativa para medição de corrente | Tektronix A622 AC/DC |
| Medidor LCR | Minipa MC-155 |

Fonte: Elaborado pelo autor.

5.5 Resultados Experimentais

Inicialmente, verifica-se a operação do conversor proposto, avaliando os resultados experimentais apresentados pelo protótipo. A Figura 5.10 mostra a tensão no interruptor, corrente no interruptor e correntes nos diodos D_{S1} e D_{S2} , operando com tensão de entrada mínima ($V_{in_rms}=114,3$ V). A parte superior da figura apresenta um detalhe em um período T_{lr} , já a inferior mostra um detalhe em um período T_s . O detalhe no período de comutação permite que seja verificado o modo de condução descontínuo do primeiro estágio, representado pela corrente do diodo D_{S1} . O modo de condução contínuo do segundo estágio, é evidenciado pela corrente do diodo D_{S2} .

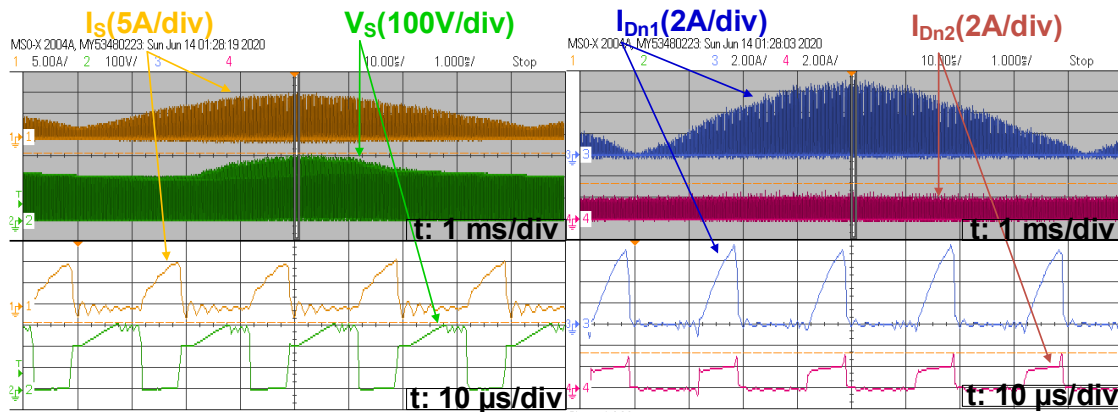
Figura 5.10 - Tensão e corrente sobre o interruptor S , correntes no diodo D_{S1} e D_{S2} , para o caso de $V_{in} = 114,3$ V.



Fonte: Elaborado pelo autor.

A Figura 5.11 apresenta as formas de ondas de corrente e tensão no interruptor e as correntes nos diodos de integração D_{n1} e D_{n2} , operando com tensão de entrada mínima ($V_{in_rms}=114,3$ V). Novamente, a parte superior apresenta um detalhe na frequência f_{lr} e a parte inferior possui um detalhe na frequência de comutação f_s . Este detalhe permite que seja verificado que a corrente no interruptor S é a soma das correntes dos diodos D_{n1} e D_{n2} .

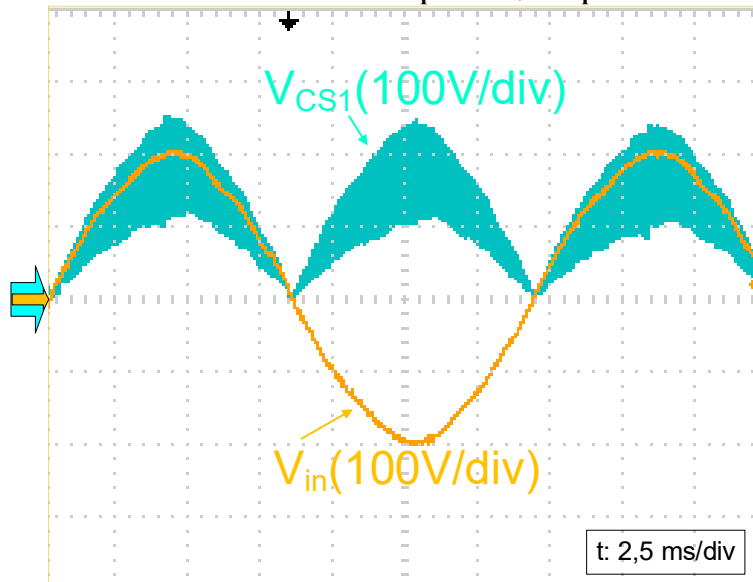
Figura 5.11 - Tensão e corrente sobre o interruptor S , correntes no diodo D_{n1} e D_{n2} , para o caso de $V_{in} = 114,3$ V.



Fonte: Elaborado pelo autor.

As formas de onda experimentais dos semicondutores mostram conformidade com a análise teórica apresentada. Como citado no item 4.2.2, o capacitor de acoplamento do retificador SEPIC (C_{S1}), empregado no primeiro estágio, desenvolve um importante papel, mantendo a principal característica do conversor, que é apresentar uma corrente de entrada que segue a tensão, realizando a manutenção do alto fator de potência e mantendo a baixa distorção harmônica da corrente de entrada. Ao utilizar o capacitor C_{S1} de 100 nF, há uma elevada ondulação de tensão sobre o mesmo e sua forma de onda experimental é apresentada pela Figura 5.12, na qual se mostra a tensão de entrada sobreposta à tensão V_{CS1} .

Figura 5.12 - Formas de onda de tensão sobre o capacitor C_{S1} comparada à tensão de entrada.

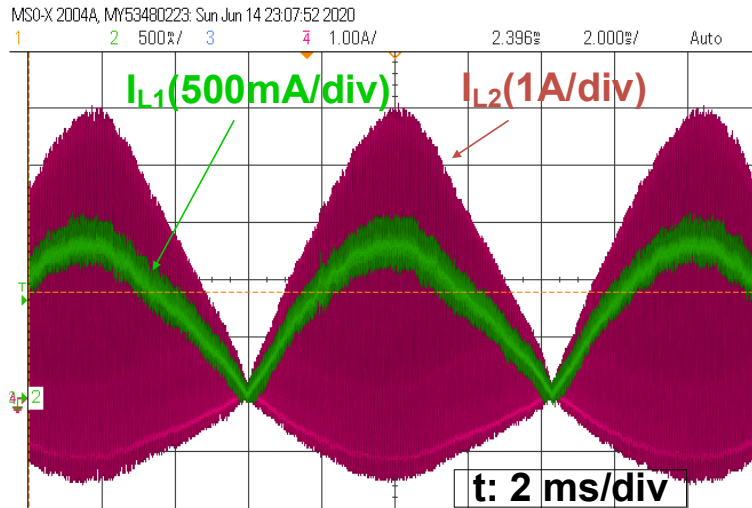


Fonte: Elaborado pelo autor.

A Figura 5.13 apresenta as formas de onda das correntes nos indutores do primeiro estágio.

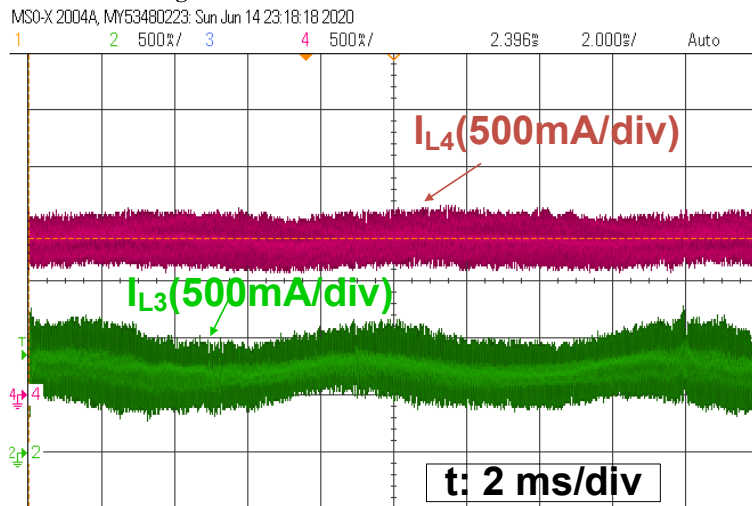
A Figura 5.14 apresenta as formas de onda das correntes nos indutores do segundo estágio.

Figura 5.13 - Correntes nos indutores L_1 e L_2 .



Fonte: Elaborado pelo autor.

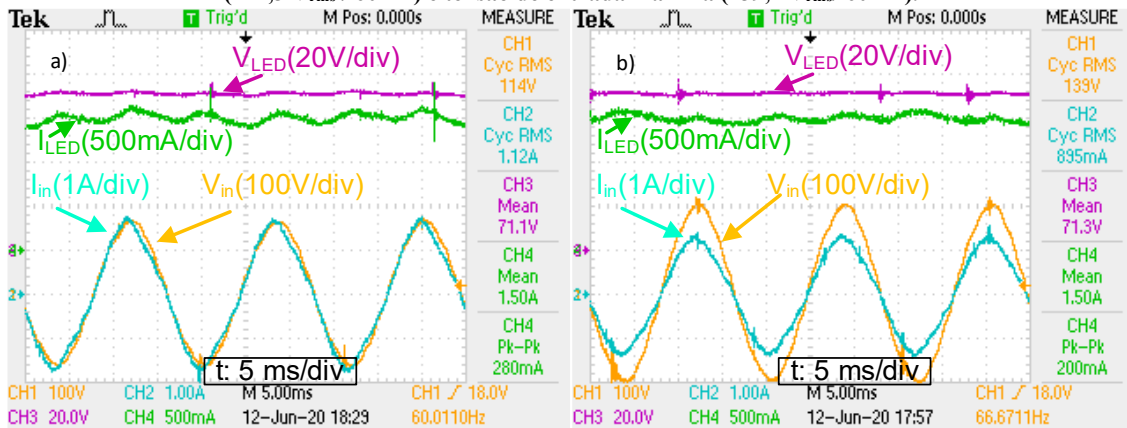
Figura 5.14 - Correntes nos indutores L_3 e L_4 .



Fonte: Elaborado pelo autor.

A Figura 5.15-a) apresenta as principais formas de onda de entrada e saída experimentais do *driver* proposto, operando com tensão de entrada de 114,3 V_{rms} / 60 Hz, considerado o pior caso para que o controle atenua a ondulação da corrente de saída. As formas de onda apresentadas mostram tensão de alimentação eficaz de 114 V, corrente de entrada drenada da fonte de 1,12 A, tensão de saída de 71,1 V e corrente de saída de 1,5 A, com ondulação pico a pico de 280 mA. O *driver* proposto consegue uma ondulação de corrente de, aproximadamente, 18,66%, atendendo ao limite de ondulação imposto no projeto. Já a Figura 5.15-b), demonstra as formas de ondas experimentais do *driver* proposto, operando com tensão de entrada de 139 V_{rms} / 60 Hz, e apresenta ondulação de corrente de saída pico a pico de 200 mA, comprovando que o pior caso, de ondulação de corrente de saída, é realmente com tensão de entrada mínima.

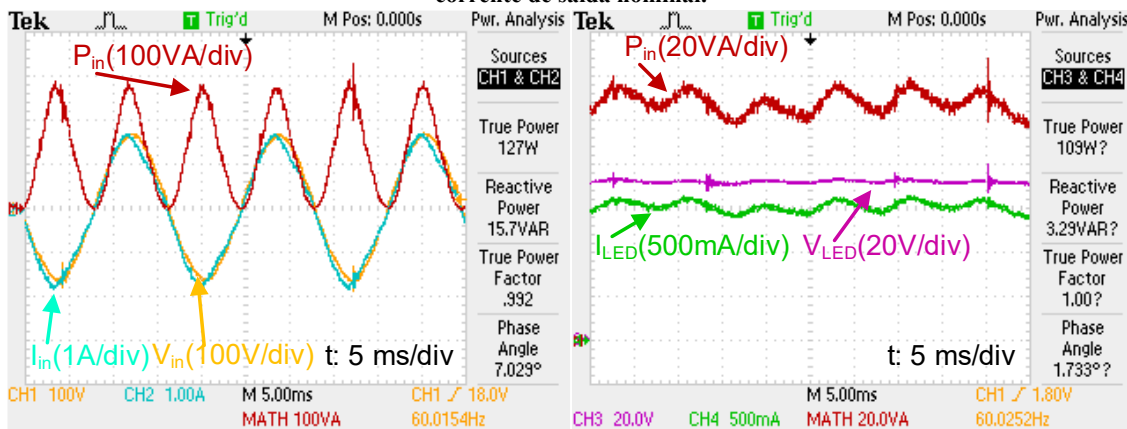
Figura 5.15 - Formas de onda de entrada e saída do *driver* proposto operando com tensão de entrada mínima (114,3 V_{rms} / 60 Hz) e tensão de entrada máxima (139,7 V_{rms} / 60 Hz).



Fonte: Elaborado pelo autor.

A Figura 5.16 exibe uma comparação experimental entre as potências de entrada e saída do conversor proposto, operando com tensão de entrada mínima (114,3 V_{rms}/ 60 Hz) e corrente de saída nominal. As potências apresentadas, bem como a distorção harmônica da corrente de entrada, são medidas pelo *software* de aplicação de energia TPS2PWR1 do próprio osciloscópio, TPS 2024B. A Figura 5.16-a apresenta a potência de entrada de 127 W, fator de potência de 0,992 e a Figura 5.16-b indica a potência de saída de 109 W.

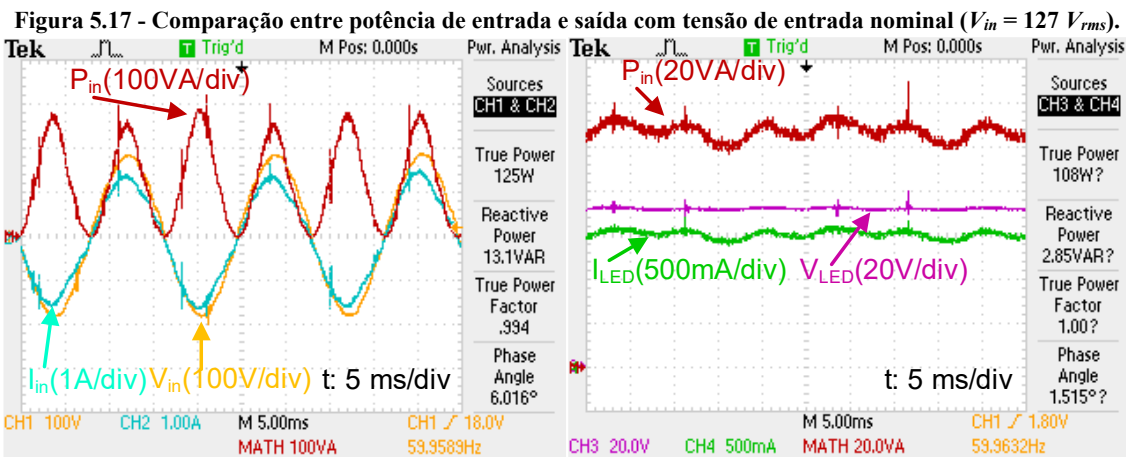
Figura 5.16 – Comparação entre potência de entrada e saída com tensão de entrada mínima ($V_{in} = 114,3 V_{rms}$) e corrente de saída nominal.



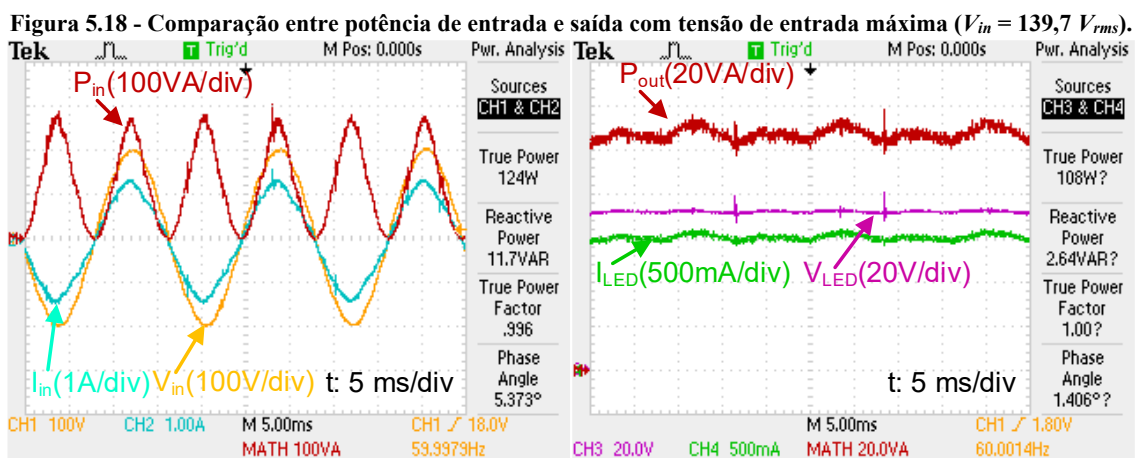
Fonte: Elaborado pelo autor.

A Figura 5.17-a) apresenta os valores de potência de entrada de 125 W, fator de potência de 0.994 e a Figura 5.17-b apresenta potência de saída de 108 W, amostrados com o circuito operando com tensão de entrada nominal (127 V_{rms} / 60 Hz) e corrente de saída nominal.

A Figura 5.18-a) apresenta potência de entrada de 124 W, fator de potência de 0.996 e a Figura 5.18-b apresenta potência de saída de 108 W, amostradas com o circuito operando com tensão de entrada máxima (139,7 V_{rms} / 60 Hz) e corrente de saída nominal.



Fonte: Elaborado pelo autor.

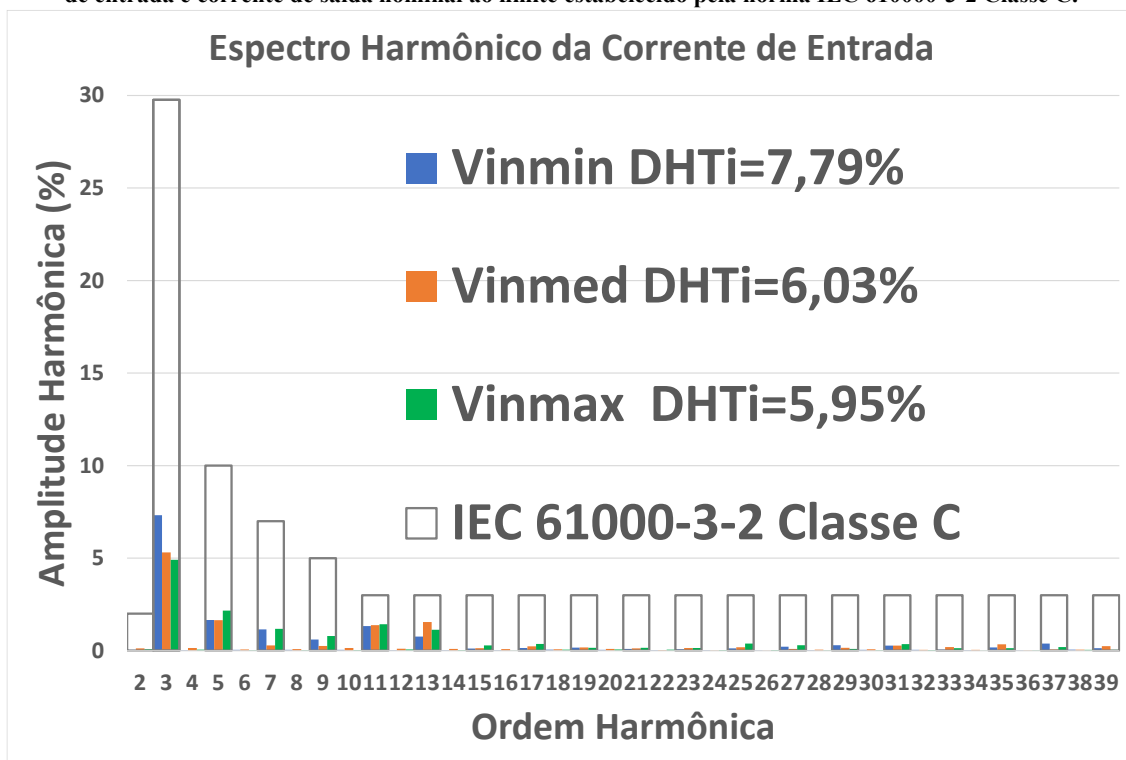


Fonte: Elaborado pelo autor.

O menor rendimento experimental é amostrado com tensão de entrada mínima, em que o *driver* revela um rendimento calculado através da relação entre as potências de entrada e saída, amostradas de, aproximadamente, 85,8 %. Apresenta uma considerável diferença se comparado ao rendimento estimado de 87,84 % para o conversor não ideal simulado, segundo Tabela 5.4. Porém, o erro verificado pode ter várias causas e podem ser a soma de algumas delas, tais como: não linearidade da carga; variação de temperatura na carga e nos componentes; problemas de roteamento; ponteiros de amostragem; resistência série dos capacitores desconsiderados na simulação computacional; indutâncias parasitas; dentre outras.

A Figura 5.19 compara os resultados experimentais da taxa de distorção harmônica da corrente de entrada com as possíveis tensões de entrada aos limites estabelecidos pela norma IEC 61000-3-2 para equipamentos de classe C. A DHTi, observada experimentalmente, foi de 7,79 % para tensão de entrada mínima, 6,03% para tensão de entrada nominal e 5,95% para tensão de entrada máxima. Esta figura comprova que o conversor atende aos limites impostos pela referida norma de qualidade de energia, mesmo no limite mínimo de tensão de entrada.

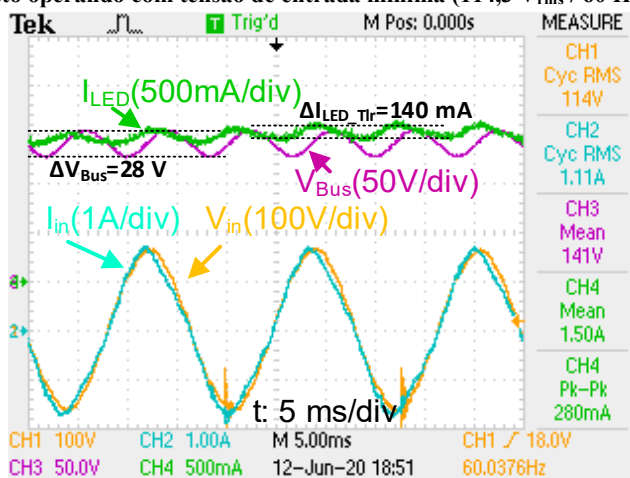
Figura 5.19 – Comparação gráfica do conteúdo harmônico da corrente de entrada, com as diferentes tensões de entrada e corrente de saída nominal ao limite estabelecido pela norma IEC 61000-3-2 Classe C.



Fonte: Elaborado pelo autor.

A Figura 5.20-a) apresenta tensão de barramento de 141 V com tensão de entrada mínima, enquanto e mostra em detalhe a tensão de barramento, que apresenta ondulação de 28 V pico a pico e ondulação da corrente de saída de 140 mA, na frequência de 120 Hz. Constatando, assim, que a ondulação de corrente é de, aproximadamente, 9,33 %. O que caracteriza uma consequente modulação luminosa ou *flicker* de 4,67% para o considerado pior caso, em que a tensão de entrada eficaz CA está no limite inferior (114,3 V).

Figura 5.20 - a) Formas de onda da tensão e corrente de entrada, tensão do barramento e corrente de saída do driver proposto operando com tensão de entrada mínima (114,3 V_{rms} / 60 Hz).



Fonte: Elaborado pelo autor.

A Tabela 5.6 apresenta os dados dos resultados experimentais com corrente de saída nominal para os diferentes níveis de tensão de entrada eficaz. Analisando os resultados

experimentais, constata-se a conformidade com os parâmetros de projeto em ambos os níveis de tensão de entrada. Como esperado, ao elevar a tensão de entrada, há uma redução considerável da ondulação de corrente de saída e ondulação de tensão no barramento, consequente da elevada tensão sobre o capacitor de barramento. Os parâmetros de fator de potência e $DHTi$ também apresentam melhora, devido à menor necessidade de atuação do circuito de controle na atenuação da ondulação da corrente de saída.

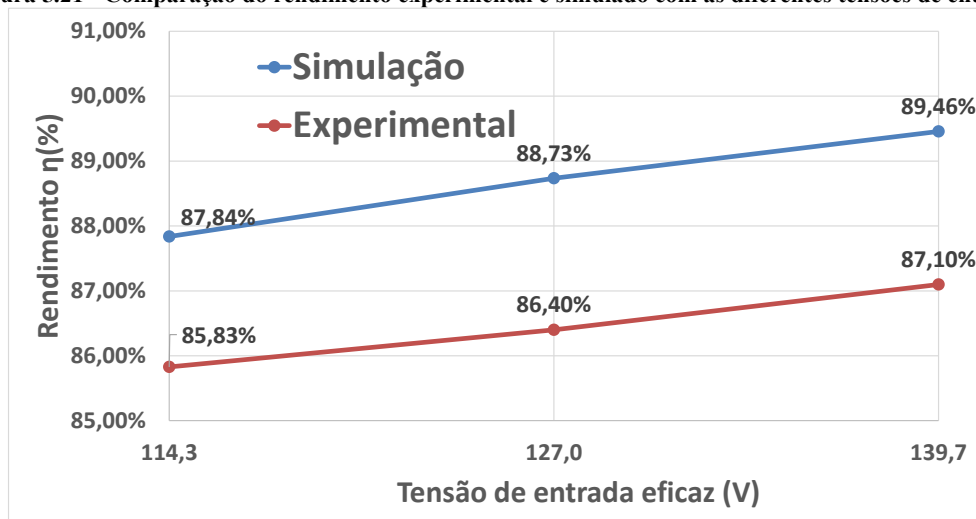
Tabela 5.6 - Resultados experimentais para os possíveis valores de entrada com corrente de saída nominal.

| $V_{IN}(RMS)$ | 114 V | 127 V | 139 V |
|----------------------|--------|--------|--------|
| ΔI_{LED_Tr} | 140 mA | 120 mA | 100 mA |
| $\% \Delta I_{LED}$ | 9,7 % | 7,33 % | 6,66 % |
| V_{Bus} | 141 V | 163 V | 182 V |
| ΔV_{Bus} | 28 V | 25.6 V | 24.4 V |
| P_o | 109 W | 108 W | 108 W |
| P_{in} | 127 W | 125 W | 124 W |
| FP | 0,992 | 0,994 | 0,996 |
| η (%) | 85,8 % | 86,4 % | 87,1 % |
| $DHTi$ (%) | 7,79 % | 6,03 % | 5,95 % |

Fonte: Elaborado pelo autor.

O gráfico da Figura 5.21 compara os rendimentos apresentados pela simulação não ideal, apresentada no item 5.3, com o rendimento obtido experimentalmente. Analisando o gráfico, observa-se que há um erro entre os rendimentos de aproximadamente 2 %, que pode ser caracterizado por erro no modelo linear do LEDs, algum problema de roteamento ou, até mesmo, por desconsiderar as perdas em alguns componentes, como, por exemplo, a resistência série dos capacitores.

Figura 5.21 - Comparação do rendimento experimental e simulado com as diferentes tensões de entrada.

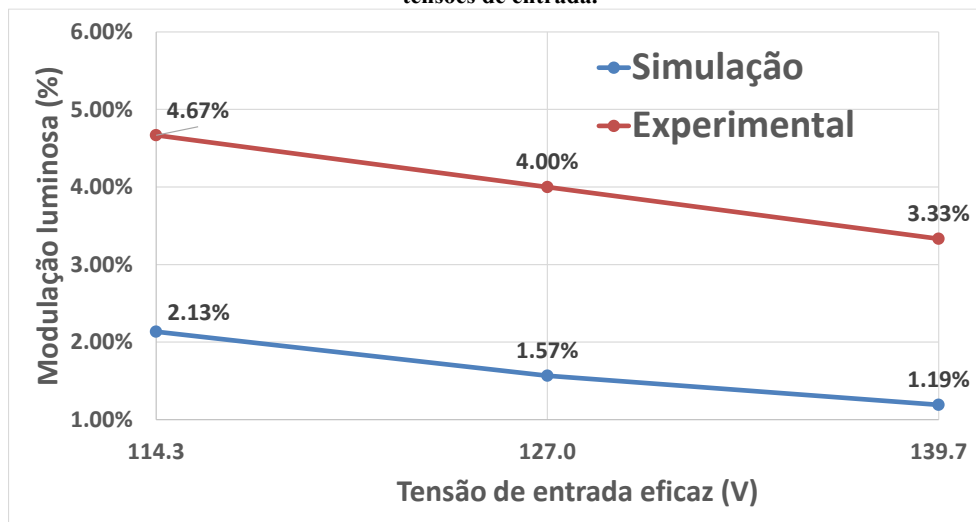


Fonte: Elaborado pelo autor.

O gráfico da Figura 5.22 compara os dados de modulação de intensidade luminosa, encontrados pelo processo de simulação computacional, com os dados coletados experimentalmente. É importante relembrar que no processo de simulação é empregado o modelo

linear da carga LED utilizada. Este tipo de carga apresenta grandes variações, ocasionadas pela temperatura, que não foram contempladas na simulação computacional implementada. Apesar da discrepância entre os resultados, a resposta experimental obtida possui modulação de intensidade luminosa máxima de 4,67% com componente de 120 Hz. Dessa maneira, de acordo com (Lehman e Wilkins, 2014), o *driver* proposto oferece baixo risco a saúde humana.

Figura 5.22 - Comparação da modulação de intensidade luminosa experimental e simulada com as diferentes tensões de entrada.



Fonte: Elaborado pelo autor.

5.5.1 Controle de intensidade luminosa

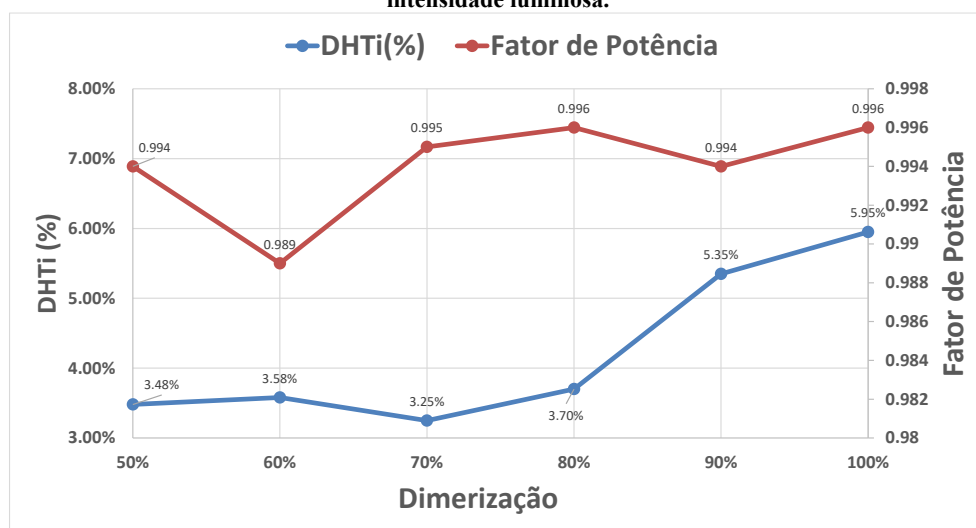
O valor da tensão de referência do circuito de controle pode ser ajustado por meio do potenciômetro de ajuste da tensão de referência, de forma que a função de controle da intensidade luminosa AM é implementada no *driver*, sem nenhuma alteração no circuito de controle proposto. Porém, a baixa margem de fase do controlador proposto, limita este controle da intensidade luminosa em 50% da potência nominal. Suas funções de qualidade de energia e redução da ondulação da corrente de saída são mantidas, os dados extraídos com tensão de entrada nominal (127 V) são compilados na Tabela 5.7 e representados nos gráficos da Figura 5.23 e Figura 5.24.

Tabela 5.7 - Resultados experimentais obtidos para a função de dimerização com tensão de entrada nominal (127 V).

| DIMERIZAÇÃO | 50 % | 60 % | 70 % | 80 % | 90 % |
|---------------------|---------|--------|---------|--------|---------|
| I_{LED} | 0,749 A | 901 mA | 1,05 A | 1,20 A | 1,35 A |
| ΔI_{LED} | 60 mA | 64 mA | 80 mA | 100 mA | 110 mA |
| $\% \Delta I_{LED}$ | 9,35 % | 7,1 % | 7,62 % | 8,33 % | 8,15 % |
| V_{Bus} | 225 V | 207 V | 193 V | 183 V | 173 V |
| ΔV_{Bus} | 6,8 V | 14,4 V | 16,8 V | 17,6 V | 20,0 V |
| P_o | 48 W | 59,8 W | 72,4 W | 82 W | 95,3 W |
| P_{in} | 54,6 W | 68,1 W | 81,7 W | 93,5 W | 109 W |
| PF | 0,994 | 0,989 | 0,995 | 0,996 | 0,994 |
| η (%) | 87,91 % | 87,8 % | 88,61 % | 87,7 % | 87,43 % |
| $DHTi$ (%) | 3,48 % | 3,58 % | 3,25 % | 3,70 % | 5,35 % |

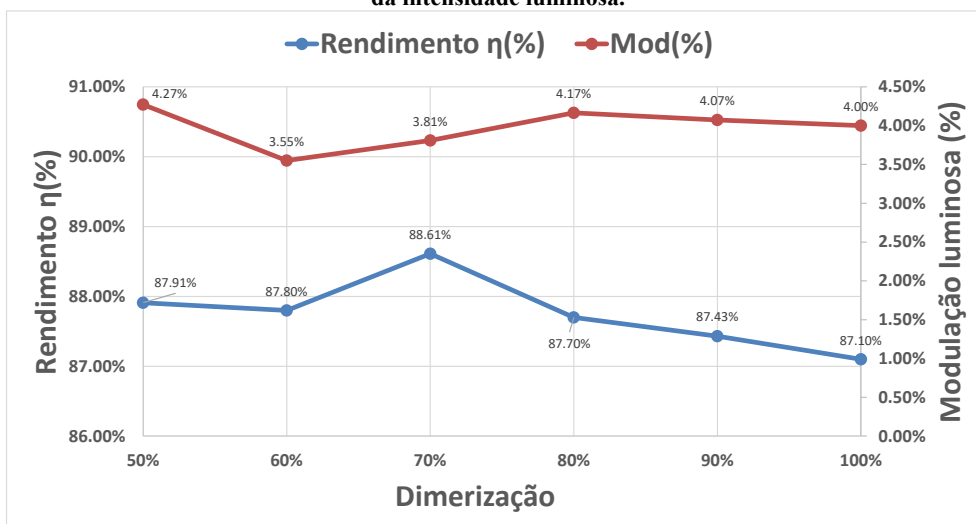
Fonte: Elaborado pelo autor.

Figura 5.23 - Amplitude Harmônica e fator de potência do driver proposto com a função de controle da intensidade luminosa.



Fonte: Elaborado pelo autor.

Figura 5.24 – Rendimento e modulação da intensidade luminosa do driver proposto com a função de controle da intensidade luminosa.



Fonte: Elaborado pelo autor.

5.6 Considerações Finais

Através da análise da simulação em malha fechada, foram apresentados os esforços de corrente e tensão, que auxiliam na escolha dos componentes utilizados no protótipo. A escolha dos componentes possibilita estimar as perdas nos semicondutores e demais componentes do circuito, por análise teórica e simulação numérica. Assim, permite-se uma estimativa de rendimento para uma comparação com os resultados experimentais.

Os resultados expostos mostram a operação do *driver* com tensão de entrada de $127\text{ V} \pm 10\%$, ondulação de corrente de saída inferior a $19,2\%$, alto fator de potência e baixa distorção harmônica da corrente de entrada. Pode ser utilizada a função de controle da intensidade luminosa de 50 a 100 % da potência nominal, sem nenhuma alteração no circuito proposto, mantendo os parâmetros de qualidade da corrente de entrada. As ondulações de corrente de saída, inferiores a $19,2\%$, caracterizam modulação do fluxo luminoso inferior a $9,6\%$, garantindo baixo risco à saúde

humana. Atendendo a todas as premissas de projeto e alcançando uma eficiência superior aos 85,83 %, em toda a faixa de operação. A equação (2.7) é utilizada para estipular a máxima energia armazenada por Watt no barramento encontrando 9,84 mJ/W de acordo com (5.9) e na saída de 0,28 mJ/W, de acordo com (5.10).

$$JPW_{Bus} = \frac{1}{2} \cdot \frac{C_{Bus} \cdot V_{Bus}^2}{P_{LED}} = \frac{1}{2} \cdot \frac{80\mu F \cdot (163V)^2}{108W} = 9,84 \frac{mJ}{W} \quad (5.9)$$

$$JPW_{Co} = \frac{1}{2} \cdot \frac{C_o \cdot V_o^2}{P_{LED}} = \frac{1}{2} \cdot \frac{12\mu F \cdot (71,1V)^2}{108W} = 0,28 \frac{mJ}{W} \quad (5.10)$$

CAPÍTULO 6. CONCLUSÃO GERAL E PROPOSTAS DE TRABALHOS FUTUROS

De forma geral, este trabalho se dedicou à avaliação e estudo de um driver utilizado no acionamento de LEDs de potência, tendo em vista as grandes vantagens de sua utilização em iluminação artificial. Este estudo é focado na construção de um driver com potência de, aproximadamente, 100 W, que não utilize capacitores eletrolíticos, consiga alto fator de potência, baixa distorção harmônica da corrente de entrada, baixa ondulação da corrente de saída e baixo custo.

O Capítulo 1 apresentou as vantagens existentes no uso de LEDs, tais como: alta eficácia luminosa, robustez, longa vida útil, dentre outras. Alguns exemplos foram apontados, indicando uma projeção de alta na eficácia luminosa das luminárias LEDs nos próximos anos. Introduziu as características desejáveis em *drivers* utilizados nesta aplicação, bem como as normas de regulamentação. Expôs o problema de incompatibilidade de vida útil entre *drivers* e LEDs, causado pelo emprego de capacitores eletrolíticos e introduziu o fenômeno de cintilação luminosa dos LEDs conhecido como *flicker*.

O Capítulo 2 apresenta uma revisão bibliográfica geral sobre as principais características dos LEDs, bem como o modelo de LED utilizado no protótipo. Trouxe à tona as características desejadas em drivers e as principais topologias já utilizadas nesta aplicação, auxiliando na escolha da que se mostra mais adequada para a presente aplicação. Em que se optou por uma topologia integrada, que permite boa redução de capacitância e evita o alto custo e complexidade, consequentes da utilização de vários circuitos de controle e acionamento independentes.

O Capítulo 3 é dedicado ao estudo do conversor proposto e apresentou a metodologia de integração, análise qualitativa e quantitativa, buscando estabelecer o ganho estático do conversor proposto, bem como equações que possam definir seu comportamento e auxiliem no projeto de seus componentes.

O Capítulo 4 desenvolve a metodologia de projeto, definindo um roteiro que buscou dimensionar os componentes do estágio de potência e apresentar os limites de operação. Seu comportamento foi verificado através de simulações em malha aberta com elevada capacitância de barramento. Foi necessário um circuito de controle rápido o suficiente para reduzir a ondulação da corrente de saída, permitindo a redução do capacitor de barramento. Para dimensionar o circuito de controle, foi evidenciada uma metodologia de modelagem que estima a função de transferência, utilizando os dados extraídos da resposta em frequência apresentada pelo AC *Sweep*. A conformidade da função estimada foi verificada através de simulação numérica, é como verificado permite modelar conversores com boa aproximação. Esta modelagem é utilizada na implementação do circuito de controle.

O Capítulo 5 se utiliza de conceitos teóricos e uma simulação para dimensionar os componentes utilizados no circuito de potência. A escolha dos componentes viabiliza uma estimativa teórica e simulada das perdas sobre o conversor através dos componentes da biblioteca “*Thermal Module*”, gerando parâmetros de comparação para a implementação experimental do driver proposto. Os resultados experimentais mostram uma ondulação de corrente inferior ao estabelecido (<19,2%) em toda a faixa de operação (114,3 – 139,7 V_{rms}), com elevado fator de potência (>0,987), reduzida distorção harmônica da corrente de entrada (<8 %) e rendimento superior aos 85,83%. A característica de controle da intensidade luminosa é limitada a 50%, pois a dinâmica do sistema de controle apresenta reduzida margem de fase.

A principal desvantagem da topologia proposta, baseada no conversor SEPIC, está na elevada isolamento necessária nos semicondutores do primeiro estágio (3.155), fato que dificulta a implementação do conversor em tensão de entrada universal e a utilização de elevada tensão no barramento, geralmente utilizada com o intuito de reduzir a ondulação de tensão transmitida à saída.

Por fim, conclui-se que este trabalho apresenta uma boa contribuição no projeto de drivers integrados de média potência, conseguindo reduzida ondulação de corrente, sem a utilização de capacitores eletrolíticos. E também mostra uma alternativa acerca da dificuldade de modelar conversores integrados, principalmente quando o segundo estágio opera em MCC.

Como propostas de trabalhos futuros, os seguintes temas podem ser considerados:

- Realizar a integração dos magnéticos de ambos os estágios;
- Avaliar a influência do capacitor C_{S1} no estágio CFP, encontrando uma relação de ganho matemática baseada no valor capacitivo e as alterações em seu comportamento, principalmente em relação ao incremento na tensão de saída deste estágio;
- Modelagem matemática completa do conversor proposto, validando ou alterando a metodologia utilizada;
- Desenvolver uma análise do conversor proposto, onde o segundo estágio opere em condução descontínua, realizando a modelagem matemática do conversor SEPIC MCD, utilizando o modelo linear dos LEDs como carga;
- Otimizar o rendimento do *driver*:
 - Semicondutores com menores resistências de condução e menores tensões de condução direta;
 - Avaliar a utilização de diferentes tecnologias de semicondutores;
 - Implementar um *snubber*;
 - Utilizar circuitos de comutação suave;
 - Elevar a tensão de barramento e a tensão do arranjo de LEDs;

- Implementar o *driver* com tensão de entrada universal e dimerização em toda a faixa de utilização;
- Testar outras estratégias de controle analógico ou digital.

REFERÊNCIAS BIBLIOGRÁFICAS

ABNT. **NBR 16026: Dispositivo de controle eletrônico CC ou CA para módulos de LED - Requisitos de desempenho.** Janeiro de 2012. TÉCNICAS, A.-A. B. D. N. 2012a.

_____. **NBR IEC 61347-2-13: Requisitos particulares para dispositivos de controle eletrônico alimentados em CC ou ca para os módulos de LED.** Janeiro de 2012. TÉCNICAS, A.-A. B. D. N. 2012b.

ALMEIDA, C. C. D. Análise das emissões conduzidas utilizando técnicas de separação de ruído de modo comum e modo diferencial. 2013.

ALMEIDA, P. et al. Improved state-space averaged representation of LED drivers considering the dynamic model of the load. 2013 Brazilian Power Electronics Conference, 2013, IEEE. p.434-439.
<https://doi.org/10.1109/COBEP.2013.6785152>

ALMEIDA, P. S. et al. Static and dynamic photoelectrothermal modeling of LED lamps including low-frequency current ripple effects. **IEEE Transactions on Power Electronics**, v. 30, n. 7, p. 3841-3851, 2014. ISSN 0885-8993.
<https://doi.org/10.1109/TPEL.2014.2340352>

ALMEIDA, P. S. et al. Matching LED and driver life spans: A review of different techniques. **IEEE Industrial Electronics Magazine**, v. 9, n. 2, p. 36-47, 2015. ISSN 1932-4529.
<https://doi.org/10.1109/MIE.2014.2352861>

ALMEIDA, P. S. et al. Integrated SEPIC buck-boost converter as an off-line LED driver without electrolytic capacitors. IECON 2012-38th Annual Conference on IEEE Industrial Electronics Society, 2012, IEEE. p.4551-4556.
<https://doi.org/10.1109/IECON.2012.6388941>

ALONSO, J. M. et al. Reducing storage capacitance in off-line LED power supplies by using integrated converters. 2012 IEEE Industry Applications Society Annual Meeting, 2012, IEEE. p.1-8.
<https://doi.org/10.1109/IAS.2012.6374066>

ALONSO, J. M. et al. Analysis and design of the integrated double buck-boost converter operating in full DCM for LED lighting applications. IECON 2011-37th Annual Conference of the IEEE Industrial Electronics Society, 2011, IEEE. p.2889-2894.
<https://doi.org/10.1109/IECON.2011.6119611>

ALONSO, J. M. et al. Analysis and design of the integrated double buck-boost converter as a high-power-factor driver for power-LED lamps. **IEEE Transactions on Industrial Electronics**, v. 59, n. 4, p. 1689-1697, 2011. ISSN 0278-0046.
<https://doi.org/10.1109/TIE.2011.2109342>

ARORA, A.; MEDORA, N. K.; SWART, J. Failures of electrical/electronic components: Selected case studies. 2007 IEEE Symposium on Product Compliance Engineering, 2007, IEEE. p.1-6.

<https://doi.org/10.1109/PSES.2007.4378474>

ASADI, F.; EGUCHI, K. Dynamics and control of DC-DC converters. **Synthesis Lectures on Power Electronics Series**, v. 6, n. 1, p. 1-241, 2018. ISSN 1931-9525.

<https://doi.org/10.2200/S00828ED1V01Y201802PEL010>

BARBI, I. Modelagem de Conversores CC-CC empregando modelo médio em espaço de estados. **Edição do autor. Florianópolis-SC**, 2015.

BARBI, I.; FONT, C. H. I.; ALVES, R. L. Projeto físico de indutores e transformadores. **Documento Interno (INEP-2002)**, 2002.

BATSCHAUER, A. L. Apostila da disciplina de controle de conversores estáticos. **Apostila, Joinville**, 2012.

BEKOSKI, K. C. **Desenvolvimento de um driver para LEDs aplicado à iluminação pública com reduzido processamento redundante de energia, entrada universal e controle de intensidade luminosa**. 2020. Universidade Tecnológica Federal do Paraná

BEKOSKI, K. C. et al. LED Driver With Reduced Redundant Power Processing And Dimming For Street Lighting Applications. 2019 IEEE 15th Brazilian Power Electronics Conference and 5th IEEE Southern Power Electronics Conference (COBEP/SPEC), 2019, IEEE. p.1-6.

<https://doi.org/10.1109/COBEP/SPEC44138.2019.9065609>

BUIATTI, G. M. et al. Condition monitoring of metallized polypropylene film capacitors in railway power trains. **IEEE Transactions on Instrumentation and Measurement**, v. 58, n. 10, p. 3796-3805, 2009. ISSN 0018-9456.

<https://doi.org/10.1109/TIM.2009.2019719>

CAMPONOGARA, D. et al. Capacitance reduction with an optimized converter connection applied to LED drivers. **IEEE Transactions on Industrial Electronics**, v. 62, n. 1, p. 184-192, 2014. ISSN 0278-0046.

<https://doi.org/10.1109/TIE.2014.2327591>

COSETIN, M. et al. Comparison of single stage SEPIC and integrated SEPIC-Buck converter as off-line LED drivers. 2013 Brazilian Power Electronics Conference, 2013, IEEE. p.1134-1139.

<https://doi.org/10.1109/COBEP.2013.6785257>

COSETIN, M. et al. Dimmable single-stage SEPIC-Ćuk converter for LED lighting with reduced storage capacitor. 2014 IEEE Industry Application Society Annual Meeting, 2014, IEEE. p.1-7.
<https://doi.org/10.1109/IAS.2014.6978423>

COSTA, P. J. S. **Retificadores SEPIC monofásicos e trifásicos aplicados no processamento da energia elétrica proveniente de aerogeradores de pequeno porte**. 2015. Universidade Tecnológica Federal do Paraná

COSTA, P. J. S. Retificadores Sepic monofásicos e trifásicos com elevação do ganho estático e redução dos esforços de tensão sobre os semicondutores. 2017.

CREE. **Sic MOSFET Isolated Gate Driver**. CREE 2014.

DE MELO, M. F. et al. Self-oscillating series-resonant led driver applied to reduce low-frequency current ripple transmission. 2015 IEEE Industry Applications Society Annual Meeting, 2015, IEEE. p.1-7.
<https://doi.org/10.1109/IAS.2015.7356869>

EMISSIONS, H. C. Guidelines to the standard EN 61000-3-2. **European Power Supply Manufacturers Association**, 2010.

ENG, V.; PINSOPON, U.; BUNLAKSANANUSORN, C. Modeling of a SEPIC converter operating in continuous conduction mode. 2009 6th International Conference on Electrical Engineering/Electronics, Computer, Telecommunications and Information Technology, 2009, IEEE. p.136-139.
<https://doi.org/10.1109/ECTICON.2009.5136982>

EPCOS, C. F. **Metallized Polyester Film Capacitors (MKT)**. Film Capacitors. AG, E.: EPCOS film capacitor datasheet: 45 p. 2011.

FERREIRA, R. B. **Modelagem e controle de um conversor CC-CC operando como inversor monofásico**. 2017. (Graduação). Escola de Engenharia de São Carlos, Universidade de São Paulo

GACIO, D. et al. A universal-input single-stage high-power-factor power supply for HB-LEDs based on integrated buck-flyback converter. **IEEE Transactions on Industrial Electronics**, v. 58, n. 2, p. 589-599, 2010. ISSN 0278-0046.
<https://doi.org/10.1109/TIE.2010.2046578>

GACIO, D. et al. Optimization of a front-end DCM buck PFP for an HPF integrated single-stage LED driver. **IEEE Journal of Emerging and Selected Topics in Power Electronics**, v. 3, n. 3, p. 666-678, 2015. ISSN 2168-6777.
<https://doi.org/10.1109/JESTPE.2015.2424221>

GU, L. et al. Means of eliminating electrolytic capacitor in AC/DC power supplies for LED lightings. **IEEE Transactions on Power Electronics**, v. 24, n. 5, p. 1399-1408, 2009. ISSN 0885-8993.
<https://doi.org/10.1109/TPEL.2009.2016662>

IEA. Typical efficacy of residential lighting in the Sustainable Development Scenario, 2010-2030. 2019. Disponível em: < <https://www.iea.org/data-and-statistics/charts/typical-efficacy-of-residential-lighting-in-the-sustainable-development-scenario-2010-2030> >. Acesso em: 02/09/2020.

IEC. **61000-3-2: 2005 Electromagnetic compatibility (EMC)-Part3-2: Limits-Limits for harmonic current emissions (equipment input current ≤ 16A per phase)**. COMMISSION., I. E.: Switzerland, Geneva: IEC press 2005.

IEEE, P. E. S. **IEEE Recommended Practices for Modulating Current in High-Brightness LEDs for Mitigating Health Risks to Viewers**. DIMMERS, L. IEEE SA 2015.

INMETRO. **Portaria n.º 478, de 24 de novembro de 2013. Regulamento Técnico da Qualidade para Luminárias para Lâmpadas de Descarga e LED - Iluminação Pública Viária**. INSTITUTO NACIONAL DE METROLOGIA, Q. E. T. MINISTÉRIO DO DESENVOLVIMENTO, INDÚSTRIA E COMÉRCIO EXTERIOR 2013.

INSTRUMENTS, T. **UCD3138 Digital Controller Control Theory**. INSTRUMENTS, T. 2017.

KAZIMIERCZUK, M. K. **Pulse-width modulated DC-DC power converters**. John Wiley & Sons, 2015. ISBN 111900957X.

LAM, J. C.; JAIN, P. K. Isolated AC/DC offline high power factor single-switch LED drivers without electrolytic capacitors. **IEEE Journal of Emerging and Selected Topics in Power Electronics**, v. 3, n. 3, p. 679-690, 2015. ISSN 2168-6777.
<https://doi.org/10.1109/JESTPE.2015.2419637>

LARICO, H. R. E. Conversor boost controlado em corrente aplicado ao retificador monofásico. 2007.

LEHMAN, B.; WILKINS, A. J. Designing to mitigate effects of flicker in LED lighting: Reducing risks to health and safety. **IEEE Power Electronics Magazine**, v. 1, n. 3, p. 18-26, 2014. ISSN 2329-9207.
<https://doi.org/10.1109/MPEL.2014.2330442>

LEM. **Current Transducer LA 55-P/SP1**: LEM International SA. Version 15: 3 p. 2018.
<https://doi.org/10.1002/9781118924396.wbiea1637>

LI, S. et al. A survey, classification, and critical review of light-emitting diode drivers. **IEEE Transactions on Power Electronics**, v. 31, n. 2, p. 1503-1516, 2016. ISSN 0885-8993.

<https://doi.org/10.1109/TPEL.2015.2417563>

MARTINS, D. C.; BARBI, I. **Eletrônica de Potência: conversores cc-cc básicos não isolados**. Edição dos Autores, 2006. ISBN 8590520323.

MASSEY, R. P.; SNYDER, E. C. High voltage single-ended DC-DC converter. 1977 IEEE Power Electronics Specialists Conference, 1977, 14-16 June 1977. p.156-159.

<https://doi.org/10.1109/PESC.1977.7070813>

MENKE, M. F. **Sistema eletrônico de alto fator de potência com entrada universal e controle de intensidade luminosa para o acionamento de leds**. 2016.

MENKE, M. F. et al. Universal input voltage LED driver with dimming capability and reduced DC-link capacitance. IECON 2016-42nd Annual Conference of the IEEE Industrial Electronics Society, 2016, IEEE. p.3629-3634.

<https://doi.org/10.1109/IECON.2016.7794154>

MOHAN, N.; UNDELAND, T. M.; ROBBINS, W. P. **Power electronics: converters, applications, and design**. John wiley & sons, 2003. ISBN 8126510900.

PADHI, B. K.; NARAIN, A. controller design for SEPIC converter using model order reduction. ASAR International Conference, Bangalore, 2013.

PAL, S.; SINGH, B.; SHRIVASTAVA, A. A Highly Efficient Coupled-Inductor SEPIC Topology Based PFC DC-DC Converter for Low Power LED Lighting Systems. **IETE Technical Review**, v. 36, n. 1, p. 94-105, 2019. ISSN 0256-4602.

<https://doi.org/10.1080/02564602.2017.1411841>

PATTISON, M. **Solid-State Lighting 2017 Suggested Research Topics Supplement: Technology and Market Context**. Dept. of Energy Washington, DC (United States). EERE Publication and Product 2017

<https://doi.org/10.2172/1398749>

PEREIRA, D. D. C. **Diodos emissores de luz integrados de alta corrente (EHC COB LEDs): caracterização e circuitos de acionamento**. 2019. 211 Doutorado (Doutorado). ICE – Instituto de Ciências Exatas, Universidade Federal de Juiz de Fora (UFJF), Doutorado em Engenharia Elétrica (Teses).

POWERSIM. **Version 9.0 Release 3, PSIM User's Guide** Powersim Inc., May. INC, P. 2010.

ROBERT, W. E.; DRAGAN, M. Fundamentals of power electronics. **Springer**, 2001.

SEMICONDUCTOR, O. **Pulse Width Modulator Control Circuit SG3525A**. SEMICONDUCTOR, O. Rev. 5: 10 p. 2015.

SIMONETTI, D. et al. Design criteria for SEPIC and Cuk converters as power factor preregulators in discontinuous conduction mode. IECON-PROCEEDINGS-, 1992, INSTITUTE OF ELECTRICAL & ELECTRONIC ENGINEERS INC (IEEE). p.283-283.

SIMONETTI, D. S. L. **Prerreguladores CA/CC con Corrección del Factor de Potencia. Soluciones con un Único Interruptor Controlado**. 1995. Tese (Doutorado em Engenharia Elétrica). Universidad Politécnica de Madrid ...

SIMONETTI, D. S. L.; SEBASTIAN, J.; UCEDA, J. The discontinuous conduction mode Sepic and Cuk power factor preregulators: analysis and design. **IEEE Transactions on Industrial Electronics**, v. 44, n. 5, p. 630-637, 1997. ISSN 0278-0046.
<https://doi.org/10.1109/41.633459>

SINGH, B.; SHRIVASTAVA, A. Buck converter-based power supply design for low power light emitting diode lamp lighting. **IET Power Electronics**, v. 7, n. 4, p. 946-956, 2014. ISSN 1755-4543.
<https://doi.org/10.1049/iet-pel.2013.0391>

SOARES, G. M. et al. Capacitance minimization in offline LED drivers using an active-ripple-compensation technique. **IEEE Transactions on Power Electronics**, v. 32, n. 4, p. 3022-3033, 2016. ISSN 0885-8993.
<https://doi.org/10.1109/TPEL.2016.2571565>

SOUZA, A. F. D. **ESTUDO DE TÉCNICAS DE CORREÇÃO DE FATOR DE POTÊNCIA EM RETIFICADORES CONTROLADOS**. 2017. 113 (Mestre). PROGRAMA DE PÓS-GRADUAÇÃO EM ENGENHARIA ELÉTRICA, Universidade Federal de São João del-Rei

TDK, E. **Aluminum Electrolytic Capacitors-General technical information**. 2019, T. E. A. 2019a.

_____. **Aluminum Electrolytic Capacitors-Snap-in capacitors: Series/Type B43630**. 2019, T. E. A. 2019b.

THORNTON. **CATÁLOGO DE FERRITE**. LTDA, T. E. 2015.

TIBOLA, G. **Conversor CA-CC Trifásico em estágio único com isolamento em alta frequência baseado no conversor CC-CC SEPIC operando no modo de condução descontínuo**. 2013. 2013. Tese de Doutorado. Instituto de Eletrônica de Potência, Universidade Federal ...

VAQUERO, D. G. **Off-line Supply of Solid-state Lamps: Lamp Modelling, Application of the Integrated Buck-flyback Converter, and Proposal of a New**

Optimised Dimming Scheme: PhD Thesis. Universidad de Oviedo, Vicerrectorado de Extensión Universitaria, Servicio ..., 2013. ISBN 8483179806.

WANG, S. et al. A flicker-free electrolytic capacitor-less AC–DC LED driver. **IEEE Transactions on Power Electronics**, v. 27, n. 11, p. 4540-4548, 2011. ISSN 0885-8993.

<https://doi.org/10.1109/TPEL.2011.2180026>

WU, T.-F.; CHEN, Y.-K. A systematic and unified approach to modeling PWM DC/DC converters based on the graft scheme. **IEEE Transactions on Industrial Electronics**, v. 45, n. 1, p. 88-98, 1998. ISSN 0278-0046.

<https://doi.org/10.1109/41.661309>

YININGCHEN. Brazil City Saves 50% Electricity Cost with LED Streetlights. 2019. Disponível em: <

https://www.ledinside.com/press/2019/8/brazil_city_saves_electricity_cost_led_streetlights >. Acesso em: 11/02/2020.

ZHANG, F.; NI, J.; YU, Y. High power factor AC–DC LED driver with film capacitors. **IEEE Transactions on Power Electronics**, v. 28, n. 10, p. 4831-4840, 2012. ISSN 0885-8993.

<https://doi.org/10.1109/TPEL.2012.2233498>