

UNIVERSIDADE FEDERAL DE UBERLÂNDIA
FACULDADE DE ENGENHARIA ELÉTRICA
PÓS-GRADUAÇÃO EM ENGENHARIA ELÉTRICA



**PROJETO E ANÁLISE DE UM CONVERSOR CA-CC MONOFÁSICO BOOST
ENTRELAÇADO SEM PONTE DE DIODOS E COM CORREÇÃO ATIVA DO
FATOR DE POTÊNCIA EMPREGANDO A TÉCNICA DE IMPOSIÇÃO DE
CORRENTE MÉDIA**

JULIO AUGUSTO BORGES

Uberlândia

2019

JULIO AUGUSTO BORGES

**PROJETO E ANÁLISE DE UM CONVERSOR CA-CC MONOFÁSICO BOOST
ENTRELAÇADO SEM PONTE DE DIODOS E COM CORREÇÃO ATIVA DO
FATOR DE POTÊNCIA EMPREGANDO A TÉCNICA DE IMPOSIÇÃO DE
CORRENTE MÉDIA**

Dissertação de mestrado submetida à Universidade Federal de Uberlândia – Núcleo de Pesquisas em Eletrônica de Potência (NUPEP), perante a banca de examinadores abaixo, como parte dos requisitos necessários para a obtenção do título de mestre em Ciências.

Área de concentração: Sistema de energia elétrica.
Orientador: Dr. Luiz Carlos Gomes de Freitas.

Banca Examinadora:
Luiz Carlos Gomes de Freitas, Dr. – Orientador (UFU)
Gustavo Brito de Lima, Dr. (UFU)
Danilo Borges Rodrigues, Dr. (UFTM)

A Bolsa de Estudos, para esta pesquisa, foi concedida pela CAPES, Brasil.

Uberlândia

2019

Dados Internacionais de Catalogação na Publicação (CIP)
Sistema de Bibliotecas da UFU, MG, Brasil.

B732p
2019

Borges, Julio Augusto, 1992-

Projeto e análise de um conversor CA-CC monofásico boost entrelaçado sem ponte de diodos e com correção ativa do fator de potência empregando a técnica de imposição de corrente média [recurso eletrônico] / Julio Augusto Borges. - 2019.

Orientador: Luiz Carlos Gomes de Freitas.

Dissertação (mestrado) - Universidade Federal de Uberlândia, Programa de Pós-Graduação em Engenharia Elétrica.

Modo de acesso: Internet.

Disponível em: <http://dx.doi.org/10.14393/ufu.di.2019.365>

Inclui bibliografia.

Inclui ilustrações.

1. Engenharia elétrica. 2. Conversores de corrente elétrica. 3. Eletrônica de potência. I. Freitas, Luiz Carlos Gomes de, 1976- (Orient.) II. Universidade Federal de Uberlândia. Programa de Pós-Graduação em Engenharia Elétrica. III. Título.

CDU: 621.3

Maria Salete de Freitas Pinheiro - CRB6/1262

JULIO AUGUSTO BORGES

**PROJETO E ANÁLISE DE UM CONVERSOR CA-CC MONOFÁSICO BOOST
ENTRELAÇADO SEM PONTE DE DIODOS E COM CORREÇÃO ATIVA DO
FATOR DE POTÊNCIA EMPREGANDO A TÉCNICA DE IMPOSIÇÃO DE
CORRENTE MÉDIA**

Dissertação de mestrado submetida à Universidade Federal de Uberlândia – Núcleo de Pesquisas em Eletrônica de Potência (NUPEP), como parte dos requisitos necessários para a obtenção do título de mestre em Ciências.

Prof. Dr. Luiz Carlos Gomes de Freitas
Orientador

Prof. Dr. José Rubens Macedo Júnior
Coordenador da Pós-Graduação

Uberlândia
2019

DEDICATÓRIA

*À minha mãe Heloisa,
À minha namorada Ana Clara,
À toda minha família e meus amigos.*

AGRADECIMENTOS

Agradeço primeiramente a Deus por nos amar primeiro, e por ter demonstrado esse imenso amor enviando seu filho, Jesus, para nos salvar. Obrigado Senhor por ter me capacitado até aqui.

Agradeço à minha mãe Heloisa que sempre esteve ao meu lado me apoiando e me guiando, sempre buscando o melhor pra mim. Obrigado por nunca ter medido esforços para me ajudar a todos os momentos.

Agradeço ao meu pai José Ronaldo que enquanto esteve ao meu lado sempre me amou de maneira incondicional e sempre me incentivou a dar meu melhor em busca de meus objetivos.

Agradeço à minha namorada Ana Clara que me apoia, me dá forças e me faz querer ser uma pessoa melhor a cada dia. Obrigado por seu amor, atenção e carinho. Obrigado também porque, juntos, podemos compartilhar nossos sonhos e busca-lo sempre unidos.

Agradeço também ao Aguinaldo pela amizade e apoio, e por ser essa pessoa sempre alegre, carinhosa e companheira.

Agradeço ao meu orientador Luiz Carlos Gomes de Freitas pela confiança e compreensão diante os imprevistos que enfrentei durante a jornada no mestrado.

Agradeço a todos os amigos e companheiros do NUPEP que estiveram comigo no dia a dia dessa caminhada, compartilhando experiências, conhecimentos e muitos momentos de descontração. Um agradecimento especial ao meu amigo Lucas que, além de ser meu companheiro de apartamento, me ajudou muito durante esse trabalho.

Agradeço aos irmãos de armas Marlius e Amaral, que me apoiaram e ajudaram a continuar trabalhando firme mesmo durante o ano atípico que tivemos.

A todos os amigos e familiares que contribuíram direta ou indiretamente na realização desse trabalho, incentivando e torcendo por sua conclusão.

Ao CNPq – Conselho Nacional de Desenvolvimento Científico e Tecnológico, à FAPEMIG - Fundação de Amparo à Pesquisa do Estado de Minas Gerais e à CAPES - Coordenação de Aperfeiçoamento de Pessoal de Nível Superior, pelo suporte financeiro e pela bolsa de mestrado.

O presente trabalho foi realizado com apoio da Coordenação de Aperfeiçoamento de Pessoal de Nível Superior - Brasil (CAPES) - Código de Financiamento 001

“Porque Deus amou o mundo de tal maneira que deu o seu Filho unigênito, para que todo aquele que nele crê não pereça, mas tenha a vida eterna”.

João 3:16

RESUMO

Este trabalho apresenta o projeto e análise de um Conversor CA-CC Monofásico *Boost* que emprega a técnica de entrelaçamento de células conversoras e não utiliza a ponte retificadora de diodo, que visa a regulação da tensão CC no terminal de saída e a drenagem de uma corrente de entrada em fase com a tensão da rede e com baixo conteúdo harmônico, por meio de uma correção ativa do fator de potência. A modelagem do conversor é feita para o Modo de Condução Contínua (MCC) de Corrente e as funções de transferência são obtidas por meio do modelo médio linearizado em espaço de estados. A estratégia de controle é implementada utilizando a técnica de controle por corrente média, realizando o ajuste da corrente na malha de controle interna e o ajuste da tensão na malha de controle externa. Por fim, faz-se a análise qualitativa e quantitativa do sistema por meio de resultados de simulação, além de uma comparação de perdas apresentadas pelos semicondutores para diferentes topologias *boost*.

Palavras chaves: Conversor CA-CC *Boost*, Correção Ativa do Fator de Potência, Entrelaçamento de Células, Modo de Condução Contínua.

ABSTRACT

This work presents the project and analysis of a AC-DC single-phase Power Factor Corrected Boost Converter, using both the interleaving and bridgeless techniques with the purpose of regulating the DC output voltage and the input current, draining a sinusoidal current in phase with the grid voltage and with a low harmonic content. The modeling is carried out with the converter operating in the Continuous Conduction Mode (CCM) and the transfer functions are obtained using the linearization of nonlinear state space equations. The control strategy is implemented using the Average Current Mode Control, regulating the current in the inner loop and the voltage in the outer loop. Finally, this work presents a qualitative and quantitative analysis of the system using the simulation results, besides a comparison regarding the semiconductors losses presented by different boost topologies.

Keywords: AC-DC Boost Converter, Bridgeless, Continuous Conduction Mode, Interleaving, Power Factor Correction.

LISTA DE FIGURAS

| | |
|---|----|
| Figura 2.1 - Conversor PFP <i>Boost</i> Clássico | 22 |
| Figura 2.2 - Formas de onda dos modos de condução de corrente..... | 23 |
| Figura 2.3 - Técnica de entrelaçamento de células <i>bridgeless boost</i> | 25 |
| Figura 2.4 - Topologia <i>Bridgeless Dual Boost</i> | 27 |
| Figura 2.5 - Topologia <i>Bridgeless Boost</i> com chaves bidirecionais. | 28 |
| Figura 2.6 - Topologia <i>Bridgeless Two-Boost</i> | 28 |
| Figura 2.7 - Topologia <i>Bridgeless Totem-Pole</i> | 29 |
| Figura 2.8 - Topologia <i>Bridgeless Pseudo Totem-Pole</i> | 29 |
| Figura 2.9 - Comparação de perdas por condução entre topologias <i>boost</i> | 30 |
| Figura 2.10 - Circuito de controle para o método de controle por corrente de pico. | 32 |
| Figura 2.11 - Circuito de controle para o método de controle por corrente média. | 33 |
| Figura 2.12 - Circuito de controle para o método de controle da corrente por histerese. | 34 |
| Figura 2.13 - Circuito de controle para o método de controle por portadora programada. | |
| | 35 |
| Figura 3.1 - Conversor CA-CC <i>Boost</i> Entrelaçado Sem Ponte de Diodos..... | 37 |
| Figura 3.2 - Intervalo 1: Semicondutores S_1 , S_2 e diodo em antiparalelo de S_4 conduzindo | |
| | 39 |
| Figura 3.3 - Intervalo 2 e 4: Semicondutores S_1 , S_2 , S_3 e S_4 conduzindo..... | 40 |
| Figura 3.4 - Intervalo 3: Semicondutores S_3 , S_4 e diodo em antiparalelo de S_2 conduzindo. | |
| | 40 |
| Figura 3.5 - Formas de onda para razão cíclica maior que 0,5..... | 40 |
| Figura 3.6 - Intervalo 1 e 3: Diodos em antiparalelo de S_2 e S_4 conduzindo. | 44 |
| Figura 3.7 - Intervalo 2: Semicondutores S_1 , S_2 e diodo em antiparalelo de S_4 conduzindo. | |
| | 44 |
| Figura 3.8 - Intervalo 4: Semicondutores S_3 , S_4 e diodo em antiparalelo de S_2 conduzindo. | |
| | 45 |
| Figura 3.9 - Formas de onda para razão cíclica menor que 0,5..... | 45 |
| Figura 4.1 - Variáveis de estado do circuito..... | 56 |
| Figura 4.2 - Subcírcuito durante o intervalo 1..... | 58 |
| Figura 4.3 - Subcírcuito durante os intervalos 2 e 4..... | 59 |
| Figura 4.4 - Subcírcuito durante o intervalo 3..... | 60 |

| | |
|--|----|
| Figura 4.5 -Diagrama de controle por corrente média para o conversor <i>bridgeless boost</i> com duas células entrelaçadas | 70 |
| Figura 4.6 - Diagrama de Bode - Malha Interna..... | 72 |
| Figura 4.7 - Resposta da malha de corrente ao degrau..... | 73 |
| Figura 4.8 - Diagrama de Bode - Malha Externa. | 74 |
| Figura 4.9 - Resposta da malha de tensão ao degrau..... | 75 |
| Figura 5.1 - Circuito de Potência montado no PSIM. | 77 |
| Figura 5.2 - Circuito de Controle montado no PSIM. | 78 |
| Figura 5.3 - Circuito de Controle montado utilizando C Block. | 78 |
| Figura 5.4 - Sinal modulante em um semiciclo da rede. | 79 |
| Figura 5.5 - Modulação por largura de pulso (PWM) em plena carga. | 79 |
| Figura 5.6 - Pico da corrente na energização em função da resistência de pré-carga (R_{pc}). | 81 |
| Figura 5.7 - Tempo de carga do capacitor em função da resistência de pré-carga..... | 81 |
| Figura 5.8 - Tensão sobre o capacitor, tensão de saída e corrente de entrada durante a pré-carga do capacitor..... | 82 |
| Figura 5.9 - Tensão de saída na carga. | 82 |
| Figura 5.10 – Tensão (escala 1:10) e corrente de entrada. | 83 |
| Figura 5.11 - Detalhe do <i>ripple</i> da corrente de entrada. | 84 |
| Figura 5.12 - Corrente de entrada drenada da rede..... | 84 |
| Figura 5.13 - Componentes harmônicas da corrente de entrada..... | 85 |
| Figura 5.14 - Corrente instantânea através dos diodos D_1 e D_3 | 86 |
| Figura 5.15 - Corrente instantânea através dos interruptores S_1 e S_3 | 86 |
| Figura 5.16 - Tensão de saída para degrau de carga de 50% para 100% da potência nominal..... | 87 |
| Figura 5.17 - Resposta do controlador de tensão ao degrau de carga de 50% para 100% da potência nominal..... | 87 |
| Figura 5.18 - Corrente de saída para degrau de carga de 50% para 100% da potência nominal..... | 88 |
| Figura 5.19 - Resposta do controlador de corrente ao degrau de carga de 50% para 100% da potência nominal..... | 89 |
| Figura 5.20 - Tensão de saída para degrau de carga de 100% para 50% da potência nominal..... | 89 |

| | |
|--|-----|
| Figura 5.21 - Resposta do controlador de tensão ao degrau de carga de 100% para 50% da potência nominal..... | 90 |
| Figura 5.22 - Corrente de saída para degrau de carga de 100% para 50% da potência nominal..... | 91 |
| Figura 5.23 - Resposta do controlador de corrente ao degrau de carga de 100% para 50% da potência nominal..... | 91 |
| Figura 5.24 - Tensões de entrada e de saída durante distúrbio na tensão de entrada. | 92 |
| Figura 5.25 - Detalhe da tensão de saída durante distúrbio na tensão de entrada. | 92 |
| Figura 5.26 - Resposta do controlador de tensão ao distúrbio na tensão de entrada. | 93 |
| Figura 5.27 – Distorção harmônica de corrente para diferentes condições de carregamento. | 94 |
| Figura 5.28 - Fator de Potência para diferentes condições de carregamento. | 94 |
| Figura 5.29 - Perdas nos semicondutores do circuito analisado..... | 95 |
| Figura 5.30 - Perdas nos semicondutores para diferentes topologias <i>boost</i> | 96 |
| Figura 5.31 - Perdas por condução e por chaveamento..... | 97 |
| | |
| Figura B 1 - Janela inicial da função <i>Device Database Editor</i> | 111 |
| Figura B 2 - Janela para inserir curvas características do componente. | 113 |
| Figura B 3 - curva que se deseja adicionar retirada do datasheet do componente. | 113 |
| Figura B 4 - curva adicionada à janela de curvas do editor de componentes. | 114 |
| Figura B 5 - parâmetros referentes aos eixos X e Y da curva que será adicionada. | 114 |
| Figura B 6 - curva após ser adicionada ao editor. | 115 |
| Figura B 7 - Circuito com componentes da biblioteca <i>Thermal Module</i> | 116 |
| Figura B 8 - Circuito de medição das perdas nos componentes. | 116 |
| Figura B 9 - Perdas por condução e por chaveamento no diodo D1. | 117 |
| Figura B 10 - Perdas totais em cada diodo e no conjunto de diodos boost. | 117 |

LISTA DE TABELAS

| | |
|--|----|
| Tabela 1 – Valores dos componentes do estágio de potência..... | 53 |
| Tabela 2 - Estados de condução e tempo de duração dos intervalos de operação (D>0,5). | 57 |
| Tabela 3 - Parâmetros nominais de projeto. | 76 |

LISTA DE ABREVIATURAS E SÍMBOLOS

| | |
|------------------|---|
| Δi_{L1} | <i>Ripple</i> da corrente no indutor 1 |
| Δi_{L3} | <i>Ripple</i> da corrente no indutor 3 |
| ΔV_C | <i>Ripple</i> de tensão sobre o capacitor |
| ΔI_{in} | <i>Ripple</i> da corrente de entrada |
| AC | <i>Alternating current</i> |
| ANSI | <i>American National Standards Institute</i> |
| C | Capacitor de saída |
| CA | Corrente alternada |
| CC | Corrente contínua |
| CCM | <i>Continuous Conduction Mode</i> |
| C_i | Controlador de corrente |
| C_v | Controlador de tensão |
| D | Razão cíclica |
| D_1 | Díodo 1 |
| D_2 | Díodo 2 |
| D_3 | Díodo 3 |
| D_4 | Díodo 4 |
| DC | <i>Direct current</i> |
| DHI | Distorção harmônica de corrente |
| DSP | <i>Digital Signal Processor</i> |
| FP | Fator de potência |
| f_s | Frequência de chaveamento dos semicondutores |
| \hat{G}_{id} | Função de transferência que relaciona a corrente com a razão cíclica |
| \hat{G}_{vd} | Função de transferência que relaciona a tensão de saída com a razão cíclica |
| \hat{G}_{ivin} | Função de transferência que relaciona a corrente com a tensão de entrada |
| \hat{G}_{vi} | Função de transferência que relaciona a tensão de saída com a corrente |
| \hat{G}_{vvin} | Função de transferência que relaciona a tensão de saída com a tensão de entrada |
| i_C | Corrente instantânea no capacitor |
| IEC | <i>International Electrotechnical Commission</i> |
| IEEE | <i>Institute of Electrical and Electronics Engineers</i> |

| | |
|-----------|--|
| IEM | Interferência Eletromagnética |
| i_i | Corrente de entrada instantânea |
| i_{L12} | Corrente que percorre os indutores 1 e 2 |
| i_{L34} | Corrente que percorre os indutores 3 e 4 |
| I_p | Corrente de pico de entrada |
| L_1 | Indutor 1 |
| L_2 | Indutor 2 |
| L_3 | Indutor 3 |
| L_4 | Indutor 4 |
| MCC | Modo de condução contínua |
| MCCr | Modo de condução crítica |
| MCD | Modo de condução descontínua |
| N | Número de células entrelaçadas |
| PFP | <i>Power Factor Pre-Regulator</i> |
| p_i | Potência instantânea |
| P_o | Potência de saída |
| PLL | <i>Phase Locked Loop</i> |
| PWM | <i>Pulse width modulation</i> |
| R | Resistência de carga |
| S_1 | Interruptor 1 |
| S_2 | Interruptor 2 |
| S_3 | Interruptor 3 |
| S_4 | Interruptor 4 |
| T_s | Período de chaveamento |
| v_C | Tensão instantânea sobre o capacitor |
| v_i | Tensão da rede instantânea |
| V_{in} | Tensão de entrada |
| v_{L1} | Tensão sobre o indutor 1 |
| v_{L2} | Tensão sobre o indutor 2 |
| v_{L3} | Tensão sobre o indutor 3 |
| v_{L4} | Tensão sobre o indutor 4 |
| V_o | Tensão de saída |
| V_p | Tensão de pico da rede |

| | |
|-----|----------------------------|
| w | Frequência angular da rede |
| ZCS | Zero current switching |
| ZVS | Zero voltage switching |

SUMÁRIO

| | | |
|-----------|---|-----------|
| 1. | INTRODUÇÃO GERAL..... | 19 |
| 1.1. | CONSIDERAÇÕES INICIAIS | 19 |
| 1.2. | ESTRUTURA DA DISSERTAÇÃO | 19 |
| 2. | ESTADO DA ARTE | 21 |
| 2.1. | CONSIDERAÇÕES INICIAIS | 21 |
| 2.2. | MODOS DE CONDUÇÃO DE CORRENTE..... | 23 |
| 2.3. | TÉCNICA DE ENTRELAÇAMENTO..... | 24 |
| 2.4. | TOPOLOGIAS DE CONVERSORES PFP <i>BRIDGELESS Boost</i> | 26 |
| 2.4.1. | <i>Conversor PFP Bridgeless Dual Boost</i> | 26 |
| 2.4.2. | <i>Conversor PFP Bridgeless Boost com chaves bidirecionais</i> | 27 |
| 2.4.3. | <i>Conversor PFP Bridgeless Two-Boost</i> | 28 |
| 2.4.4. | <i>Conversor FPF Bridgeless Totem-Pole e Pseudo Totem-Pole</i> | 29 |
| 2.4.5. | <i>Análise de perdas por condução entre as topologias Bridgeless</i> | 30 |
| 2.5. | MÉTODOS DE CONTROLE POR CORRENTE | 30 |
| 2.5.1. | <i>Controle por Corrente de Pico</i> | 31 |
| 2.5.2. | <i>Controle por Corrente Média</i> | 32 |
| 2.5.3. | <i>Controle da corrente por histerese</i> | 33 |
| 2.5.4. | <i>Controle por portadora programada</i> | 34 |
| 2.6. | CONSIDERAÇÕES FINAIS..... | 35 |
| 3. | CONVERSOR CA-CC BOOST ENTRELAÇADO SEM PONTE DE DIODOS OPERANDO EM MCC | 37 |
| 3.1. | CONSIDERAÇÕES INICIAIS | 37 |
| 3.2. | ETAPAS DE OPERAÇÃO DO CONVERSOR | 38 |
| 3.2.1. | <i>Análise para $D > 0,5$</i> | 39 |
| 3.2.2. | <i>Análise para $D < 0,5$</i> | 44 |
| 3.3. | DIMENSIONAMENTO E PROJETO DO CIRCUITO DE POTÊNCIA | 48 |
| 3.3.1. | <i>Indutores Boost</i> | 48 |
| 3.3.2. | <i>Capacitor</i> | 51 |
| 3.4. | CONSIDERAÇÕES FINAIS..... | 53 |
| 4. | MODELAGEM E ESTRATÉGIA DE CONTROLE DO CONVERSOR OPERANDO EM MCC | 55 |
| 4.1. | CONSIDERAÇÕES INICIAIS | 55 |
| 4.2. | MODELO MÉDIO LINEARIZADO EM ESPAÇO DE ESTADOS..... | 55 |
| 4.2.1. | <i>Circuitos equivalentes para o intervalo 1 ($S1$ e $S2$ fechados e $S3$ e $S4$ abertos)</i> | 57 |
| 4.2.2. | <i>Círculo equivalente para o intervalo 2 e 4 ($S1$, $S2$, $S3$ e $S4$ fechados)</i> | 59 |

| | | |
|---|--|------------|
| 4.2.3. | <i>Círculo equivalente para o intervalo 3 (S1 e S2 abertos e S3 e S4 fechados)</i> | 60 |
| 4.3. | ESTRATÉGIA DE CONTROLE | 70 |
| 4.4. | PROJETO DO ESTÁGIO DE CONTROLE | 71 |
| 4.4.1. | <i>Projeto do controlador de corrente</i> | 71 |
| 4.4.2. | <i>Projeto do controlador de tensão</i> | 73 |
| 4.5. | CONSIDERAÇÕES FINAIS..... | 75 |
| 5. | RESULTADOS COMPUTACIONAIS | 76 |
| 5.1. | CONSIDERAÇÕES INICIAIS | 76 |
| 5.2. | PARÂMETROS NOMINAIS DO PROJETO..... | 76 |
| 5.3. | RESULTADOS DE SIMULAÇÃO COMPUTACIONAL..... | 77 |
| 5.3.1. | <i>Modulação por largura de pulso (PWM)</i> | 78 |
| 5.3.2. | <i>Pré carga do capacitor e entrada de carga no sistema</i> | 80 |
| 5.3.3. | <i>Tensão de saída na carga</i> | 82 |
| 5.3.4. | <i>Corrente de entrada</i> | 83 |
| 5.3.5. | <i>Corrente e tensão nos diodos e interruptores.....</i> | 85 |
| 5.3.6. | <i>Transitório de Carga e Distúrbio na Tensão de Alimentação</i> | 86 |
| 5.3.7. | <i>Qualidade da corrente em diferentes condições de carregamento.....</i> | 93 |
| 5.3.8. | <i>Perdas nos semicondutores</i> | 94 |
| 5.4. | CONSIDERAÇÕES FINAIS..... | 97 |
| 6. | CONCLUSÕES GERAIS | 98 |
| REFERÊNCIAS | | 101 |
| APÊNDICE A – CÓDIGO DE CONTROLE DIGITAL UTILIZADO NA SIMULAÇÃO (LINGUAGEM C) | | 105 |
| APÊNDICE B – BIBLIOTECA “THERMAL MODULE” E FUNÇÃO “DEVICE DATABASE EDITOR” | | 110 |
| APÊNDICE C – CÓDIGO DE CÁLCULO DA DISTORÇÃO HARMÔNICA DE CORRENTE | | 118 |



1. INTRODUÇÃO GERAL

1.1. Considerações Iniciais

Este trabalho tem como objetivo principal realizar a análise de um conversor CA-CC de elevado fator de potência, que utilize a técnica de entrelaçamento multicelular e que realize o estágio de retificação sem a necessidade de uma ponte retificadora de diodos. O referido conversor deve fornecer uma tensão de saída CC controlada e permitir a obtenção de uma corrente de entrada em fase com a tensão da rede e com baixo conteúdo harmônico.

O trabalho tem ainda o propósito de apresentar, detalhadamente, o processo de modelagem em espaço de estados do conversor operando em modo de condução contínua com modulação PWM.

Dentre os pontos de contribuição deste trabalho, pode-se destacar:

- Desenvolvimento detalhado da modelagem em espaço de estados de um conversor *bridgeless boost*, que emprega a técnica de entrelaçamento multicelular e opera em modo de condução contínua (MCC) com modulação PWM;
- Projeto de circuito de controle por corrente média capaz de regular a tensão de saída CC e ajustar a corrente de entrada, melhorando o fator de potência e diminuindo as componentes harmônicas, de modo a obedecer aos padrões impostos pela norma IEC 61000-3-2;
- Desenvolvimento de código de controle digital pronto a ser embarcado em uma estrutura DSP;
- Análise de perdas nos semicondutores para diferentes topologias de conversores *boost*.

1.2. Estrutura da Dissertação

Este documento está dividido em seis (6) capítulos incluindo este introdutório, que resume os objetivos gerais do trabalho e apresenta a estrutura da dissertação.



No capítulo 2 será apresentado o estado da arte do tema abordado, mostrando os principais conceitos envolvidos na pesquisa, os métodos de controle mais utilizados, e as topologias mais comumente empregadas como conversores CA-CC com correção ativa do fator de potência.

No capítulo 3 será apresentada a estrutura da topologia analisada no trabalho, bem como o princípio de funcionamento e a análise das etapas de operação do circuito. São desenvolvidas as equações de tensão e corrente nos elementos armazenadores de energia, as quais serão utilizadas no dimensionamento do circuito de potência.

O capítulo 4 abordará sobre a modelagem matemática do conversor utilizando o modelo médio linearizado em espaço de estados. É apresentado o desenvolvimento detalhado das etapas para obtenção das matrizes características do sistema, as quais são utilizadas para representação das funções de transferência e posterior projeto do circuito de controle. Além disso, é apresentada a estratégia de controle utilizada para correção da corrente de entrada e ajuste da tensão de saída CC.

O capítulo 5 trata-se do projeto do circuito de potência e do circuito de controle do sistema. Também são apresentadas as simulações e os resultados obtidos mediante diferentes condições de carga e distúrbios na rede. Além disso, é apresentado um estudo de perdas nos semicondutores do circuito analisado, bem como uma comparação das perdas nos semicondutores apresentadas por diferentes topologias *boost*, as quais foram obtidas através do *software* PSIM.

Já o capítulo 6 mostrará as conclusões gerais do trabalho, assim como propostas de continuação da pesquisa. Por fim, seguem-se as referências bibliográficas utilizadas ao longo do trabalho e os apêndices que complementam a leitura do texto.



2. ESTADO DA ARTE

2.1. Considerações Iniciais

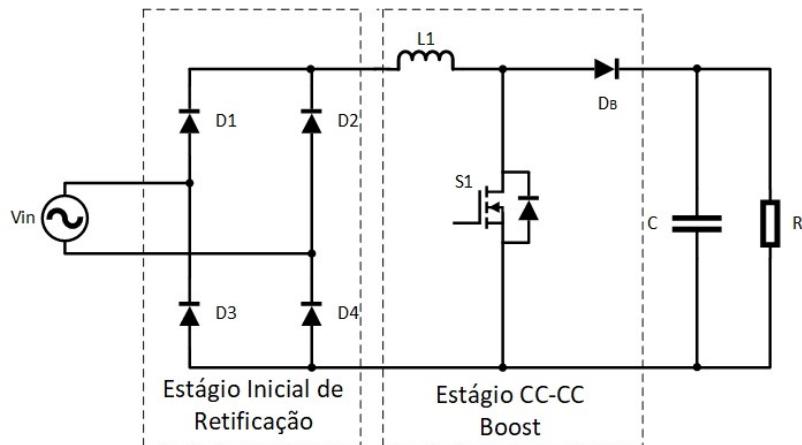
A aplicação de conversores CA-CC modulados por largura de pulso (PWM) tem sido amplamente difundida na utilização de fontes de alimentação para uma variedade de sistemas eletrônicos, tais como sistemas de transmissão de corrente contínua, sistemas para utilização de energia solar, acionamento elétrico de motores de propulsão de veículos, sistemas de carga de baterias, dentre outros (SILVA, 2011).

O fato de existirem diversas normas e recomendações que impõem limites para a emissão de correntes harmônicas nos sistemas, tais como IEC, *International Electrotechnical Commission Standard 61000-3-2*, 61000-3-4 e IEEE/ANSI Standard 519, justifica as diversas pesquisas relacionadas a sistemas com correção ativa do fator de potência. Em geral, sistemas retificadores com correção do fator de potência têm como objetivo a redução das distorções harmônicas da corrente de entrada drenada do sistema CA e a regulação da tensão de saída no lado CC.

Uma das topologias mais empregadas na correção ativa do fator de potência é o conversor pré-regulador do fator de potência *boost* clássico, ilustrado na Figura 2.1. Contudo, existem outras topologias de retificadores *boost* que também são empregadas como pré-reguladores com correção ativa do fator de potência. Dentre as mais utilizadas encontram-se a topologia *boost* entrelaçado e a topologia *boost bridgeless*, que não utiliza a ponte de diodos no estágio retificador (BELTRAME; SARTORI; PINHEIRO, 2015). Vale ressaltar que a principal limitação dessas topologias *boost* é a necessidade de a tensão de saída CC ser maior que o valor de pico da tensão alternada de entrada, o que torna seu uso limitado para aplicações com características de elevação de tensão (CANESIN; GONCALVES, 2005) (IRVING; JANG; JOVANOVIC, 2000).



Figura 2.1 - Conversor PFP Boost Clássico.



A topologia do conversor PFP *boost* clássico apresenta dois estágios distintos: o estágio inicial de retificação, que é realizado pela ponte de diodos na entrada circuito, e o estágio de alta frequência composto pelo conversor *boost*, responsável pela regulação da tensão CC de saída e da correção da forma de onda da corrente drenada da rede através do chaveamento em alta frequência.

No estágio inicial de retificação, a ponte de diodos é responsável por converter a tensão alternada da rede em tensão contínua, conforme dada por (2.1). Assim, a tensão que irá alimentar o estágio conversor será uma senoide retificada, com valor de pico igual ao da tensão de entrada. Uma característica importante em estruturas com a ponte completa de diodos é que ela não permite um fluxo bidirecional de corrente, ou seja, não é possível realizar transferência de energia de qualquer parte do circuito em direção à fonte de alimentação de entrada.

$$v_g(t) = |v_{in}(t)| \quad (2.1)$$

Já o estágio conversor, composto pelo conversor *boost* CC-CC operando em alta frequência, é responsável por realizar o controle da tensão senoidal retificada, transformando-a em uma tensão contínua de valor preestabelecido e mantendo-a com o mínimo de variações possíveis. O conversor *boost* controlado por corrente com modulação PWM é capaz de moldar o formato da corrente drenada da rede, deixando-a com o mesmo formato e em fase com a tensão da rede, o que proporciona um elevado fator de potência ao sistema.

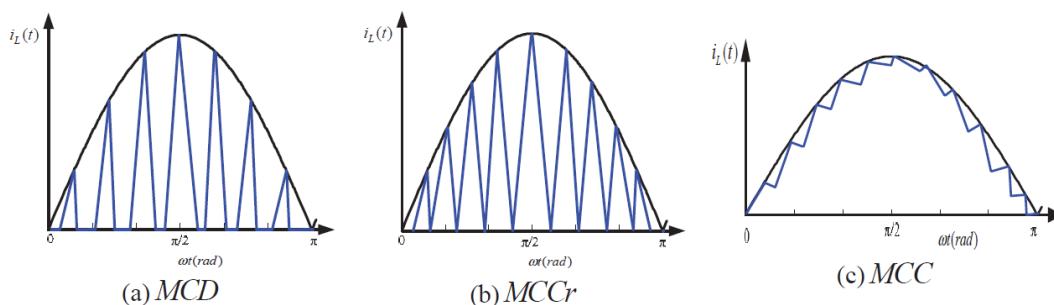


Conforme será abordado no decorrer do capítulo, o conversor *boost* poderá atuar em diferentes modos de operação em relação à corrente que passa pelo indutor, possuindo cada modo suas respectivas vantagens e desvantagens para diferentes tipos de aplicação. Além disso, o controle por corrente pode ser realizado por diversas técnicas. A escolha adequada da técnica e o correto projeto das malhas interna e externa de controle, permitem a obtenção tanto de uma tensão de saída constante, quanto uma corrente de entrada proporcional à tensão da rede.

2.2.Modos de Condução de Corrente

Os retificadores *boost* podem operar de três formas distintas: modo de condução contínua (MCC), modo de condução descontínua (MCD) ou modo de condução crítica (MCCr), que ocorre na fronteira entre os modos MCC e MCD. Essa classificação quanto ao modo de condução ocorre de acordo com a continuidade da corrente no indutor do circuito, dentro do ciclo de chaveamento (BASU; UNDELAND, 2005). A Figura 2.2 mostra as formas de onda no indutor de um conversor *boost* para os diferentes modos de condução de corrente.

Figura 2.2 - Formas de onda dos modos de condução de corrente.



Fonte: Costa e Silva (2011).

Topologias *boost* operando em modo de condução descontínua (MCD) ou modo de condução crítica (MCCr) usualmente necessitam de estruturas de controle mais simples. Por outro lado, apresentam maior *ripple* de corrente, levando a maiores perdas magnéticas e por condução, maior ruído no chaveamento e, consequentemente, necessidade de filtros mais robustos. Assim, retificadores *boost* que utilizam esses modos



de condução ficam geralmente restritos a aplicações de baixa potência, enquanto os que operam em modo de condução contínua (MCC) são muito utilizados em aplicações de média e alta potência (MUSAVI; EBERLE; DUNFORD, 2011).

Como a topologia *boost* frequentemente trabalha com elevada tensão de saída, é necessário utilizar diodos que suportem altas tensões e proporcione uma rápida recuperação. Uma das desvantagens da operação em modo de condução contínua (MCC), é o aumento das perdas nos diodos com rápida recuperação reversa quando operando em altas frequências.

Visando mitigar o efeito dessas perdas na eficiência do sistema, é possível empregar as técnicas de comutação suave, como a ZVS (*Zero Voltage Switching*) e a ZCS (*Zero Current Switching*). Estas técnicas empregam circuitos ativos que auxiliam na comutação (*snubbers*) para controlar as derivadas de correntes e/ou tensões durante as comutações (IRVING; JANG; JOVANOVIC, 2000). Diversos estudos mostram as melhorias alcançadas através da utilização dessas técnicas, tal como o trabalho de JOVANOVIC e JANG (2000), que apresenta um *snubber* que emprega um número mínimo de componentes para elevar a eficiência de conversores *boost* através da mitigação das perdas por recuperação reversa.

2.3.Técnica de Entrelaçamento

A ideia de entrelaçamento (“*interleaving*”) de células para operação de conversores CC-CC surgiu há muitos anos. De acordo com BALOGH; REDL (1993) uma das primeiras referências à técnica teve origem em 1972. No início, o método foi utilizado com o propósito principal de superar as limitações comuns aos dispositivos e conversores de potência da época (MIWA; OTTEN; SCHLECHT, 1992).

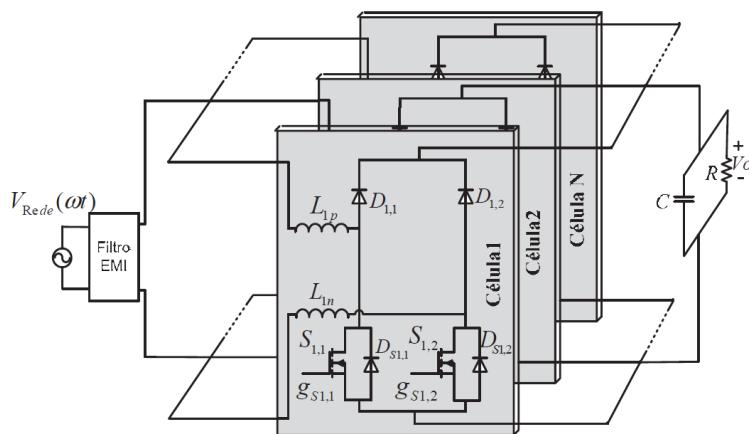
Com o reconhecimento das vantagens da utilização do método de operação em paralelo de células conversoras, diversos estudos foram realizados em sequência, porém ainda não havia uma padronização quanto à terminologia dada à técnica. Dentre as diversas nomenclaturas empregadas, vários autores adotaram o termo “*multiphase conversion*” ou “*staggered phase conversion*”, ambos originários de (GARTH et al., 1971). Contudo, vários outros termos também foram utilizados para fazer referência à técnica, tais como “*interdigitating and polyphase chopping*”, “*interleaving, staggered*



clock timing”, “*ripple current cancelation*”, “*phase-shifted parallel*” e “*phaed synchronous conversion*” (MIWA; OTTEN; SCHLECHT, 1992).

A técnica de entrelaçamento consiste na interconexão de duas ou mais células conversoras operando a uma mesma frequência de chaveamento, porém com pulsos de controle defasados entre si em frações iguais do período de chaveamento. Em uma estrutura com N células entrelaçadas, conforme ilustrado na Figura 2.3, os sinais de controle estarão defasados entre si de T_s/N , onde T_s representa o período de chaveamento.

Figura 2.3 - Técnica de entrelaçamento de células *bridgeless boost*.



Fonte: Costa e Silva (2011).

Esta técnica apresenta como principal objetivo a redução das perdas e melhoria da confiabilidade e estabilidade da estrutura (MELO, 2010). Dentre as diversas vantagens do método têm-se a redução dos esforços de tensão em cada interruptor devido à divisão da tensão de saída entre as estruturas, a redução da amplitude do *ripple* de alta frequência da corrente de entrada, uma vez que o *ripple* das correntes dos indutores estão defasados e tendem a se cancelarem (MUSAVI; EBERLE; DUNFORD, 2011), a redução nas exigências de filtragem e no tamanho dos indutores *boost* e a redução do *ripple* da corrente do capacitor de saída em função da razão cílica (ZHU; PRATT, 2009). Além disso, como apresentado em (WONG; LEE, 2000), a técnica de entrelaçamento também auxilia na redução das perdas por recuperação reversa nos diodos sem a necessidade de chaves auxiliares extras, as quais são usualmente utilizadas em circuitos *snubbers* com esse propósito.



Como pontos negativos desta técnica, pode-se citar uma maior complexidade no sistema de controle e nos circuitos utilizados na geração dos sinais de comando dos interruptores, uma vez que deve-se assegurar uma correta distribuição da corrente entre as células conversoras, além do custo mais elevado em relação às topologias convencionais, devido à necessidade componentes extras (ANDRADE; SCHUCH; PINHEIRO, 2004).

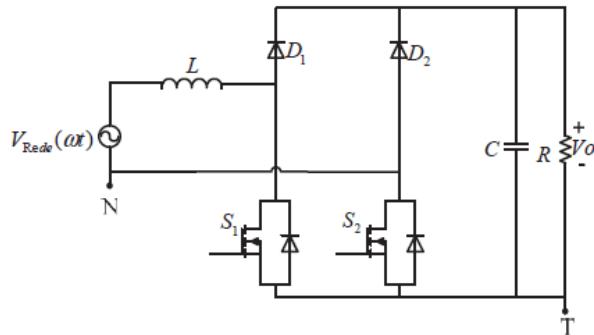
No que se refere ao projeto dos componentes de potência, é possível realizar o cálculo e dimensionamento dos elementos separadamente para cada célula conversora interconectada. A potência total do sistema será dada pela soma das potências nominais individuais de cada célula da estrutura.

2.4. Topologias de Conversores PFP *Bridgeless Boost*

As topologias com característica *bridgeless* apresentam como principal vantagem a redução das perdas por condução nos semicondutores de potência, uma vez que integram em um único estágio os processos de retificação e correção do fator de potência, aumentando assim o rendimento total do sistema. Por outro lado, a família *bridgeless* aumenta o tamanho do filtro necessário contra interferências eletromagnéticas (MELO, 2010). Algumas das topologias *bridgeless* são apresentadas a seguir.

2.4.1. Conversor PFP Bridgeless Dual Boost

Esta topologia *bridgeless* proposta em (ENJETI; MARTINEZ, 1993) e ilustrada na Figura 2.4, emprega um duplo *boost* operando em alta frequência e apresenta diversas vantagens em relação à topologia convencional, a saber: a condução de no máximo dois semicondutores em qualquer instante, a redução da corrente eficaz dos interruptores e o referencial comum aos *gate drivers* dos interruptores

Figura 2.4 - Topologia *Bridgeless Dual Boost*.

Fonte: Enjeti (1993).

Por outro lado, a estrutura aumenta consideravelmente a interferência eletromagnética (IEM), especialmente o ruído de modo comum, quando comparada com a topologia tradicional. Nesta última, a ponte retificadora de diodos permite que a referência da carga esteja sempre ligada à referência da linha, enquanto no *dual boost* somente no semicírculo positivo da rede a referência de saída fica ligada à fonte alternada, através do diodo em antiparalelo do interruptor S_2 . No semicírculo negativo da rede, a diferença de potencial entre a referência de saída e o ponto comum da fonte pulsa com a frequência de chaveamento (SILVA, 2011).

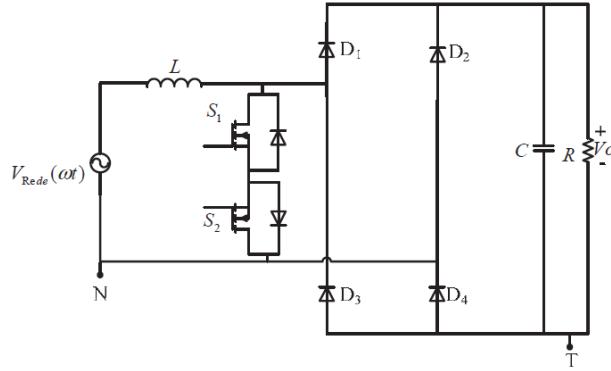
2.4.2. Conversor PFP *Bridgeless Boost* com chaves bidirecionais

A topologia proposta em (KONG; WANG; LEE, 2008) e ilustrada na Figura 2.5, utiliza uma chave bidirecional em corrente, formada pela associação em série de dois MOSFETs. Durante cada semicírculo da rede quatro semicondutores conduzem, contudo apenas dois de maneira simultânea, reduzindo as perdas por condução quando comparado ao *boost* convencional. Um ponto negativo da topologia é que, devido à característica pulsante do potencial entre a referência da fonte e a referência da carga, a emissão do ruído de modo comum é elevada.

Durante o semicírculo positivo da rede, a corrente flui através do interruptor S_1 e do diodo de corpo de S_2 , ou então pelos diodos D_1 e D_4 , dependendo do sinal de controle. Já no semicírculo negativo, a corrente passa por S_2 e pelo diodo de corpo de S_1 , ou pelos diodos D_2 e D_3 .



Figura 2.5 - Topologia Bridgeless Boost com chaves bidirecionais.



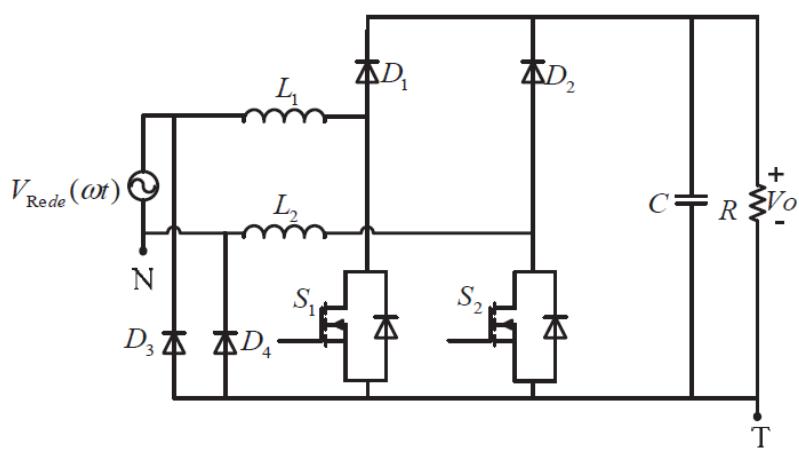
Fonte: Kong (2008).

2.4.3. Conversor PFP Bridgeless Two-Boost

No conversor PFP *Bridgeless Two-Boost*, ilustrado na Figura 2.6, dois diodos de baixa frequência são adicionados à topologia *bridgeless* visando criar um caminho para circulação da corrente entre a e entrada e a saída, auxiliando na estabilização do potencial de tensão no barramento de saída. Essa configuração reduz as interferências eletromagnéticas por ruído de modo comum e ainda mantém a baixa perda por condução, comum à família *bridgeless* (SILVA, 2011)

•

Figura 2.6 - Topologia Bridgeless Two-Boost.



Fonte: Souza (1999).

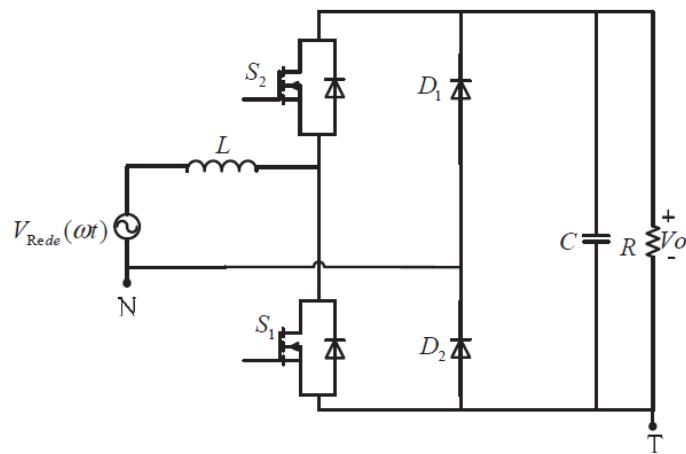


2.4.4. Conversor FPF Bridgeless Totem-Pole e Pseudo Totem-Pole

A topologia *Totem-Pole*, ilustrado na Figura 2.7, possui os mesmos componentes presentes na topologia *Dual Boost* arranjados de maneira diferente. Essa configuração permite que a diferença de potencial entre a referência da fonte e a da carga seja nula no semiciclo positivo e se mantenha estabilizada no semiciclo negativo, com o mesmo valor da tensão de saída.

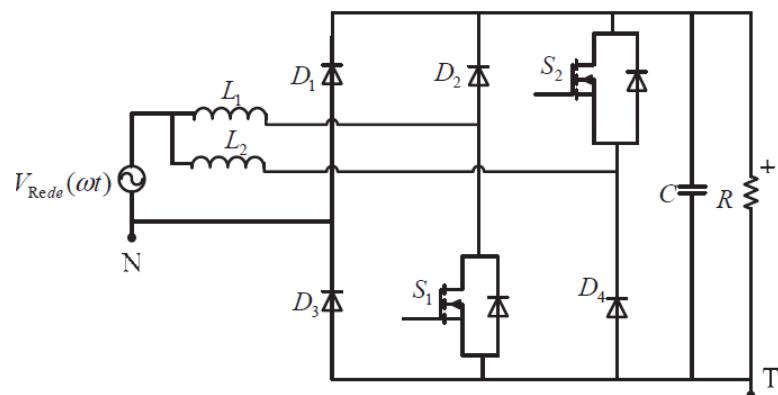
Já a Figura 2.8 apresenta a topologia *Pseudo Totem-Pole*, na qual são adicionados dois diodos lentos e um indutor. Assim como na configuração *Totem-Pole*, os interruptores precisam ser acionados isoladamente, uma vez que possuem referências distintas.

Figura 2.7 - Topologia Bridgeless Totem-Pole.



Fonte: Qingnan (2009).

Figura 2.8 - Topologia Bridgeless Pseudo Totem-Pole.



Fonte: Qingnan (2009).

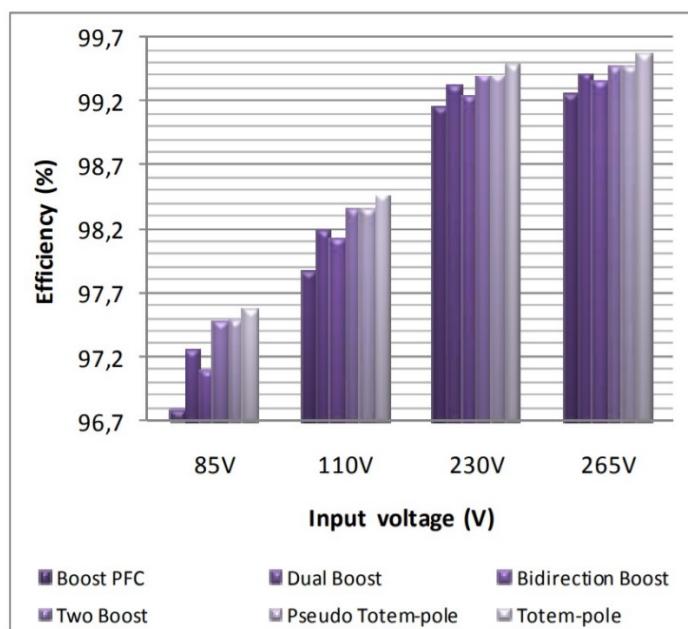


2.4.5. Análise de perdas por condução entre as topologias *Bridgeless*

O trabalho de LI; ANDERSEN e THOMSEN (2009) apresenta um estudo comparativo de perdas por condução e interferência eletromagnética de modo comum entre a topologia *boost* convencional e as topologias *bridgeless boost* citadas anteriormente. Neste estudo, para efeito de comparação, nenhuma das topologias opera com comutação suave.

Como pode ser observado na Figura 2.9, as topologias *Totem-Pole*, *Two-Boost* e *Pseudo Totem-Pole*, foram as que apresentaram maior eficiência em relação às perdas por condução.

Figura 2.9 - Comparação de perdas por condução entre topologias *boost*.



Fonte: (LI; ANDERSEN; THOMSEN, 2009).

2.5.Métodos de Controle Por Corrente

Retificadores *boost* operando em modo de condução contínua (MCC) são largamente aplicados para sistemas de média e alta potência. Estudos sobre diferentes métodos de controle de corrente foram desenvolvidos para essa topologia, tais como o controle por corrente média (DIXON, 1997), controle por corrente de pico (NAJAFI et al., 2008), controle da corrente por histerese (ZHOU; RIDLEY; LEE, 1990), entre outros.



Os métodos de controle de corrente são projetados em malha fechada e visam moldar a corrente drenada de acordo com a tensão de entrada da rede, proporcionando baixa distorção harmônica de corrente e elevada eficiência ao sistema. Além disso, comparadas aos esquemas em malha aberta, estas técnicas de controle em malha fechada apresentam uma melhoria significativa no índice de distorção harmônica de corrente (DHI) e no fator de potência do sistema (PINHEIRO et al., 1999). Outra característica da técnica de controle de corrente é que ela introduz uma malha interna adicional ao sistema de controle, quando comparada à técnica de controle de tensão.

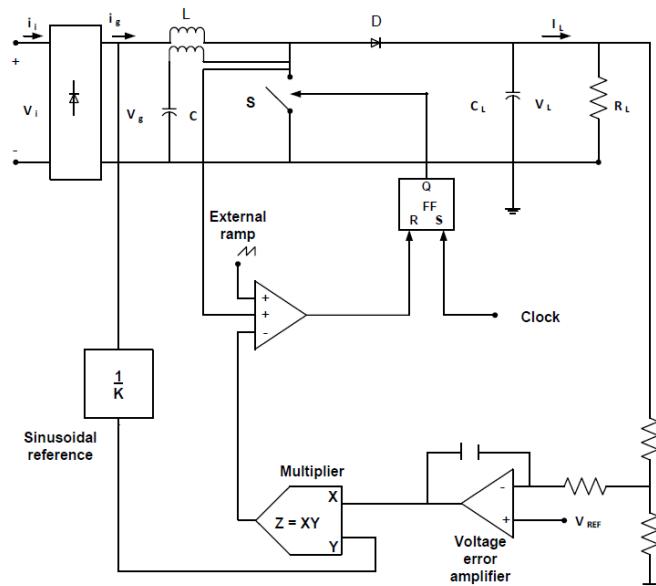
2.5.1. Controle por Corrente de Pico

O método de controle por corrente de pico, mostrado na Figura 2.10, se dá por meio da comparação da corrente instantânea do indutor com uma corrente de referência, a qual é geralmente obtida pela multiplicação do sinal de erro da tensão de saída e a senoide obtida pela tensão de entrada. Os interruptores permanecem ligados até que a soma entre a corrente no indutor e a rampa de compensação alcance a corrente senoidal de referência.

Em retificadores com correção do fator de potência é usual a utilização do controle por corrente média, contudo, o controle por corrente de pico costuma ser mais simples e/ou mais eficiente de se implementar (REDL; ERISMAN, 1994).



Figura 2.10 - Circuito de controle para o método de controle por corrente de pico.



Fonte: (REXY; SEYEZHAI, 2016).

Como características do método de controle por corrente de pico aplicado a retificadores *boost*, tem-se: Corrente de entrada em fase com a tensão, modulação realizada por razão cíclica e não necessidade de controlador de corrente, uma vez que o controle é feito de forma direta.

Uma das desvantagens do método é a presença de distorções na corrente drenada da rede devido ao *ripple* de corrente dos indutores e à rampa de compensação necessária para evitar instabilidade quando a razão cíclica fica acima de 50% (REDL; ERISMAN, 1994). Além disso, a distorção harmônica de corrente é maior que do método de controle por corrente média (CANESIN; BARBI, 1996).

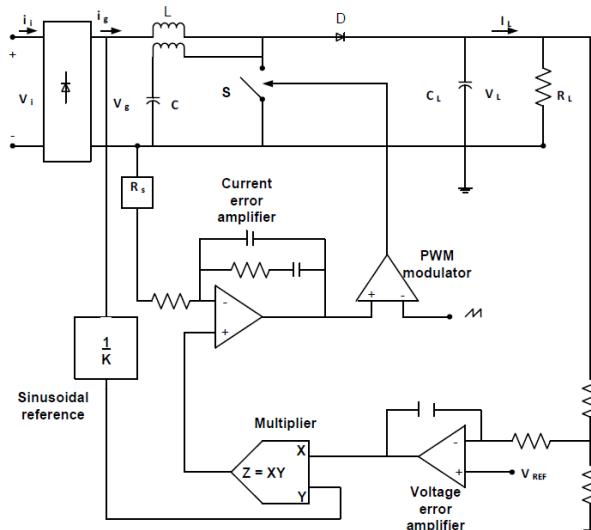
2.5.2. Controle por Corrente Média

A técnica de controle por corrente média é uma das mais populares, sendo utilizada em diversas aplicações devido à sua robustez (LARICO, 2007). O método consiste em uma malha externa de tensão e uma malha interna de corrente. O circuito de controle é apresentado na Figura 2.11. Inicialmente, a tensão de saída é comparada com o valor de referência e o erro gerado é amplificado. O sinal de erro é então multiplicado pela amostra da tensão senoidal de entrada retificada, gerando assim o sinal de referência



para a corrente, o qual é comparado com a corrente do indutor e, após passar por um filtro, é utilizado como sinal modulador do PWM.

Figura 2.11 - Circuito de controle para o método de controle por corrente média.



Fonte: (REXY; SEYEZHAI, 2016).

Este método é indicado para sistemas entrelaçados devido ao potencial problema de assimetria de correntes nas células conversoras (BALOGH; REDL, 1993). Assim, o controle por corrente média apresenta como principais características: corrente de entrada em fase com a tensão, corrente no retificador controlada diretamente através da malha de corrente, controle do fluxo de potência realizado por meio da amplitude da corrente de referência e modulação realizada por razão cíclica.

Dentre as desvantagens desse método de controle estão a necessidade de sensoriamento da corrente no indutor, da tensão de entrada e da tensão de saída, além da maior complexidade devido à presença da malha interna e externa de controle.

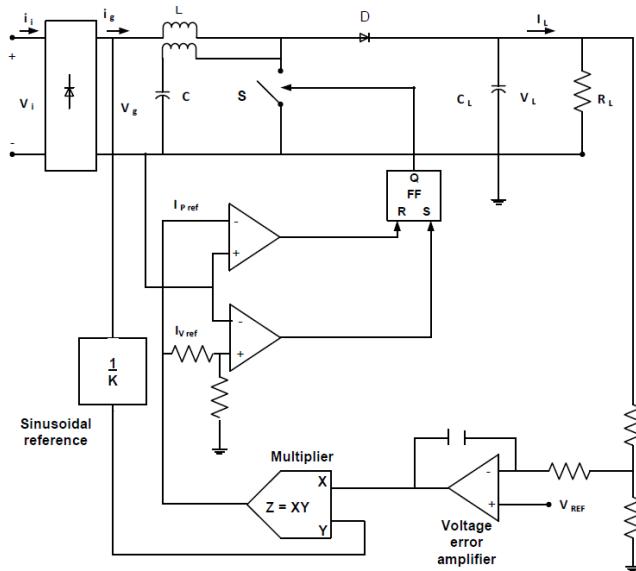
2.5.3. Controle da corrente por histerese

A técnica de controle por histerese baseia-se na limitação da corrente do indutor dentro de uma região, composta pela referência de corrente superior e pela referência de corrente inferior. Quando a corrente do indutor se torna menor que a referência inferior, o interruptor é ligado, e quando a corrente no indutor fica acima da referência superior, o



interruptor é desligado, forçando a corrente a retornar a valores abaixo da referência. A Figura 2.12 representa o circuito responsável pelo controle por histerese.

Figura 2.12 - Circuito de controle para o método de controle da corrente por histerese.



Fonte: (REXY; SEYEZHAI, 2016).

Este método, conforme apresentado em (ZHOU; RIDLEY; LEE, 1990), é muito utilizado devido a sua simplicidade de implementação, rápida resposta, baixa distorção na corrente de entrada e regulação da tensão de saída.

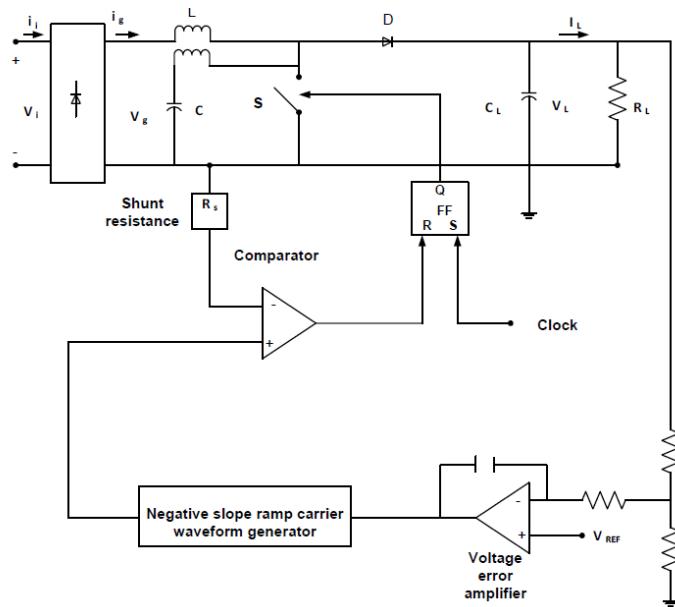
Por outro lado, esse método apresenta uma elevada distorção da corrente na passagem por zero. Além disso, esse circuito é mais sensível a ruídos e a modulação é realizada por frequência, sendo a comutação realizada com frequência variável.

2.5.4. Controle por portadora programada

O controle por portadora programada tem como principal característica o fato de se conseguir um elevado fator de potência sem a necessidade de sensoriamento da tensão de entrada. Nesse método, proposto em (MAKSIMOVIC; JANG; ERICKSON, 1995), a razão cíclica é determinada através da comparação de um sinal derivado da corrente do interruptor com um sinal não linear periódico. Dessa forma, a corrente média de entrada tende a seguir a tensão senoidal de entrada. A Figura 2.13 representa o circuito responsável por realizar esta técnica de controle.



Figura 2.13 - Circuito de controle para o método de controle por portadora programada.



Fonte: (REXY; SEYEZHAI, 2016).

No controle por portadora programada não se faz necessário a geração de uma corrente de referência nem o controlador de corrente. A operação se dá por modulação PWM e o circuito de controle é simples e permite um controle instantâneo da corrente.

Uma desvantagem desse método é que a corrente de entrada fica defasada em relação à tensão de entrada. Além disso, apresenta distorção da corrente na passagem por zero e não proporciona uma boa regulação da potência entregue à carga (LARICO, 2007).

2.6. Considerações Finais

Neste capítulo foi realizada uma revisão sobre as diversas características envolvidas no funcionamento dos conversores CA-CC da família *boost* para aplicações em que se busca um elevador fator de potência e baixa distorção harmônica na corrente drenada da rede. Além disso, é importante que o sistema seja capaz de regular a tensão CC de saída, mantendo-a constante em um nível preestabelecido e com uma rápida resposta.

Dentre os modos de operação quanto a corrente no indutor *boost*, o modo de condução contínua, na qual a corrente no indutor acompanha a corrente senoidal de referência com baixo *ripple*, se mostra adequado a aplicações de média e alta potência.



Apesar de requerer um circuito de controle mais complexo, esse modo de condução reduz as perdas magnéticas e a robustez do filtro EMI necessário.

A técnica de entrelaçamento, já amplamente analisada em diversos trabalhos, permite tornar o sistema mais eficiente, estável e robusto, uma vez que permite a divisão de esforços nos semicondutores de potência, reduzindo assim as perdas por recuperação reversa. Esta técnica também é responsável pela redução do *ripple* de alta frequência da corrente de entrada. Como a potência total do sistema é dividida entre as células entrelaçadas, o tamanho dos indutores *boost* também é reduzido, facilitando o seu projeto.

Estudos como o de (MUSAVID; EBERLE; DUNFORD, 2011) mostram que a maior parcela das perdas dos semicondutores presentes em retificadores *boost*, se concentra nos diodos da ponte retificadora de entrada. Assim, estruturas *bridgeless*, que não utilizam a ponte de diodos para realizar a etapa de retificação, contribuem ainda mais para o aumento da eficiência do sistema.

Dentre os diversos métodos de controle de corrente, o método convencional por corrente média é o que apresenta características mais vantajosas para o sistema objeto de estudo do presente trabalho, pois permite um controle preciso da tensão de saída, através da malha externa de tensão, e um controle direto da corrente de entrada, através da malha interna de corrente. Isso permite que a corrente drenada da rede esteja em fase com a tensão de entrada, aumentando o fator de potência do sistema, e que apresente reduzido índice de distorção harmônica de corrente.

Portanto, a estrutura analisada no presente trabalho engloba a técnica de entrelaçamento de células juntamente com um conversor da família *bridgeless*, estando cada célula conversora operando em modo de condução contínua e sendo controlada pelo método de controle por corrente média. A análise do princípio de funcionamento e as etapas de operação da estrutura, bem como o dimensionamento dos elementos de potência, são apresentados no capítulo seguinte.



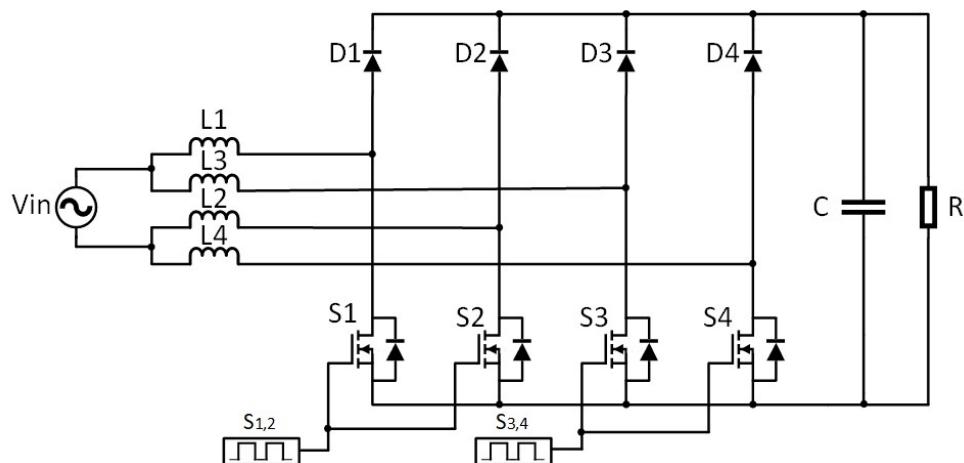
3. CONVERSOR CA-CC BOOST ENTRELAÇADO SEM PONTE DE DIODOS OPERANDO EM MCC

3.1. Considerações Iniciais

A topologia do Conversor CA-CC *Boost* Entrelaçado Sem Ponte de Diodos, proposta em (MUSAVI; EBERLE; DUNFORD, 2010) e analisada neste trabalho é apresentada na Figura 3.1. A estrutura utiliza quatro diodos de rápida recuperação reversa, quatro MOSFETs e quatro indutores na entrada da rede, além de um capacitor acoplado à saída.

A presença de um diodo em antiparalelo com cada semicondutor fornece um caminho para passagem da corrente elétrica, uma vez que os indutores não permitem variações instantâneas desta grandeza.

Figura 3.1 - Conversor CA-CC *Boost* Entrelaçado Sem Ponte de Diodos.



Fonte: Adaptado de (MUSAVI; EBERLE; DUNFORD, 2010).

A descrição do comportamento da topologia pode ser dividida em duas etapas, semiciclo positivo da rede e semiciclo negativo da rede.

Durante o semiciclo positivo da rede ($V_{in} > 0$), quando os semicondutores S_1 e S_2 estão conduzindo, a corrente percorre o caminho passando por L_1 , pelo semicondutor S_1 , pelo semicondutor S_2 e seu diodo em antiparalelo, e então por L_2 , voltando à rede e armazenando energia nos indutores L_1 e L_2 . Já quando os semicondutores S_1 e S_2 deixam



de conduzir, passando para a condição de bloqueio, a energia armazenada nos indutores L_1 e L_2 é entregue à carga, passando a corrente pelo diodo D_1 , pela carga, e então retornando pelo diodo em antiparalelo de S_2 .

Ainda no semiciclo positivo da rede, devido ao entrelaçamento de células, o mesmo processo acontece para a célula *boost* formada por L_3 , L_4 , S_3 , S_4 , D_3 e D_4 , porém com um desfasamento de 180° , ou seja, $T_S/2$.

Durante o semiciclo negativo da rede ($V_{in} < 0$), estando os semicondutores S_1 e S_2 conduzindo, a corrente percorre o caminho passando por L_2 , pelo semicondutor S_2 , pelo semicondutor S_1 e seu diodo em antiparalelo, e então por L_1 , voltando à rede e armazenando energia nos indutores L_2 e L_1 . Já quando os semicondutores S_1 e S_2 deixam de conduzir, passando para a condição de bloqueio, a energia armazenada nos indutores L_2 e L_1 é fornecida à carga, passando a corrente pelo diodo D_2 , pela carga, e então retornando pelo diodo em antiparalelo de S_1 .

Novamente, devido ao entrelaçamento, o mesmo processo acontece durante o semiciclo negativo para a segunda célula *boost* formada por L_3 , L_4 , S_3 , S_4 , D_3 e D_4 , porém com um desfasamento de 180° .

3.2. Etapas de Operação do Conversor

Durante um período de chaveamento, o conversor da Figura 3.1 apresenta quatro intervalos de funcionamento, definidos pela condição de condução e bloqueio dos pares de semicondutores S_1 e S_2 , S_3 e S_4 . Além disso, os intervalos de operação para o conversor operando com $D < 0,5$ são diferentes dos intervalos observados para $D > 0,5$. Contudo, o funcionamento geral do sistema não se altera, sendo a análise para um dos casos suficiente para a obtenção das equações que regem o circuito.

Em qualquer dos semiciclos da rede, a razão cíclica poderá ser maior que 0,5, quando a tensão de saída for maior que o dobro da tensão de entrada, ou menor que 0,5, quando a tensão de saída for menor que o dobro da tensão de entrada.

Na análise do funcionamento do circuito apresentada a seguir, tanto para $D < 0,5$ quanto para $D > 0,5$, assume-se que:



- 1) A tensão de entrada V_{in} é considerada constante durante um período de chaveamento, uma vez que a frequência de chaveamento é muito maior que a frequência da rede;
- 2) Todos elementos do circuito são considerados ideais;
- 3) O *ripple* da tensão no capacitor e corrente nos indutores é desconsiderado;
- 4) Considera-se uma carga puramente resistiva.

3.2.1. Análise para $D > 0,5$

Considerando o semiciclo positivo da rede e razão cíclica maior que 0,5, os intervalos de operação do circuito são apresentados pela Figura 3.2, Figura 3.3 e pela Figura 3.4. As principais formas de onda da corrente nos elementos do circuito são apresentadas na Figura 3.5.

Figura 3.2 - - Intervalo 1: Semicondutores S_1 , S_2 e diodo em antiparalelo de S_4 conduzindo

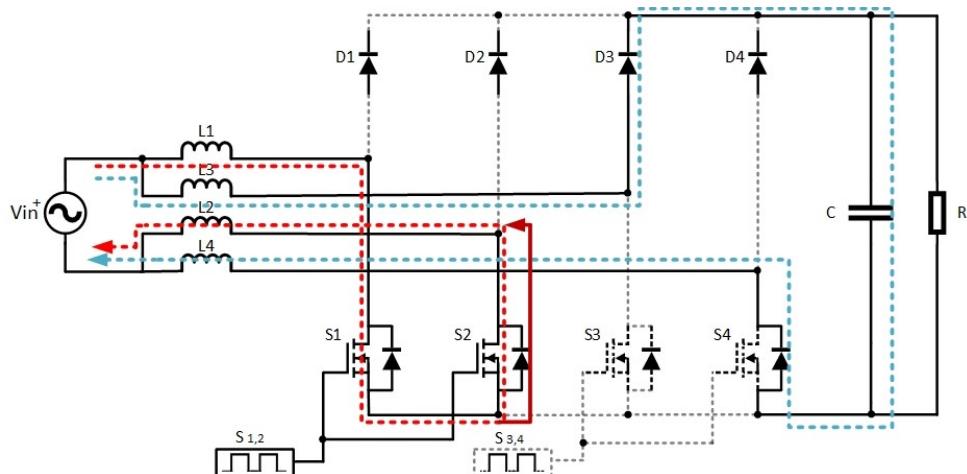


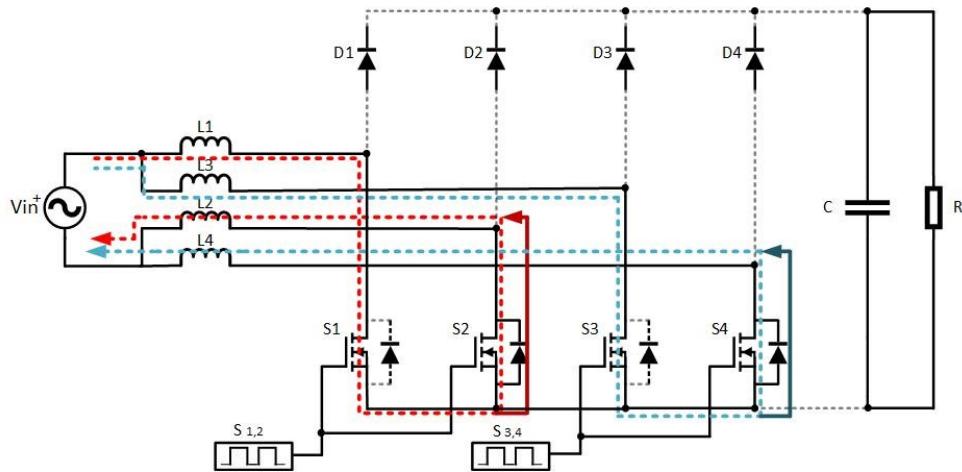
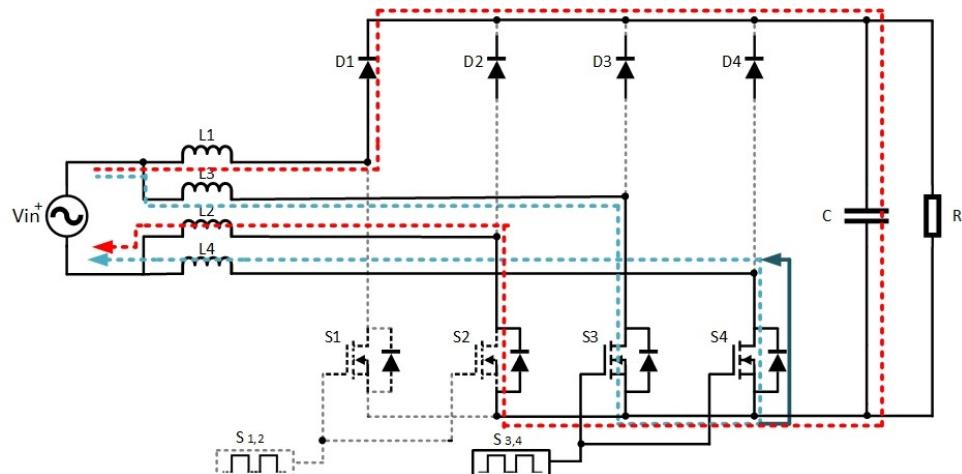
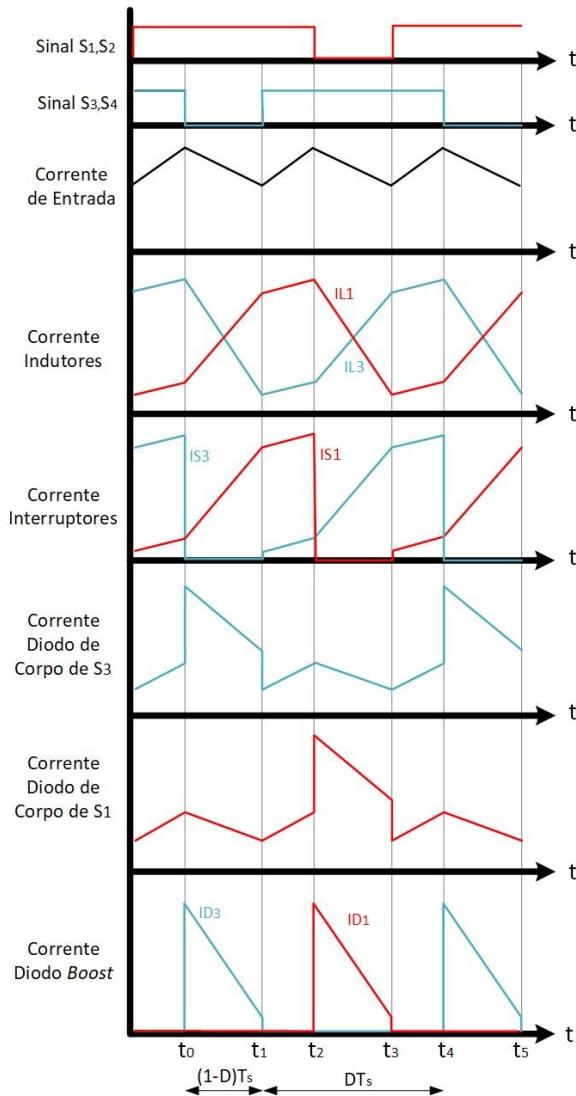
Figura 3.3 - Intervalo 2 e 4: Semicondutores S_1 , S_2 , S_3 e S_4 conduzindo.Figura 3.4 - Intervalo 3: Semicondutores S_3 , S_4 e diodo em antiparalelo de S_2 conduzindo.

Figura 3.5 - Formas de onda para razão cíclica maior que 0,5.



Fonte: Adaptado de (MUSAVI; EBERLE; DUNFORD, 2010).

Intervalo 1 [$t_0 - t_1$]

No instante t_0 , os semicondutores S_1 e S_2 estão conduzindo e os semicondutores S_3 e S_4 passam para a condição de bloqueio, como mostra a Figura 3.2.

Nesta etapa do funcionamento do circuito a corrente que percorre L_1 e L_2 aumenta linearmente com o tempo e armazena energia nesses indutores. A corrente i_{L12} , da primeira célula *boost*, percorre o circuito passando por L_1 , S_1 , S_2 e seu diodo em antiparalelo e por L_2 .

Já para a segunda célula *boost*, a corrente que passa pelos indutores L_3 e L_4 diminui linearmente com o tempo, transferindo energia para a carga. A corrente i_{L34} percorre o circuito passando por L_3 , D_3 , C , pelo diodo em antiparalelo de S_4 e por L_4 .



Nesta etapa, a tensão sobre os indutores em série L_1 e L_2 , a tensão sobre os indutores em série L_3 e L_4 e a corrente que passa pelo capacitor C , são dadas por:

$$v_{L1} + v_{L2} = (L_1 + L_2) \frac{di_{L12}}{dt} = v_{in} \quad (3.1)$$

$$v_{L3} + v_{L4} = (L_3 + L_4) \frac{di_{L34}}{dt} = -v_C + v_{in} \quad (3.2)$$

$$i_C = C \frac{dv_C}{dt} = i_{L34} - \frac{1}{R} v_C \quad (3.3)$$

Intervalo 2 [$t_1 - t_2$]

No instante t_1 , os semicondutores S_1 e S_2 continuam conduzindo e os semicondutores S_3 e S_4 passam à condição de condução, como mostra a Figura 3.3.

Nesta etapa do funcionamento do circuito a corrente que percorre L_1 e L_2 e a corrente que percorre L_3 e L_4 aumentam linearmente com o tempo e armazenam energia nos quatro indutores. A corrente i_{L12} , da primeira célula *boost*, percorre o circuito passando por L_1 , S_1 , S_2 e seu diodo em antiparalelo e por L_2 .

Já para a segunda célula *boost*, a corrente i_{L34} percorre o circuito passando por L_3 , S_3 , S_4 e seu diodo em antiparalelo e por L_4 .

Nesta etapa, a tensão sobre os indutores em série L_1 e L_2 , a tensão sobre os indutores em série L_3 e L_4 e a corrente que passa pelo capacitor C , são dadas por:

$$v_{L1} + v_{L2} = (L_1 + L_2) \frac{di_{L12}}{dt} = v_{in} \quad (3.4)$$

$$v_{L3} + v_{L4} = (L_3 + L_4) \frac{di_{L34}}{dt} = v_{in} \quad (3.5)$$

$$i_C = C \frac{dv_C}{dt} = -\frac{1}{R} v_C \quad (3.6)$$

Intervalo 3 [$t_2 - t_3$]

No instante t_2 , os semicondutores S_1 e S_2 passam para a condição de bloqueio e os semicondutores S_3 e S_4 continuam conduzindo, como mostra a Figura 3.4.

Nesta etapa do funcionamento do circuito a corrente que percorre os indutores L_1 e L_2 diminui linearmente com o tempo, transferindo energia para a carga. A corrente i_{L12} ,



da primeira célula *boost*, percorre o circuito passando por L_1 , D_1 , C , pelo diodo em antiparalelo de S_2 e por L_2 .

Já para a segunda célula *boost*, a corrente que passa por L_3 e L_4 aumenta linearmente com o tempo e armazena energia nesses indutores. A corrente i_{L34} percorre o circuito passando por L_3 , S_3 , S_4 e seu diodo em antiparalelo e por L_4 .

Nesta etapa, a tensão sobre os indutores em série L_1 e L_2 , a tensão sobre os indutores em série L_3 e L_4 e a corrente que passa pelo capacitor C , são dadas por:

$$v_{L1} + v_{L2} = (L_1 + L_2) \frac{di_{L12}}{dt} = -v_C + v_{in} \quad (3.7)$$

$$v_{L3} + v_{L4} = (L_3 + L_4) \frac{di_{L34}}{dt} = v_{in} \quad (3.8)$$

$$i_C = C \frac{dv_C}{dt} = i_{L12} - \frac{1}{R} v_C \quad (3.9)$$

Intervalo 4 [$t_3 - t_4$]

No instante t_3 , os semicondutores S_1 e S_2 voltam à condição de condução e os semicondutores S_3 e S_4 continuam conduzindo, como mostra a Figura 3.3.

Nesta etapa do funcionamento do circuito a corrente que percorre L_1 e L_2 e a corrente que percorre L_3 e L_4 aumentam linearmente com o tempo e armazenam energia nos quatro indutores. A corrente i_{L12} , da primeira célula *boost*, percorre o circuito passando por L_1 , S_1 , S_2 e seu diodo em antiparalelo e por L_2 .

Já para a segunda célula *boost*, a corrente i_{L34} percorre o circuito passando por L_3 , S_3 , S_4 e seu diodo em antiparalelo e por L_4 .

Nesta etapa, a tensão sobre os indutores em série L_1 e L_2 , a tensão sobre os indutores em série L_3 e L_4 e a corrente que passa pelo capacitor C , são dadas por:

$$v_{L1} + v_{L2} = (L_1 + L_2) \frac{di_{L12}}{dt} = v_{in} \quad (3.10)$$

$$v_{L3} + v_{L4} = (L_3 + L_4) \frac{di_{L34}}{dt} = v_{in} \quad (3.11)$$

$$i_C = C \frac{dv_C}{dt} = -\frac{1}{R} v_C \quad (3.12)$$



3.2.2. Análise para $D < 0,5$

Considerando agora que a razão cíclica do sistema seja menor que 0,5 e que a rede esteja em seu semicírculo positivo, a Figura 3.6, a Figura 3.7 e a Figura 3.8 mostram os intervalos de operação do circuito e a Figura 3.9 as principais formas de onda da corrente nos elementos do circuito.

Figura 3.6 - Intervalo 1 e 3: Diodos em antiparalelo de S_2 e S_4 conduzindo.

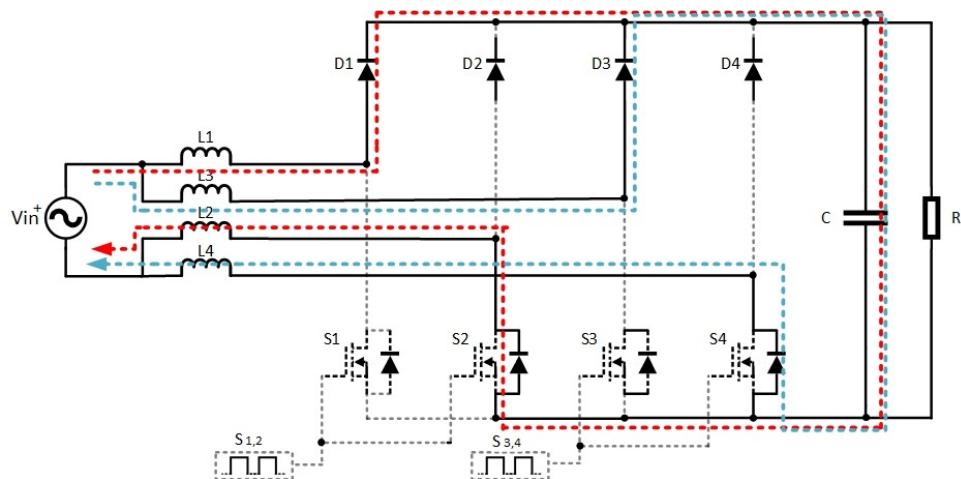


Figura 3.7 - Intervalo 2: Semicondutores S_1 , S_2 e diodo em antiparalelo de S_4 conduzindo.

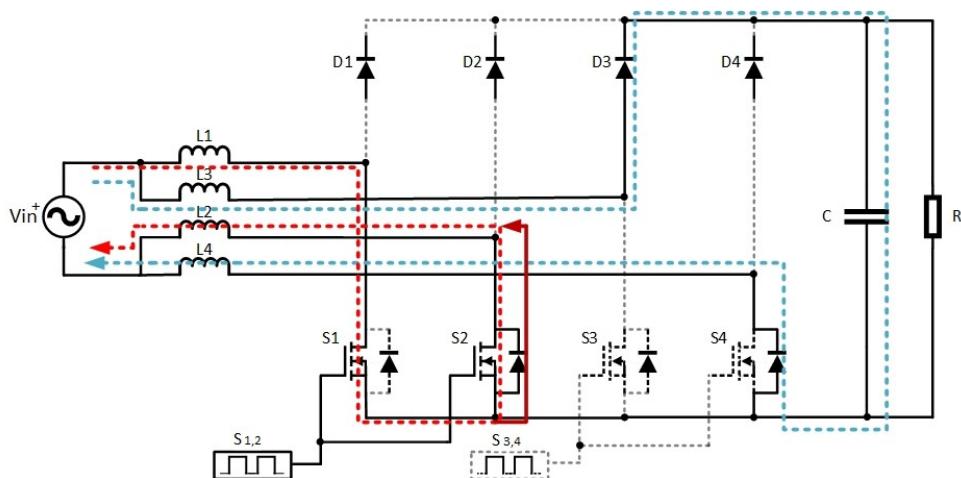


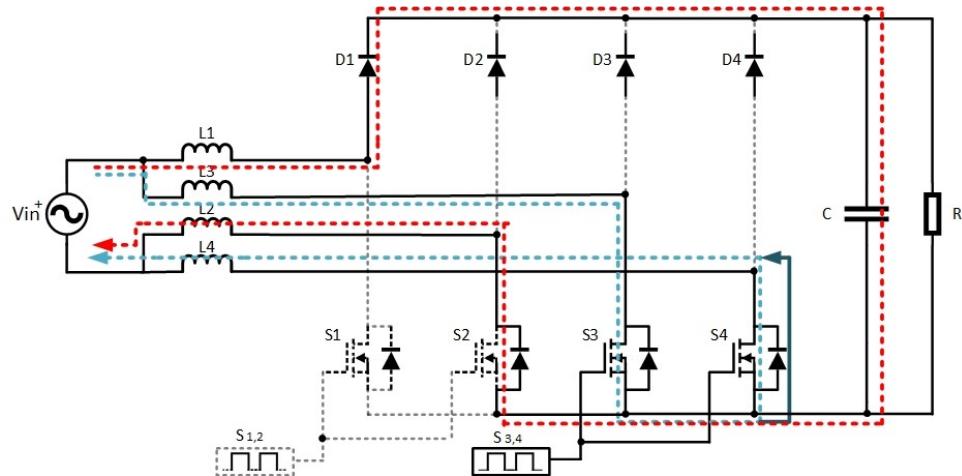
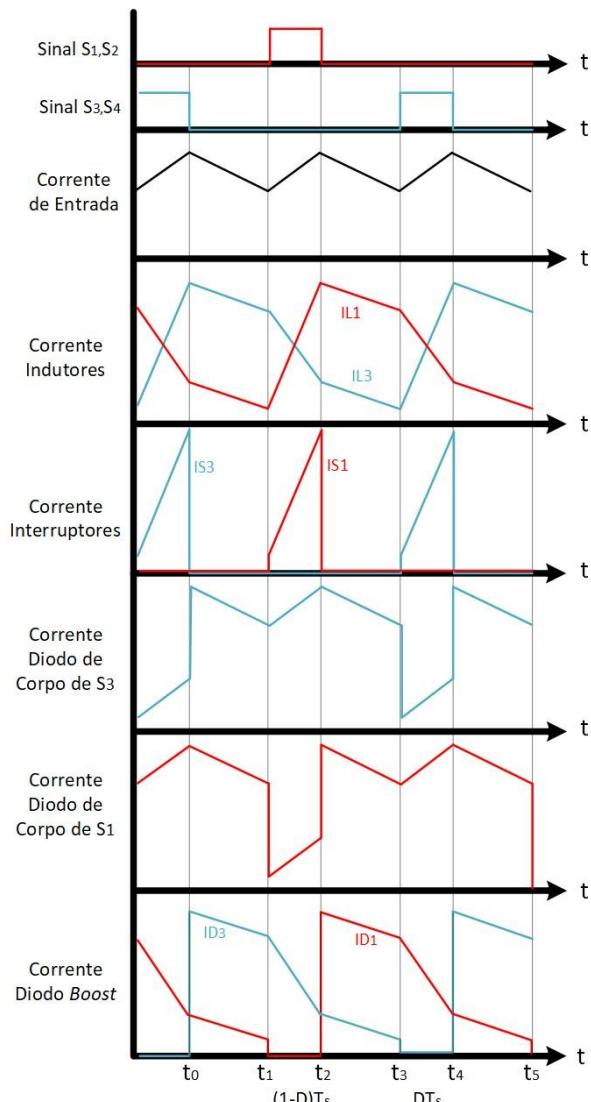
Figura 3.8 - Intervalo 4: Semicondutores S_3 , S_4 e diodo em antiparalelo de S_2 conduzindo.

Figura 3.9 - Formas de onda para razão cílica menor que 0,5.



Fonte: Adaptado de (MUSAVI; EBERLE; DUNFORD, 2010).



Intervalo 1 $[t_0 - t_1]$

No instante t_0 , os semicondutores S_1 e S_2 estão na condição de bloqueio e os semicondutores S_3 e S_4 passam para a condição de condução, como mostra a Figura 3.6.

Nesta etapa do funcionamento do circuito a corrente que percorre os indutores L_1 e L_2 e a corrente que percorre os indutores L_3 e L_4 diminuem linearmente com o tempo, transferindo energia para a carga. A corrente i_{L12} , da primeira célula *boost*, percorre o circuito passando por L_1 , D_1 , C , pelo diodo em antiparalelo de S_2 e por L_2 .

Já para a segunda célula *boost*, a corrente i_{L34} percorre o circuito passando por L_3 , D_3 , C , pelo diodo em antiparalelo de S_4 e por L_4 .

Nesta etapa, a tensão sobre os indutores em série L_1 e L_2 , a tensão sobre os indutores em série L_3 e L_4 e a corrente que passa pelo capacitor C , são dadas por:

$$v_{L1} + v_{L2} = (L_1 + L_2) \frac{di_{L12}}{dt} = -v_C + v_{in} \quad (3.13)$$

$$v_{L3} + v_{L4} = (L_3 + L_4) \frac{di_{L34}}{dt} = -v_C + v_{in} \quad (3.14)$$

$$i_C = C \frac{dv_C}{dt} = i_{L12} + i_{L34} - \frac{1}{R} v_C \quad (3.15)$$

Intervalo 2 $[t_1 - t_2]$

No instante t_1 , os semicondutores S_1 e S_2 passam à condição de condução e os semicondutores S_3 e S_4 permanecem na condição de bloqueio, como mostra a Figura 3.7.

Nesta etapa do funcionamento do circuito a corrente que percorre L_1 e L_2 aumenta linearmente com o tempo, armazenando energia nesses indutores. A corrente i_{L12} , da primeira célula *boost*, percorre o circuito passando por L_1 , S_1 , S_2 e seu diodo em antiparalelo e por L_2 .

Já para a segunda célula *boost*, a corrente que percorre os indutores L_3 e L_4 diminui linearmente com o tempo, transferindo energia para a carga. A corrente i_{L34} percorre o circuito passando por L_3 , D_3 , C , pelo diodo em antiparalelo de S_4 e por L_4 .

Nesta etapa, a tensão sobre os indutores em série L_1 e L_2 , a tensão sobre os indutores em série L_3 e L_4 e a corrente que passa pelo capacitor C , são dadas por:



$$v_{L1} + v_{L2} = (L_1 + L_2) \frac{di_{L12}}{dt} = v_{in} \quad (3.16)$$

$$v_{L3} + v_{L4} = (L_3 + L_4) \frac{di_{L34}}{dt} = -v_C + v_{in} \quad (3.17)$$

$$i_C = C \frac{dv_C}{dt} = i_{L34} - \frac{1}{R} v_C \quad (3.18)$$

Intervalo 3 $[t_2 - t_3]$

No instante t_2 , os semicondutores S_1 e S_2 retornam à condição de bloqueio e os semicondutores S_3 e S_4 continuam bloqueados, como mostra a Figura 3.6.

Nesta etapa do funcionamento do circuito a corrente que percorre os indutores L_1 e L_2 e a corrente que percorre os indutores L_3 e L_4 diminuem linearmente com o tempo, transferindo energia para a carga. A corrente i_{L12} , da primeira célula *boost*, percorre o circuito passando por L_1 , D_1 , C , pelo diodo em antiparalelo de S_2 e por L_2 .

Já para a segunda célula *boost*, a corrente i_{L34} percorre o circuito passando por L_3 , D_3 , C , pelo diodo em antiparalelo de S_4 e por L_4 .

Nesta etapa, a tensão sobre os indutores em série L_1 e L_2 , a tensão sobre os indutores em série L_3 e L_4 e a corrente que passa pelo capacitor C , são dadas por:

$$v_{L1} + v_{L2} = (L_1 + L_2) \frac{di_{L12}}{dt} = -v_C + v_{in} \quad (3.19)$$

$$v_{L3} + v_{L4} = (L_3 + L_4) \frac{di_{L34}}{dt} = -v_C + v_{in} \quad (3.20)$$

$$i_C = C \frac{dv_C}{dt} = i_{L12} + i_{L34} - \frac{1}{R} v_C \quad (3.21)$$

Intervalo 4 $[t_3 - t_4]$

No instante t_3 , os semicondutores S_1 e S_2 permanecem na condição de bloqueio e os semicondutores S_3 e S_4 passam à condição de condução, como mostra a Figura 3.8.

Nesta etapa do funcionamento do circuito a corrente que percorre os indutores L_1 e L_2 diminui linearmente com o tempo, transferindo energia para a carga. A corrente i_{L12} , da primeira célula *boost*, percorre o circuito passando por L_1 , D_1 , C , pelo diodo em antiparalelo de S_2 e por L_2 .



Já para a segunda célula *boost*, a corrente que percorre L_3 e L_4 aumenta linearmente com o tempo, armazenando energia nesses indutores. A corrente i_{L34} percorre o circuito passando por L_3 , S_3 , S_4 e seu diodo em antiparalelo e L_4 .

Nesta etapa, a tensão sobre os indutores em série L_1 e L_2 , a tensão sobre os indutores em série L_3 e L_4 e a corrente que passa pelo capacitor C , são dadas por:

$$v_{L1} + v_{L2} = (L_1 + L_2) \frac{di_{L12}}{dt} = -v_C + v_{in} \quad (3.22)$$

$$v_{L3} + v_{L4} = (L_3 + L_4) \frac{di_{L34}}{dt} = v_{in} \quad (3.23)$$

$$i_C = C \frac{dv_C}{dt} = i_{L12} - \frac{1}{R} v_C \quad (3.24)$$

Assim, o valor da razão cíclica, que varia ao longo do semiciclo da rede de acordo com o valor instantâneo da tensão de entrada, modifica os intervalos de operação do circuito. Contudo, o funcionamento geral do sistema não é alterado, sendo possível e suficiente realizar a análise de operação para apenas um dos casos.

3.3. Dimensionamento e Projeto do Circuito de Potência

A seguir é desenvolvido o equacionamento que será utilizado no projeto dos elementos do estágio de potência do conversor.

3.3.1. Indutores *Boost*

No conversor *boost* a limitação do *ripple* de alta frequência da corrente é dada pelos indutores do circuito. Considerando que a frequência de comutação dos interruptores é muito maior que a frequência da rede, a tensão de entrada pode ser considerada constante durante um período de chaveamento. Assim, o *ripple* da corrente nos indutores *boost* quando os interruptores estão fechados, ou seja, estão em estado de condução, em um dos intervalos de operação, é dado por:



$$\Delta i_{L1}(\omega t) = \frac{v_{in}(\omega t)}{L_1 + L_2} (d(\omega t) - 1/2) T_s \quad (3.25)$$

$$\Delta i_{L3}(\omega t) = \frac{v_{in}(\omega t)}{L_3 + L_4} (d(\omega t) - 1/2) T_s \quad (3.26)$$

Assumindo que todas indutâncias possuem mesmo valor e sabendo que a corrente de entrada é dada pela soma das correntes que passam pelos pares de indutores L_1/L_2 e L_3/L_4 , o *ripple* da corrente de entrada é dado por:

$$\Delta I_{in}(\omega t) = \frac{v_{in}(\omega t)}{L f_s} (d(\omega t) - 1/2) \quad (3.27)$$

Onde $(d(\omega t) - 1/2)$ é encontrado pela equação do ganho estático do conversor *boost* e f_s é a frequência de comutação, dados respectivamente por (3.28) e (3.29).

$$(d(\omega t) - 1/2) = \frac{V_o - 2v_{in}(\omega t)}{2V_o} \quad (3.28)$$

e

$$T_s = \frac{1}{f_s} \quad (3.29)$$

Substituindo (3.28) em (3.27), e sabendo que a tensão de entrada é uma senoide periódica, tem-se:

$$\Delta I_{in}(\omega t) = \frac{V_p \sin(\omega t)}{L f_s} \left(\frac{V_o - 2V_p \sin(\omega t)}{2V_o} \right) \quad (3.30)$$

$$\Delta I_{in}(\omega t) = \frac{V_p}{2L f_s} \left(\sin(\omega t) - 2 \frac{V_p}{V_o} \sin^2(\omega t) \right) \quad (3.31)$$

Assim, o *ripple* da corrente de entrada varia em função do ângulo ωt . Derivando (3.31) em função de ωt e igualando a mesma a zero, é possível encontrar os valores dos ângulos para os quais o *ripple* de corrente é máximo. Assim:



$$\frac{d\Delta I_{in}(\omega t)}{d\omega t} = \frac{V_p}{2Lf_s} \left(\cos(\omega t) - 4 \frac{V_p}{V_o} \sin(\omega t) \cos(\omega t) \right) = 0 \quad (3.32)$$

Os valores de ωt que satisfazem (3.32) são:

$$\omega t_1 = 90^\circ \quad (3.33)$$

$$\omega t_2 = \sin^{-1} \left(\frac{V_o}{4V_p} \right) \quad (3.34)$$

Assim, por inspeção, o *ripple* máximo será observado para o ângulo dado por (3.34). Realizando a substituição em (3.31), tem-se:

$$\Delta I_{in_max} = \frac{V_p}{2Lf_s} \left(\frac{V_o}{4V_p} - 2 \frac{V_p}{V_o} \frac{V_o^2}{16V_p^2} \right) \quad (3.35)$$

$$\Delta I_{in_max} = \frac{V_o}{16Lf_s} \quad (3.36)$$

De acordo com a expressão dada pela por (3.36) o *ripple* da corrente de entrada depende apenas da tensão de saída, da indutância e da frequência de comutação. Contudo, como mostra (3.34), o ponto em que será observado o maior *ripple* na corrente de entrada será dado em função da tensão de saída e da tensão de entrada da rede.

Uma vez que em projetos de retificadores com correção do fator de potência é interessante definir um valor máximo para o *ripple* de corrente e, então, calcular o valor da indutância necessária, pode-se isolar a indutância em (3.36), obtendo assim:

$$L = \frac{V_o}{16\Delta I_{in_max} f_s} \quad (3.37)$$

Com o propósito comparação, é apresentado a equação de dimensionamento do indutor para um retificador *boost* convencional.

$$L = \frac{V_o}{4\Delta I_{in_max} f_s} \quad (3.38)$$



Assim, comparando (3.37) com (3.38), observa-se que para um determinado valor de *ripple*, a topologia *boost* convencional precisa de um indutor com indutância quatro vezes maior do que a necessária para a topologia analisada.

Adotando um valor máximo para o *ripple* de corrente de entrada de 0,4A e utilizando (3.37), o valor das indutâncias *boost* do circuito será:

$$L = \frac{V_o}{16\Delta I_{in_max}f_s} = \frac{400}{16 \cdot 0,4 \cdot 30 \cdot 10^3} = 2,08 \text{ mH} \quad (3.39)$$

No circuito simulado, foi utilizado o valor de 2 mH para cada um dos indutores *boost* do sistema.

3.3.2. Capacitor

O sistema retificador *boost* alimenta na saída uma carga associada a um filtro capacitivo, o qual tem as funções de filtrar as componentes de baixa e alta frequência da corrente, provenientes do chaveamento, e manter uma tensão de saída no valor estabelecido, com *ripple* de 120Hz dentro dos limites projetados.

Conforme apresentado em LARICO (2007), o dimensionamento do capacitor de saída será realizado partindo do princípio de conservação de energia, assumindo que a potência fornecida pela fonte é totalmente consumida pela carga.

No sistema retificador *boost* com controle por corrente média, a corrente drenada da fonte é proporcional à tensão de entrada, possuindo uma pequena defasagem devido à presença do indutor *boost*. Desprezando essa defasagem com o propósito de simplificação do equacionamento, tem-se uma corrente de entrada proporcional e em fase com a tensão de entrada, conforme mostra (3.40) e (3.41), respectivamente.

$$v_i(t) = V_p \sin(\omega t) \quad (3.40)$$

$$i_i(t) = I_p \sin(\omega t) \quad (3.41)$$

Utilizando (3.40) e (3.41), a potência instantânea de entrada do sistema pode ser escrita como:



$$p_i(t) = v_i(t)i_i(t) = V_p I_p \sin^2(\omega t) \quad (3.42)$$

$$p_i(t) = v_i(t)i_i(t) = \frac{V_p I_p}{2} - \frac{V_p I_p}{2} \cos(2\omega t) \quad (3.43)$$

Observando (3.43) nota-se que a potência é composta por uma parcela constante e uma parcela alternada, que apresenta o dobro da frequência da rede (120Hz). Com o sistema operando em regime permanente com tensão de saída constante, pode-se associar a primeira parcela da equação à potência processada pela carga resistiva, e a segunda parcela alternada à potência no capacitor, devido à corrente alternada de 120Hz que circula por ele. Assim, é possível escrever as equações para a potência processada na carga e para a potência no capacitor, respectivamente:

$$P_o(t) = \frac{V_p I_p}{2} = \frac{V_o^2}{R} \quad (3.44)$$

$$p_C(t) = V_o i_C(t) = -\frac{V_p I_p}{2} \cos(2\omega t) \quad (3.45)$$

Substituindo a (3.44) em (3.45) e isolando $i_C(t)$, tem-se:

$$i_C(t) = -\frac{P_o}{V_o} \cos(2\omega t) \quad (3.46)$$

Sabendo que a tensão sobre o capacitor é dada pela integral da corrente dividido pela capacidade e utilizando (3.46), pode-se escrever a equação para a tensão como:

$$v_C(t) = \frac{1}{C} \int i_C(t) dt = -\frac{1}{C} \int \frac{P_o}{V_o} \cos(2\omega t) dt \quad (3.47)$$

$$v_C(t) = -\frac{P_o}{2\omega C V_o} \sin(2\omega t) \quad (3.48)$$

Portanto, o *ripple* pico a pico de tensão no capacitor é dado por:

$$\Delta V_C = 2 \frac{P_o}{2\omega C V_o} = \frac{P_o}{\omega C V_o} = \frac{V_o}{\omega C R} \quad (3.49)$$



Onde ω é a frequência angular da rede.

Assim como no dimensionamento dos indutores, é interessante se definir o valor máximo desejado para o *ripple* de tensão de saída e, a partir disso, calcular o valor da capacidade necessária. Portanto, isolando-se a capacidade em (3.49), obtém-se:

$$C = \frac{P_o}{\omega V_o \Delta V_C} \quad (3.50)$$

Adotando um valor máximo para o *ripple* de tensão de saída de 10V e utilizando (3.50), o valor da capacidade do sistema será:

$$C = \frac{P_o}{\omega V_o \Delta V_C} = \frac{1000}{377 \cdot 400 \cdot 10} = 663,1 \mu F \quad (3.51)$$

No circuito simulado, foi utilizado o valor de $650 \mu F$ para o capacitor de saída do sistema.

A Tabela 1 apresenta os valores referentes aos componentes do circuito de potência utilizados na simulação do circuito.

Tabela 1 – Valores dos componentes do estágio de potência

| Símbolo | Significado | Valor |
|----------------------|------------------------|-------------|
| L_1, L_2, L_3, L_4 | Indutores <i>boost</i> | $2 mH$ |
| C | Capacidade de saída | $650 \mu F$ |

3.4. Considerações Finais

Neste capítulo foi realizado um estudo detalhado das etapas de operação da topologia analisada, mostrando o comportamento da topologia para as diferentes etapas de operação que ocorrem durante o semiciclo positivo da rede. Também foram apresentadas as formas de onda características em diversos componentes bem como as equações que regem o comportamento do sistema, tanto nas etapas de operação quando a



razão cíclica é maior que meio, quanto nas etapas em que a razão cíclica é menor que meio.

Além disso, foi desenvolvido e apresentado o equacionamento para projeto dos elementos passivos do sistema, mostrando detalhadamente a abordagem utilizada para o cálculo dos indutores *boost*, do capacitor de saída e da resistência de carga. Com esse equacionamento, também foi possível identificar quais especificações de projeto influenciam diretamente na escolha dos indutores e do capacitor.



4. MODELAGEM E ESTRATÉGIA DE CONTROLE DO CONVERSOR OPERANDO EM MCC

4.1. Considerações Iniciais

Neste capítulo será apresentada a modelagem matemática do conversor utilizando o modelo médio linearizado em espaço de estados, também chamada de abordagem no domínio do tempo. Esta análise visa a obtenção das funções de transferência que definem o comportamento do sistema, as quais serão utilizadas para o adequado projeto dos controladores de corrente e tensão.

Além disso, são apresentados os circuitos equivalentes para cada intervalo de operação do sistema, considerando razão cíclica maior que 0,5, bem como a estratégia de controle utilizada e os detalhes de projeto dos controladores das malhas de corrente e da malha de tensão.

A estratégia de controle utilizada para correção da corrente drenada da rede e ajuste da tensão CC de saída é apresentada juntamente com o diagrama de blocos que ilustra os sinais monitorados no circuito e os controles de tensão e corrente que serão desenvolvidos, assim como os sinais de controle que realizarão o efetivo chaveamento dos interruptores.

4.2. Modelo Médio Linearizado em Espaço de Estados

As equações de estado de espaço podem ser representadas pelas seguintes relações matriciais:

$$\dot{x}(t) = A \cdot x(t) + B \cdot u(t) \quad (4.1)$$

$$y(t) = C \cdot x(t) + D \cdot u(t) \quad (4.2)$$

Onde:

$x(t)$ – vetor de estado;

$\dot{x}(t) = dx/dt$ – derivada do vetor de estado em relação ao tempo;

$y(t)$ – vetor resposta;

$u(t)$ – vetor de entrada ou controle;



A – matriz de sistema;

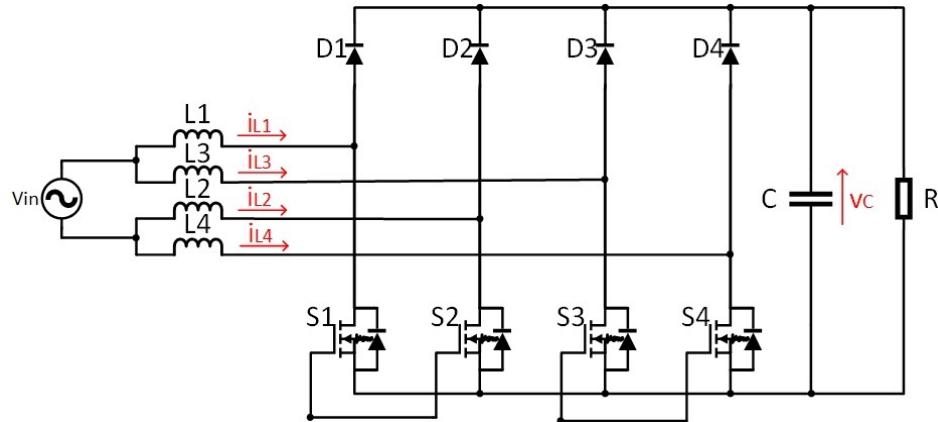
B – matriz de entrada;

C – matriz de saída;

D – matriz de ação avante;

Nesta análise, o número de variáveis de estado coincide com o número de elementos armazenadores de energia presentes no sistema (LIMA, 2011). Como observa-se na Figura 4.1, o circuito do conversor analisado é composto por quatro indutores (L_1, L_2, L_3 e L_4) e um capacitor (C), totalizando cinco elementos armazenadores de energia e, consequentemente, cinco variáveis de estado para o sistema: as correntes $i_{L1}(t), i_{L2}(t), i_{L3}(t)$ e $i_{L4}(t)$, que circulam pelos indutores e a tensão $v_C(t)$ sobre o capacitor.

Figura 4.1 - Variáveis de estado do circuito.



Contudo, como a corrente que percorre o indutor L_1 é a mesma que percorre o indutor L_2 e a corrente que percorre o indutor L_3 é a mesma que percorre o indutor L_4 , pode-se assumir como variáveis de estado as correntes $i_{L12}(t)$ e $i_{L34}(t)$ e a tensão $v_C(t)$. Assim, o vetor de estado e a derivada do vetor de estado podem ser escritos como:

$$\dot{x}(t) = \begin{bmatrix} i_{L12}(t) \\ i_{L34}(t) \\ v_C(t) \end{bmatrix} \quad (4.3)$$



$$\dot{x}(t) = \begin{bmatrix} di_{L12}(t)/dt \\ di_{L34}(t)/dt \\ dv_c(t)/dt \end{bmatrix} \quad (4.4)$$

O vetor de entrada ou controle é representado pelas fontes de alimentação do sistema. Dessa forma, tem-se que:

$$u(t) = [V_{in}(t)] \quad (4.5)$$

Como abordado no Capítulo 3, o conversor apresenta quatro intervalos de operação, de acordo com o estado dos semicondutores S_1, S_2, S_3 e S_4 . Assim, é necessário analisar cada circuito equivalente de maneira distinta, desenvolvendo suas equações características e determinando as matrizes de sistema (A) e de entrada (B) para cada condição.

A Tabela 2 apresenta detalhadamente a condição de bloqueio ou condução dos semicondutores do circuito, bem como o tempo de duração de cada intervalo de operação.

Tabela 2 - Estados de condução e tempo de duração dos intervalos de operação ($D > 0,5$).

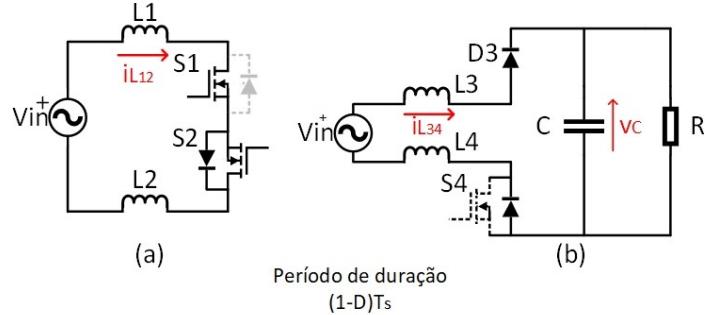
| Intervalo | S_1/S_2 | S_3/S_4 | D_1 | D_2 | D_3 | D_4 | Período de Duração |
|-----------|-----------|-----------|----------|----------|----------|----------|--------------------|
| 1 | Condução | Bloqueio | Bloqueio | Bloqueio | Condução | Bloqueio | $(1 - D)T_s$ |
| 2 | Condução | Condução | Bloqueio | Bloqueio | Bloqueio | Bloqueio | $(D - 1/2)T_s$ |
| 3 | Bloqueio | Condução | Condução | Bloqueio | Bloqueio | Bloqueio | $(1 - D)T_s$ |
| 4 | Condução | Condução | Bloqueio | Bloqueio | Bloqueio | Bloqueio | $(D - 1/2)T_s$ |

4.2.1. Circuitos equivalentes para o intervalo 1 (S_1 e S_2 fechados e S_3 e S_4 abertos)

A Figura 4.2 ilustra os circuitos equivalentes do conversor para o intervalo 1 de operação, em que S_1 e S_2 estão fechados e S_3 e S_4 estão abertos. Nesta condição apenas o diodo D_3 está conduzindo e os diodos D_1, D_2 e D_4 estão bloqueados.



Figura 4.2 - Subcírculo durante o intervalo 1.



Aplicando a Lei de Kirchhoff das malhas aos circuitos (a) e (b) da Figura 4.2 , obtém-se as derivadas das correntes nos indutores, conforme apresentado pelas seguintes equações:

$$\frac{d_{iL12}(t)}{dt} = \frac{1}{L_1 + L_2} V_{in}(t) \quad (4.6)$$

$$\frac{d_{iL34}(t)}{dt} = -\frac{1}{L_3 + L_4} v_C(t) + \frac{1}{L_3 + L_4} V_{in}(t) \quad (4.7)$$

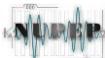
Para se obter a derivada da tensão sobre o capacitor, aplica-se a Lei de Kirchhoff dos nós ao circuito (b), resultando na equação abaixo:

$$\frac{d_{vC}(t)}{dt} = \frac{1}{C} i_{L34}(t) - \frac{1}{RC} v_C(t) \quad (4.8)$$

Através de (4.6) a (4.8), é possível determinar as matrizes de sistema e de entrada para o intervalo 1 de operação do conversor:

$$A_1 = \begin{bmatrix} 0 & 0 & 0 \\ 0 & 0 & -1/(L_3 + L_4) \\ 0 & 1/C & -1/RC \end{bmatrix} \quad (4.9)$$

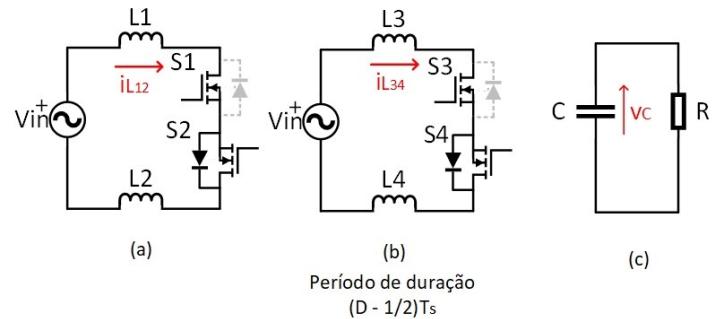
$$B_1 = \begin{bmatrix} 1/(L_1 + L_2) \\ 1/(L_3 + L_4) \\ 0 \end{bmatrix} \quad (4.10)$$



4.2.2. Circuito equivalente para o intervalo 2 e 4 (S_1, S_2, S_3 e S_4 fechados)

A Figura 4.3 ilustra os circuitos equivalentes do conversor para os intervalos 2 e 4 de operação, em que S_1 , S_2 , S_3 e S_4 estão fechados. Nestas condições os diodos D_1 , D_2 , D_3 e D_4 estão todos bloqueados.

Figura 4.3 - Subcircuito durante os intervalos 2 e 4.



Aplicando a Lei de Kirchhoff das malhas aos circuitos (a) e (b) da Figura 4.3, obtêm-se as derivadas das correntes nos indutores, conforme apresentado pelas seguintes equações:

$$\frac{d_{iL12}(t)}{dt} = \frac{1}{L_1 + L_2} V_{in}(t) \quad (4.11)$$

$$\frac{d_{iL34}(t)}{dt} = \frac{1}{L_3 + L_4} V_{in}(t) \quad (4.12)$$

Para se obter a derivada da tensão sobre o capacitor, aplica-se a Lei de Kirchhoff dos nós ao circuito (c), resultando na equação abaixo:

$$\frac{d_{vc}(t)}{dt} = -\frac{1}{RC} v_c(t) \quad (4.13)$$

Através de (4.11) a (4.13), é possível determinar as matrizes de sistema e de entrada para os intervalo 2 e 4 de operação do conversor:



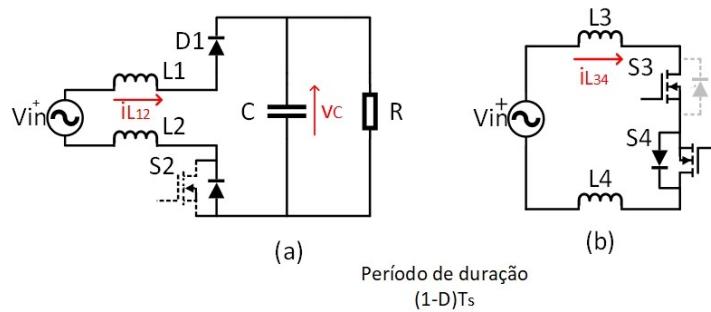
$$A_2 = A_4 = \begin{bmatrix} 0 & 0 & 0 \\ 0 & 0 & 0 \\ 0 & 0 & -1/RC \end{bmatrix} \quad (4.14)$$

$$B_2 = B_4 = \begin{bmatrix} 1/L_1 + L_2 \\ 1/L_3 + L_4 \\ 0 \end{bmatrix} \quad (4.15)$$

4.2.3. Circuito equivalente para o intervalo 3 (S_1 e S_2 abertos e S_3 e S_4 fechados)

A Figura 4.4 ilustra os circuitos equivalentes do conversor para o intervalo 3 de operação, em que S_1 e S_2 estão abertos e S_3 e S_4 estão fechados. Nesta condição apenas o diodo D_1 está conduzindo e os diodos D_2 , D_3 e D_4 estão bloqueados.

Figura 4.4 - Subcircuitos durante o intervalo 3.



Aplicando a Lei de Kirchhoff das malhas aos circuitos (a) e (b) da Figura 4.4, obtém-se as derivadas das correntes nos indutores, conforme apresentado pelas seguintes equações:

$$\frac{d_i_{L12}(t)}{dt} = -\frac{1}{L_1 + L_2} v_C(t) + \frac{1}{L_1 + L_2} V_{in}(t) \quad (4.16)$$

$$\frac{d_i_{L34}(t)}{dt} = \frac{1}{L_3 + L_4} V_{in}(t) \quad (4.17)$$

Para se obter a derivada da tensão sobre o capacitor, aplica-se a Lei de Kirchhoff dos nós ao circuito (a), resultando na equação abaixo:



$$\frac{d_{vc}(t)}{dt} = \frac{1}{C} i_{L12}(t) - \frac{1}{RC} v_c(t) \quad (4.18)$$

Através de (4.16) a (4.18), é possível determinar as matrizes de sistema e de entrada para o intervalo 3 de operação do conversor:

$$A_3 = \begin{bmatrix} 0 & 0 & -1/(L_1 + L_2) \\ 0 & 0 & 0 \\ 1/C & 0 & -1/RC \end{bmatrix} \quad (4.19)$$

$$B_3 = \begin{bmatrix} 1/(L_1 + L_2) \\ 1/(L_3 + L_4) \\ 0 \end{bmatrix} \quad (4.20)$$

Uma vez determinadas todas as matrizes de sistema e de entrada para cada intervalo de operação do conversor, pode-se proceder à obtenção das matrizes por valores médios.

Modelo Médio

O modelo médio em espaço de estados permite a representação adequada das respostas dinâmicas dos valores médios das variáveis elétricas envolvidas no sistema (SUN et al., 2001). A equação que representa tal dinâmica é dada em (4.21).

$$\dot{x}(t) = A_m \cdot x(t) + B_m \cdot u(t) \quad (4.21)$$

Considerando o conversor operando em modo de condução contínua (MCC), a matriz média de sistema (A_m), em um período de chaveamento, pode ser obtida pela soma de cada matriz de sistema multiplicada pelo período de duração de seu respectivo intervalo de operação. Assim:

$$A_m = A_1(1 - D) + A_2\left(D - \frac{1}{2}\right) + A_3(1 - D) + A_4\left(D - \frac{1}{2}\right) \quad (4.22)$$



$$A_m = (A_1 + A_3)(1 - D) + (A_2 + A_4) \left(D - \frac{1}{2} \right)$$

$$A_m = A_{13}(1 - D) + A_{24} \left(D - \frac{1}{2} \right)$$

Onde:

$$\begin{aligned} A_{13} &= A_1 + A_3 \\ A_{24} &= A_2 + A_4 \end{aligned} \tag{4.23}$$

De semelhante modo, a matriz média de entrada (B_m) é dada por:

$$\begin{aligned} B_m &= B_1(1 - D) + B_2 \left(D - \frac{1}{2} \right) + B_3(1 - D) + B_4 \left(D - \frac{1}{2} \right) \\ B_m &= (B_1 + B_3)(1 - D) + (B_2 + B_4) \left(D - \frac{1}{2} \right) \\ B_m &= B_{13}(1 - D) + B_{24} \left(D - \frac{1}{2} \right) \end{aligned} \tag{4.24}$$

Onde:

$$\begin{aligned} B_{13} &= B_1 + B_3 \\ B_{24} &= B_2 + B_4 \end{aligned} \tag{4.25}$$

De maneira a simplificar o equacionamento, assume-se que os quatro indutores possuem o mesmo valor de indutância, conforme apresentado em (4.26). Assim, as matrizes de sistema e de entrada podem ser escritas como se segue em (4.27) a (4.34).

$$L_1 = L_2 = L_3 = L_4 = L \tag{4.26}$$

$$A_1 = \begin{bmatrix} 0 & 0 & 0 \\ 0 & 0 & -1/2L \\ 0 & 1/C & -1/RC \end{bmatrix} \tag{4.27}$$



$$A_2 = \begin{bmatrix} 0 & 0 & 0 \\ 0 & 0 & 0 \\ 0 & 0 & -1/RC \end{bmatrix} \quad (4.28)$$

$$A_3 = \begin{bmatrix} 0 & 0 & -1/2L \\ 0 & 0 & 0 \\ 1/C & 0 & -1/RC \end{bmatrix} \quad (4.29)$$

$$A_4 = \begin{bmatrix} 0 & 0 & 0 \\ 0 & 0 & 0 \\ 0 & 0 & -1/RC \end{bmatrix} \quad (4.30)$$

$$B_1 = \begin{bmatrix} 1/2L \\ 1/2L \\ 0 \end{bmatrix} \quad (4.31)$$

$$B_2 = \begin{bmatrix} 1/2L \\ 1/2L \\ 0 \end{bmatrix} \quad (4.32)$$

$$B_3 = \begin{bmatrix} 1/2L \\ 1/2L \\ 0 \end{bmatrix} \quad (4.33)$$

$$B_4 = \begin{bmatrix} 1/2L \\ 1/2L \\ 0 \end{bmatrix} \quad (4.34)$$

Utilizando (4.22) e (4.24) e realizando as operações matriciais, obtém-se as matrizes médias do sistema e de entrada, dadas por:

$$A_m = \begin{bmatrix} 0 & 0 & \frac{D-1}{2L} \\ 0 & 0 & \frac{D-1}{2L} \\ -\frac{D-1}{C} & -\frac{D-1}{C} & \frac{-1}{RC} \end{bmatrix} \quad (4.35)$$

$$B_m = \begin{bmatrix} \frac{1}{2L} \\ \frac{1}{2L} \\ 0 \end{bmatrix} \quad (4.36)$$



Assim, pode-se escrever o modelo médio da equação de estado de espaço, no formato de (4.21), da seguinte maneira:

$$\begin{bmatrix} \frac{di_{L12}(t)}{dt} \\ \frac{di_{L34}(t)}{dt} \\ \frac{dv_C(t)}{dt} \end{bmatrix} = \begin{bmatrix} 0 & 0 & \frac{D-1}{2L} \\ 0 & 0 & \frac{D-1}{2L} \\ -\frac{D-1}{C} & -\frac{D-1}{C} & \frac{-1}{RC} \end{bmatrix} \cdot \begin{bmatrix} i_{L12}(t) \\ i_{L34}(t) \\ v_C(t) \end{bmatrix} + \begin{bmatrix} \frac{1}{2L} \\ \frac{1}{2L} \\ 0 \end{bmatrix} \cdot [V_{in}(t)] \quad (4.37)$$

Uma vez que as dinâmicas dos valores médios das correntes nos indutores são idênticas, é possível reduzir a ordem do sistema a partir da generalização da corrente de carga do capacitor considerando o entrelaçamento de N células conversoras (SILVA, 2011). A equação no espaço de estados, para duas células conversoras, se torna:

$$\begin{bmatrix} \frac{di_L(t)}{dt} \\ \frac{dv_C(t)}{dt} \end{bmatrix} = \begin{bmatrix} 0 & \frac{D-1}{2L} \\ \frac{-2(D-1)}{C} & \frac{-1}{RC} \end{bmatrix} \cdot \begin{bmatrix} I_L(t) \\ v_C(t) \end{bmatrix} + \begin{bmatrix} \frac{1}{2L} \\ 0 \end{bmatrix} \cdot [V_{in}(t)] \quad (4.38)$$

Em geral, as equações em espaço de estados desenvolvidas para o conversor são não-lineares. Por isso, é necessário realizar a linearização destas equações ao redor do ponto quiescente de operação, ponto em que o sistema se encontra em equilíbrio e a razão cíclica está em seu valor nominal (MODABBERNIA et al., 2013). Além disso, neste ponto os valores médios da corrente nos indutores e da tensão no capacitor são constantes, o que torna suas respectivas derivadas nulas. Assim, anulando-se as derivadas na em (4.21), tem-se:

$$0 = A_m \cdot X + B_m \cdot U \quad (4.39)$$

$$X = -A_m^{-1} \cdot B_m \cdot U \quad (4.40)$$

Substituindo (4.35), (4.36) e (4.5) em (4.40)(4.40), obtém-se:



$$X = - \begin{bmatrix} 0 & \frac{D-1}{2L} \\ \frac{-2(D-1)}{C} & \frac{-1}{RC} \end{bmatrix}^{-1} \cdot \begin{bmatrix} 1 \\ \frac{1}{2L} \end{bmatrix} \cdot [V_{in}] \quad (4.41)$$

$$X = \begin{bmatrix} \frac{V_{in}}{2R(D-1)^2} \\ -\frac{V_{in}}{D-1} \end{bmatrix} \quad (4.42)$$

Através de (4.42) é possível obter os ganhos estáticos da corrente no indutor e da tensão no capacitor, ambos em função da tensão de entrada.

$$\frac{I_L}{V_{in}} = \frac{1}{2R(D-1)^2} \quad (4.43)$$

$$\frac{V_C}{V_{in}} = \frac{V_o}{V_{in}} = \frac{1}{1-D} \quad (4.44)$$

Esta última é a conhecida equação do ganho estático do conversor boost.

Para a modelagem por valores médios a pequenos sinais, é necessário dividir as variáveis em duas partes. A primeira representa o valor médio e a segunda uma pequena perturbação ao redor do ponto de operação. O mesmo procedimento é feito para a razão cíclica. Assim, determina-se o modelo de pequenos sinais do sistema (UGAZ PEÑA, 2012).

$$\begin{aligned} x(t) &= X + \hat{x}(t) \\ u(t) &= U + \hat{u}(t) \\ d(t) &= D + \hat{d}(t) \end{aligned} \quad (4.45)$$

Utilizando o modelo de pequenos sinais, pode-se escrever (4.21) como:

$$\begin{aligned} \frac{d\dot{x}(t)}{dt} &= [A_{13}(1-D) + A_{24}\left(D - \frac{1}{2}\right)].x(t) + [B_{13}(1-D) \\ &\quad + B_{24}\left(D - \frac{1}{2}\right)].u(t) \end{aligned} \quad (4.46)$$



$$\begin{aligned}\frac{d[X + \hat{x}(t)]}{dt} &= \left\{ A_{13} \left[1 - (D + \hat{d}(t)) \right] \right. \\ &\quad + A_{24} \left[(D + \hat{d}(t)) - \frac{1}{2} \right] \left. \right\} \cdot [X + \hat{x}(t)] \\ &\quad + \left\{ B_{13} \left[1 - (D + \hat{d}(t)) \right] \right. \\ &\quad \left. + B_{24} \left[(D + \hat{d}(t)) - \frac{1}{2} \right] \right\} \cdot [U + \hat{u}(t)]\end{aligned}\tag{4.47}$$

Uma vez que $\hat{d}(t)$, $\hat{u}(t)$ e $\hat{x}(t)$ representam pequenas variações da razão cíclica, entrada e estado do sistema, respectivamente, o produto entre duas dessas variáveis gera um valor muito pequeno e, portanto, pode ser considerado nulo (MODABBERNIA et al., 2012). Assim, realizando as operações matemáticas na equação acima, obtém-se:

$$\begin{aligned}\frac{d[X + \hat{x}(t)]}{dt} &= A_m X + A_m \hat{x}(t) + (A_{24} - A_{13}) X \hat{d}(t) + B_m U \\ &\quad + B_m \hat{u}(t) + (B_{24} - B_{13}) U \hat{d}(t)\end{aligned}\tag{4.48}$$

Porém:

$$\frac{dX}{dt} = A_m X + B_m U\tag{4.49}$$

e

$$\frac{d\hat{x}(t)}{dt} = \frac{d[X + \hat{x}(t)]}{dt} - \frac{dX}{dt}\tag{4.50}$$

Substituindo (4.48) e (4.49) em (4.50) e reorganizando os termos:

$$\begin{aligned}\frac{d\hat{x}(t)}{dt} &= A_m \hat{x}(t) + B_m \hat{u}(t) + [(A_{24} - A_{13}) X \\ &\quad + (B_{24} - B_{13}) U] \hat{d}(t)\end{aligned}\tag{4.51}$$

De forma a simplificar o desenvolvimento das equações, tem-se:



$$E = (A_{24} - A_{13})X + (B_{24} - B_{13})U \quad (4.52)$$

Assim:

$$\frac{d\hat{x}(t)}{dt} = A_m\hat{x}(t) + B_m\hat{u}(t) + E\hat{d}(t) \quad (4.53)$$

Utilizando a transformada de Laplace, é possível obter a solução da equação de estados.

$$\mathcal{L}\left\{\frac{d\hat{x}(t)}{dt}\right\} = \mathcal{L}\{A_m\hat{x}(t) + B_m\hat{u}(t) + E\hat{d}(t)\} \quad (4.54)$$

$$sI\hat{X}(s) - \hat{x}(0) = A_m\hat{X}(s) + B_m\hat{U}(s) + E\hat{D}(s) \quad (4.55)$$

Como $\hat{x}(0) = 0$:

$$(sI - A_m)\hat{X}(s) = B_m\hat{U}(s) + E\hat{D}(s) \quad (4.56)$$

$$\hat{X}(s) = (sI - A_m)^{-1}[B_m\hat{U}(s) + E\hat{D}(s)] \quad (4.57)$$

Para encontrar as funções de transferência que relacionam as variáveis de estado à razão cíclica, aplica-se o princípio da superposição e considera-se $\hat{U}(s) = 0$.

$$\hat{X}(s) = (sI - A_m)^{-1}E\hat{D}(s) \quad (4.58)$$



$$\begin{aligned}\hat{G}_{xd}(s) &= \frac{\hat{X}(s)}{\hat{D}(s)} \\ &= \left\{ s \begin{bmatrix} 1 & 0 \\ 0 & 1 \end{bmatrix} - \begin{bmatrix} 0 & \frac{D-1}{2L} \\ \frac{-2(D-1)}{C} & \frac{-1}{RC} \end{bmatrix} \right\}^{-1} \begin{bmatrix} \frac{-V_{in}}{2L(D-1)} \\ \frac{-V_{in}}{RC(D-1)^2} \end{bmatrix}\end{aligned}\quad (4.59)$$

$$\begin{aligned}\hat{G}_{xd}(s) &= \frac{\hat{X}(s)}{\hat{D}(s)} \\ &= \left[\frac{CV_{in}(RCS + 2)}{(6RCD^2) - (2RCD^3) - (2LRC^2Ds^2) - (2LCDs) - (6RCD) + (2LRC^2s^2) + (2LCs) + (2RC)} \right. \\ &\quad \left. \frac{V_{in}(RCD^2 - 2RCD + RC - LCs)}{(RCD^4) - (4RCD^3) + (LRC^2D^2s^2) + (LCD^2s) + (6RCD^2) - (2LRC^2Ds^2) - (4RCD) + (LRC^2s^2) + (RC)} \right]\end{aligned}\quad (4.60)$$

Como:

$$\hat{X}(s) = \begin{bmatrix} I_L(s) \\ V_C(s) \end{bmatrix}\quad (4.61)$$

A função de transferência que relaciona a corrente nos indutores com a razão cíclica e a função de transferência que relaciona a tensão sobre o capacitor com a razão cíclica são, respectivamente:

$$\begin{aligned}\hat{G}_{id}(s) &= \frac{\hat{I}_L(s)}{\hat{D}(s)} \\ &= \frac{CV_{in}(RCS + 2)}{(6RCD^2) - (2RCD^3) - (2LRC^2Ds^2) - (2LCDs) - (6RCD) + (2LRC^2s^2) + (2LCs) + (2RC)}\end{aligned}\quad (4.62)$$

$$\begin{aligned}\hat{G}_{vd}(s) &= \frac{\hat{V}_C(s)}{\hat{D}(s)} \\ &= \frac{V_{in}(RCD^2 - 2RCD + RC - LCs)}{(RCD^4) - (4RCD^3) + (LRC^2D^2s^2) + (LCD^2s) + (6RCD^2) - (2LRC^2Ds^2) - (4RCD) + (LRC^2s^2)}\end{aligned}\quad (4.63)$$



Para encontrar as funções de transferência que relacionam as variáveis de estado à entrada do sistema, aplica-se o princípio da superposição e considera-se $\widehat{D}(s) = 0$.

$$\widehat{X}(s) = (sI - A_m)^{-1}B_m\widehat{U}(s) \quad (4.64)$$

$$\widehat{G}_{xu}(s) = \frac{\widehat{X}(s)}{\widehat{U}(s)} = \left\{ s \begin{bmatrix} 1 & 0 \\ 0 & 1 \end{bmatrix} - \begin{bmatrix} 0 & \frac{D-1}{2L} \\ \frac{-2(D-1)}{C} & \frac{-1}{RC} \end{bmatrix} \right\}^{-1} \begin{bmatrix} \frac{1}{2L} \\ 0 \end{bmatrix} \quad (4.65)$$

$$\widehat{G}_{xu}(s) = \frac{\widehat{X}(s)}{\widehat{U}(s)} = \left[\frac{C(RCs + 1)}{2RCD^2 - 4RCD + 2LRC^2s^2 + 2LCs + 2RC} \right] \quad (4.66)$$

Como a entrada do sistema é representada pela tensão de entrada $[\widehat{V}_{in}(s)]$, a função de transferência que relaciona a corrente nos indutores com a entrada do sistema e a função de transferência que relaciona a tensão sobre o capacitor com a entrada do sistema são, respectivamente:

$$\widehat{G}_{iv_{in}}(s) = \frac{\widehat{I}_L(s)}{\widehat{V}_{in}(s)} = \frac{C(RCs + 1)}{2RCD^2 - 4RCD + 2LRC^2s^2 + 2LCs + 2RC} \quad (4.67)$$

$$\widehat{G}_{vv_{in}}(s) = \frac{\widehat{V}_C(s)}{\widehat{V}_{in}(s)} = \frac{RC(1 - D)}{RCD^2 - 2RCD + LRC^2s^2 + LCs + RC} \quad (4.68)$$

A função de transferência que relaciona a tensão de saída sobre o capacitor com a corrente nos indutores é obtida dividindo (4.68) por (4.67).

$$\widehat{G}_{vi}(s) = \frac{\widehat{G}_{vv_{in}}(s)}{\widehat{G}_{iv_{in}}(s)} = \frac{\widehat{V}_C(s)}{\widehat{I}_L(s)} = \frac{2RC(1 - D)}{C(RCs + 1)} \quad (4.69)$$

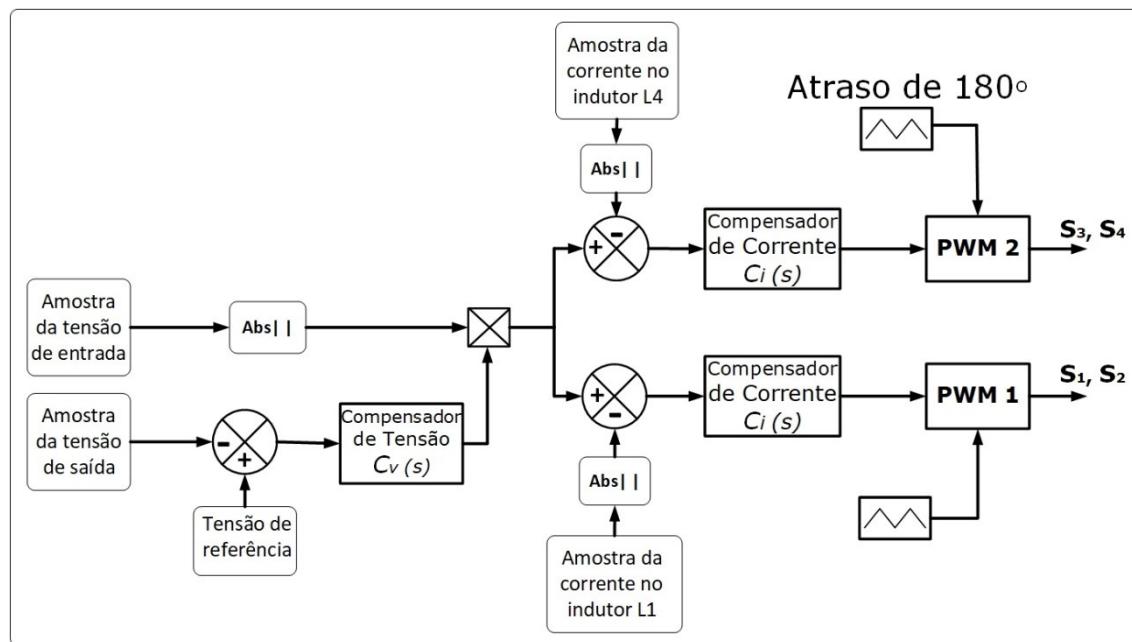


4.3.Estratégia de Controle

Para realizar a correção do fator de potência é necessário que a corrente drenada da rede seja senoidal, com o mínimo de distorções harmônicas e em fase com a tensão senoidal de entrada. Além disso, deseja-se controlar a tensão CC de saída, mantendo-a dentro dos limites preestabelecidos e proporcionando uma rápida resposta em casos de variações de carga na saída ou na tensão de entrada.

O controle do sistema é feito utilizando a técnica de controle por corrente média, que em sua malha interna realiza o controle de corrente e na malha externa faz o controle da tensão de saída. A Figura 4.5 mostra o diagrama de blocos da técnica de controle utilizada para o conversor *bridgeless boost* com duas células entrelaçadas, o qual apresenta uma malha externa de tensão e duas malhas internas de corrente.

Figura 4.5 -Diagrama de controle por corrente média para o conversor *bridgeless boost* com duas células entrelaçadas.



Como observa-se na figura acima são necessários quatro sensores para obtenção de amostras da tensão de entrada, da tensão de saída e das correntes em dois indutores de células *boost* distintas. A tensão de saída CC é comparada com a referência que se deseja impor na carga. O sinal de erro gerado passa por um controlador de tensão e é multiplicado pela tensão de entrada retificada, gerando assim a corrente de referência a



ser seguida. Essa referência é comparada com as correntes nos indutores, gerando sinais de erro que, após passarem pelos controladores de corrente, geram os sinais de controle que permitem o ajuste tanto da corrente como da tensão de saída (REXY; SEYEZHAI, 2016).

A modulação por largura de pulso (PWM) é realizada comparando os sinais de controle com ondas triangulares de alta frequência. O defasamento entre as células *boost*, característico da técnica de entrelaçamento, é realizado utilizando-se duas ondas triangulares defasadas entre si de 180° (LEE; CHANG; CHUANG, 2013).

4.4. Projeto do Estágio de Controle

Uma vez definidos o valor dos indutores, do capacitor e da resistência do circuito, é possível utilizar as funções de transferência desenvolvidas no Capítulo 4 para projetar os reguladores de corrente e tensão e, assim, implementar a estratégia de controle por corrente média.

4.4.1. Projeto do controlador de corrente

A malha interna de corrente é responsável por fornecer um sinal de controle adequado que visa manter a corrente drenada da rede senoidal e em fase com a tensão de entrada. Garantindo que a corrente de entrada atenda a esses requisitos, o conversor irá operar com fator de potencial (FP) elevado, próximo ao unitário, e cumprir as normas e recomendações existentes para este tipo de sistema.

Com os valores de R, L e C definidos, utilizando a ferramenta *Sisotool* do *software Matlab* e a função de transferência que relaciona a corrente com a razão cíclica do sistema, apresentada em (4.62), é possível obter os diagramas de Bode, compostos pelo ganhe e fase, e o lugar das raízes e, assim, determinar o controlador para o controle de corrente.

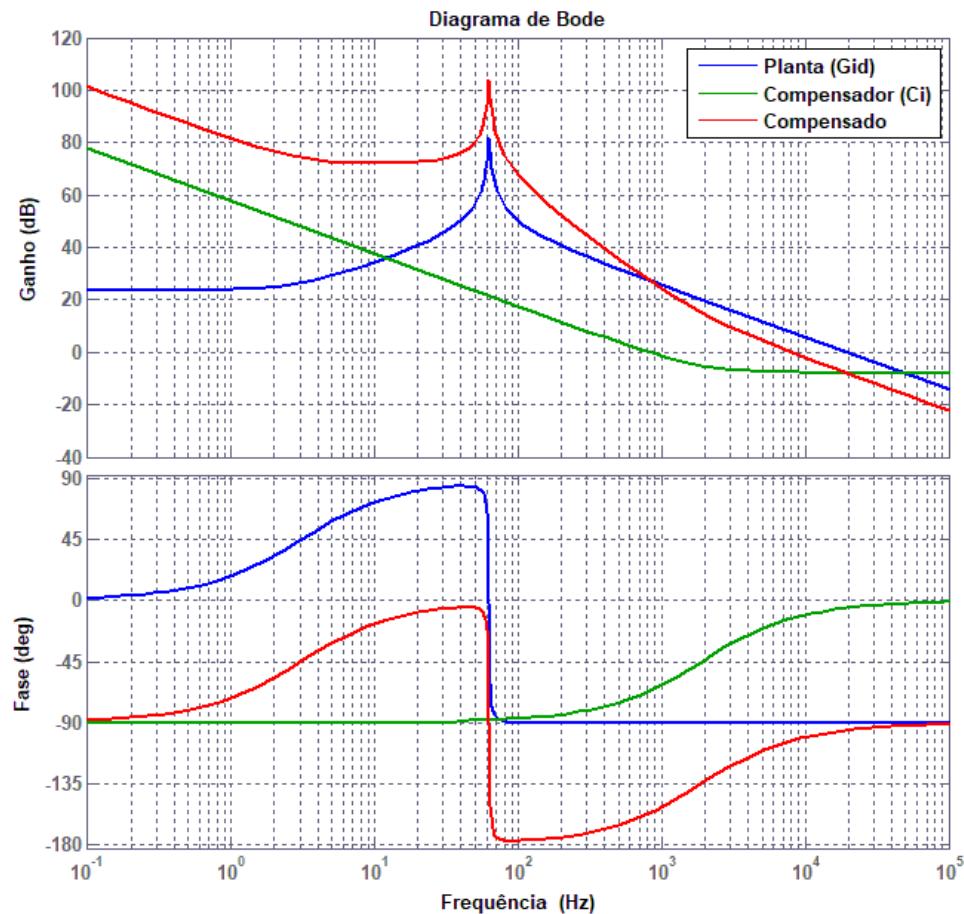
Para o correto controle da corrente, desenvolveu-se um controlador Proporcional Integral (PI) inserindo-se um polo na origem (integrador) e em seguida o zero do controlador de maneira que o lugar das raízes permitisse uma resposta mais rápida. Em seguida, foi definido o ganho para determinar o local do polo de malha fechada. O controlador é apresentado em (4.70).



$$C_i(s) = 0,4 \frac{s + 11900}{s} \quad (4.70)$$

Os diagramas de Bode de ganho e de fase obtidos a partir da função de transferência da planta, do controlador PI e da malha de corrente compensada são apresentados na Figura 4.6.

Figura 4.6 - Diagrama de Bode - Malha Interna.



Uma vez determinado o controlador de corrente (C_i), é possível determinar a função de transferência de malha fechada de corrente, dada por:

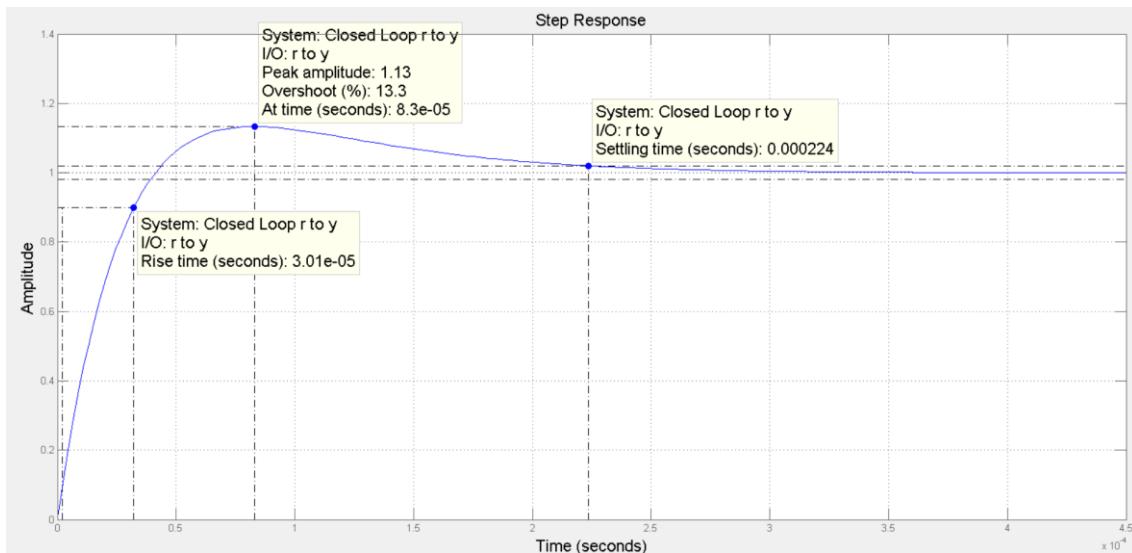
$$\hat{G}_i(s) = \frac{C_i(s) * \hat{G}_{id}(s)}{1 + C_i(s) * \hat{G}_{id}(s)} \quad (4.71)$$



A Figura 4.7 apresenta a resposta da malha de corrente ao degrau. É possível verificar que a resposta apresentou tempo de subida de 30,1 μ s, ultrapassagem de 13,3% e tempo de assentamento de 0,224 ms.

16,6 ms

Figura 4.7 - Resposta da malha de corrente ao degrau.



4.4.2. Projeto do controlador de tensão

A malha externa de tensão é responsável por ajustar o nível da tensão de saída CC para valores próximos aos limites preestabelecidos e, além disso, promover uma rápida resposta do sistema em caso de perturbações na carga ou na rede de alimentação.

Por meio de (4.69) e (4.71), determina-se a função de transferência de malha aberta da tensão, que é dada por:

$$\hat{G}_{v_aberta}(s) = \hat{G}_{vi}(s) * \hat{G}_i(s) \quad (4.72)$$

Utilizando a ferramenta *Sisotool* do software *Matlab*, obteve-se os diagramas de Bode e o lugar das raízes para a malha de tensão não compensada e projetou-se um controlador Proporcional Integral (PI) para o controle da tensão.

O controlador foi projetado com a inserção de um polo na origem (integrador) e um zero de modo a permitir que a resposta da malha externa de tensão seja mais lenta que a resposta da malha interna de corrente. O ganho do controlador foi ajustado de forma a

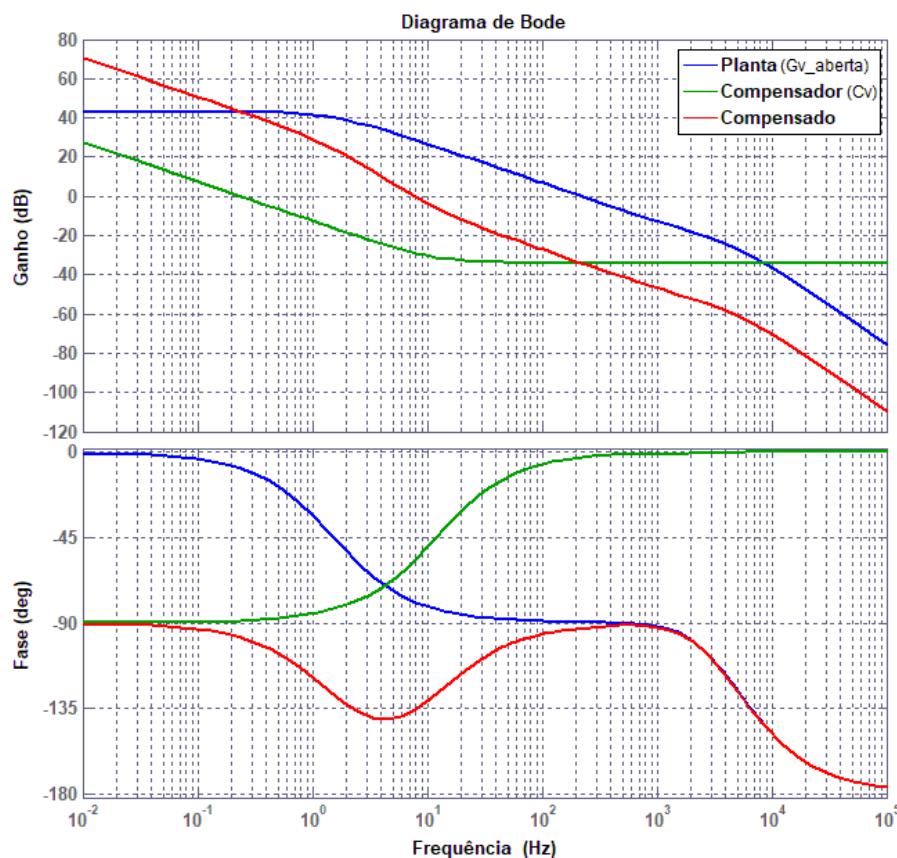


manter a margem de fase em torno de 50 graus e a frequência de cruzamento limitada a $\frac{1}{4}$ da frequência da rede, conforme abordado em (SILVA, 2011). O controlador projetado é apresentado em (4.73).

$$C_v(s) = 0,02 \frac{s + 75}{s} \quad (4.73)$$

Os diagramas de Bode de ganho e de fase obtidos a partir da função de transferência da planta, do controlador PI e da malha de tensão compensada são apresentados na Figura 4.8.

Figura 4.8 - Diagrama de Bode - Malha Externa.

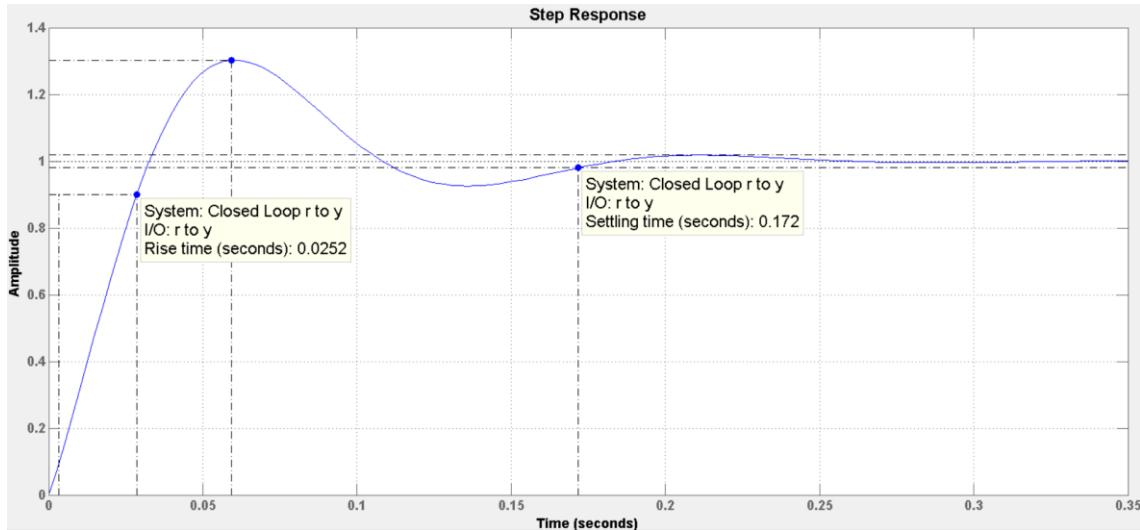


A Figura 4.9 apresenta a resposta da malha de tensão ao degrau. É possível verificar que a resposta apresentou tempo de subida de 25,2 ms, ultrapassagem de



aproximadamente 30% e tempo de assentamento de 0,172 ms, cerca de 75 vezes mais lento que a resposta da malha interna de corrente.

Figura 4.9 - Resposta da malha de tensão ao degrau.



4.5. Considerações Finais

Neste capítulo foi realizado o desenvolvimento da modelagem em espaço de estados do circuito analisado, mostrando passo a passo a obtenção das matrizes de sistema e de entrada para cada subcircuito resultante dos diferentes intervalos de operação. Com as matrizes obtidas, foi realizado o modelo médio em espaço de estados e, em seguida, a linearização do sistema de equações ao redor do ponto quiescente de operação. Por fim, foram apresentadas as funções de transferência que relacionam as variáveis do circuito que serão utilizadas no projeto dos controladores do sistema.

A estratégia de controle responsável por manter a tensão CC de saída no nível preestabelecido e ajustar a corrente de entrada drenada da rede foi apresentada, bem como o diagrama de blocos da técnica de controle empregada, que facilita a visualização das interações necessárias entre os sinais monitorados e os controladores para a obtenção dos sinais enviados para os interruptores que atuarão no chaveamento do circuito de potência.



5. RESULTADOS COMPUTACIONAIS

5.1. Considerações Iniciais

Visando a comprovação dos conceitos apresentados no trabalho, foram realizadas simulações no programa PSIM do conversor CA-CC *boost* entrelaçado sem ponte de diodos bem como seu estágio de controle. É importante ressaltar que no circuito de simulação não foi utilizado nenhum tipo de controlador PLL (*Phase Locked Loop*), uma vez que é possível ter total controle sobre a tensão de alimentação no ambiente computacional.

Por fim, é apresentado dados referentes às perdas nos semicondutores presentes no circuito analisado, bem como uma comparação entre as perdas em semicondutores apresentadas por diferentes topologias *boost*.

5.2. Parâmetros Nominais do Projeto

Os valores nominais de projeto, apresentados na Tabela 3, serão utilizados para o dimensionamento dos componentes do circuito analisado. Os cálculos serão feitos tendo como base as equações definidas no Capítulo 3.

Tabela 3 - Parâmetros nominais de projeto.

| Símbolo | Significado | Valor |
|----------------------|----------------------------------|-----------|
| P_o | Potência de saída | 1000 W |
| N | Número de células | 2 |
| V_o | Tensão de saída | 400 V |
| V_{in} | Tensão eficaz de entrada | 220 V |
| ω | Frequência angular da rede | 377 rad/s |
| f_s | Frequência de comutação | 30 kHz |
| ΔV_C | <i>Ripple</i> máximo de tensão | 10 V |
| ΔI_{in_max} | <i>Ripple</i> máximo de corrente | 0,4 A |



5.3.Resultados de Simulação Computacional

Inicialmente, foi utilizado o *software* PSIM para montar os circuitos de potência e controle apresentados na Figura 5.1 e na Figura 5.2, respectivamente. Uma vez obtidas e verificadas as formas de onda de corrente e tensão dos diversos elementos do circuito, substituiu-se o circuito de controle pelo circuito apresentado na Figura 5.3, o qual utiliza o componente ‘C BLOCK’, e permite que a estratégia de controle seja implementada via código, utilizando a linguagem C. Essa alteração facilita uma possível embarcação do código de controle em uma estrutura DSP (*Digital Signal Processor*). O código implementado para o controle do circuito é apresentado no Apêndice A.

Figura 5.1 - Circuito de Potência montado no PSIM.

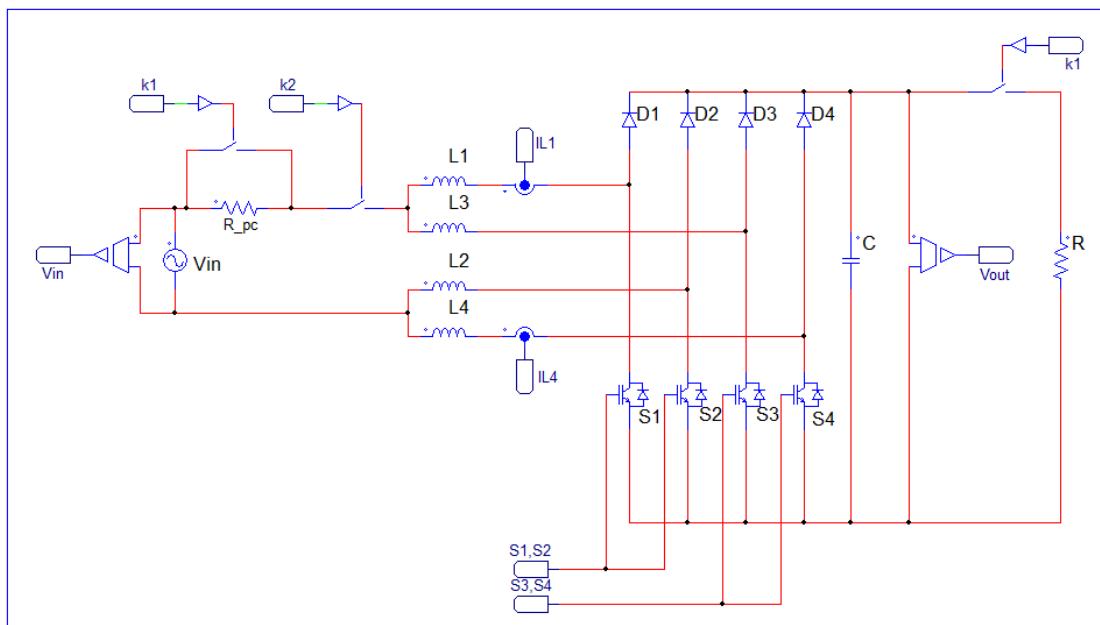




Figura 5.2 - Circuito de Controle montado no PSIM.

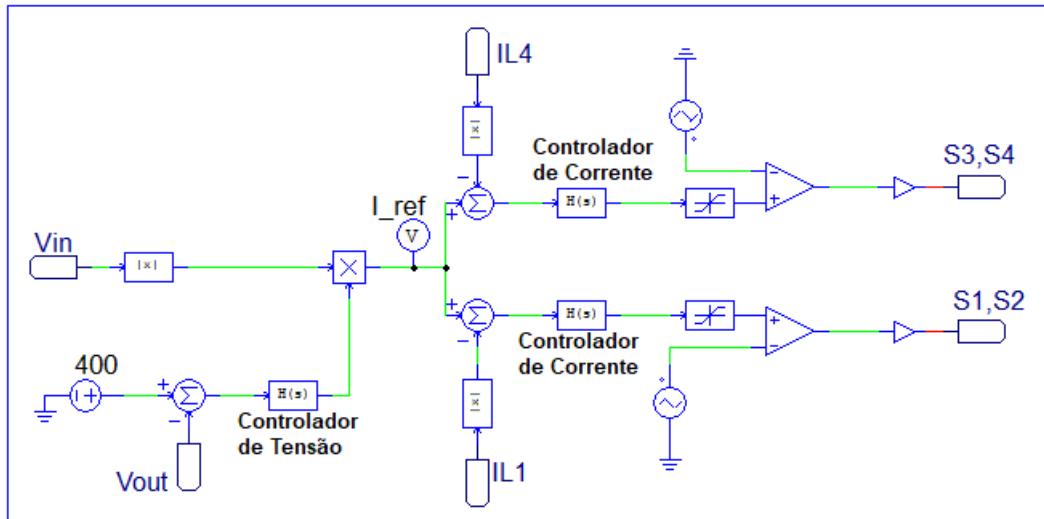
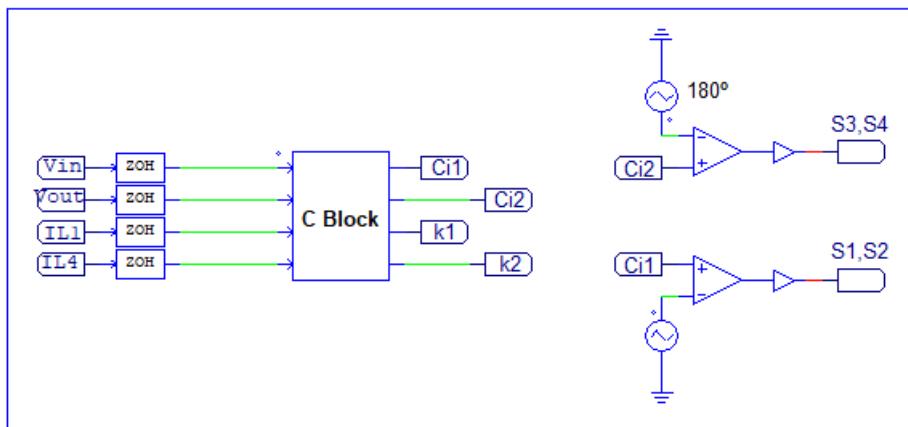


Figura 5.3 - Circuito de Controle montado utilizando C Block.

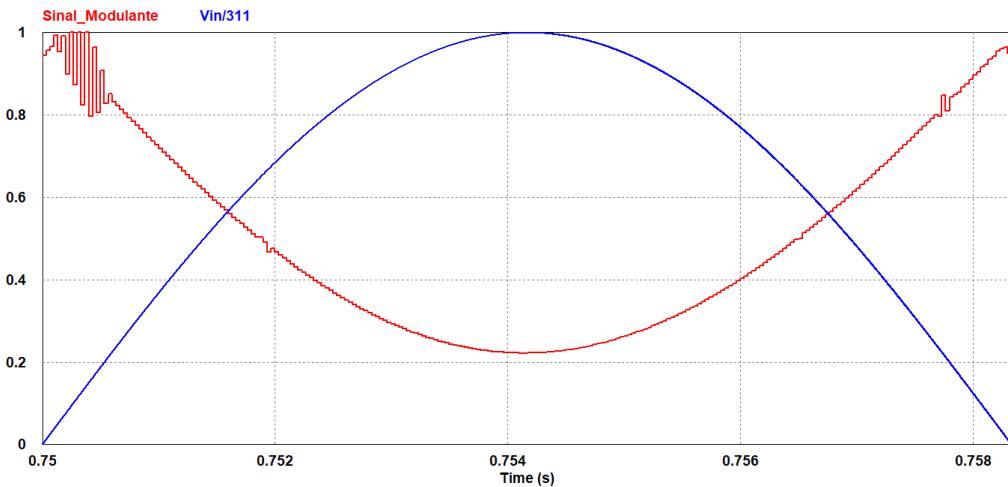


5.3.1. Modulação por largura de pulso (PWM)

As chaves semicondutoras são controladas por meio dos sinais PWM obtidos através da comparação entre os sinais da portadora triangular e do sinal modulante. O valor da razão cíclica é definido pelo valor instantâneo do sinal modulante, enquanto a frequência de chaveamento é definida pela frequência da portadora. Como o controle do conversor é feito através de razão cíclica variável, o sinal modulante do PWM varia durante o semiciclo da rede, sendo apresentado na Figura 5.4, juntamente com a tensão de entrada normalizada.

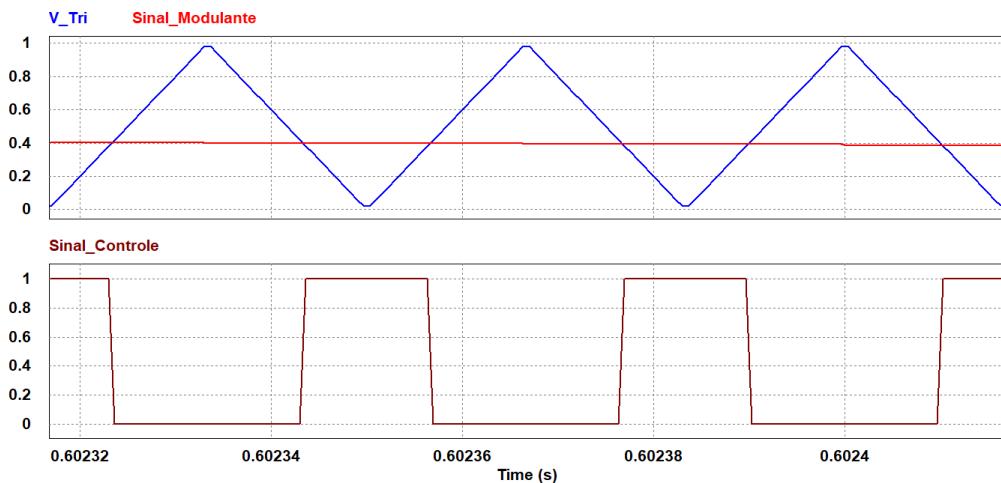


Figura 5.4 - Sinal modulante em um semiciclo da rede.



Pela Figura 5.4 é possível verificar que a razão cíclica varia de acordo com a fase da tensão de alimentação, visando diminuir a distorção de baixa ordem existente na corrente de entrada. A Figura 5.5 mostra os sinais integrantes do PWM considerando um intervalo menor de tempo para que seja possível visualizar a comparação entre o sinal modulante e o sinal triangular, bem como o sinal de controle resultante desta comparação.

Figura 5.5 - Modulação por largura de pulso (PWM) em plena carga.





5.3.2. Pré carga do capacitor e entrada de carga no sistema

A lógica de controle dos contatores implementada (Apêndice A) garante que o capacitor de saída seja carregado até o nível estabelecido antes de inserir a carga ao sistema. Além disso, foi definido um valor inicial para a razão cíclica durante todo o período de pré-carga. Essa estratégia visa reduzir os picos de corrente na energização do sistema.

A Figura 5.6 apresenta o valor de pico da corrente de entrada (I_{in}) e da corrente que passa pelo interruptor 1 (I_{S1}) no instante de energização do sistema, bem como seus respectivos valores de pico para o sistema operando em plena carga. A Figura 5.7 mostra o tempo necessário para completar a carga do capacitor de saída do circuito. Os valores são plotados em função da resistência de pré-carga, variando de 5 a 60 ohm.

Observa-se pela Figura 5.6 que a corrente de entrada e a corrente que passa pelo interruptor 1 apresentam picos elevados na energização do circuito para baixos valores de resistência de pré-carga.

Assim, foi definido o valor da resistência de pré-carga em 45Ω , uma vez que essa resistência proporciona uma energização do circuito sem elevados picos de corrente, mantendo a corrente de entrada e a corrente que passa no interruptor 1 abaixo de seus respectivos valores de pico observados em operação do sistema a plena carga. O tempo de carga para a resistência escolhida foi de 328 ms.

A Figura 5.8 ilustra a dinâmica da tensão sobre o capacitor (V_C), a tensão de saída (V_{out}) e a corrente de entrada (I_{in}) desde a energização do sistema até a retirada da resistência de pré-carga.

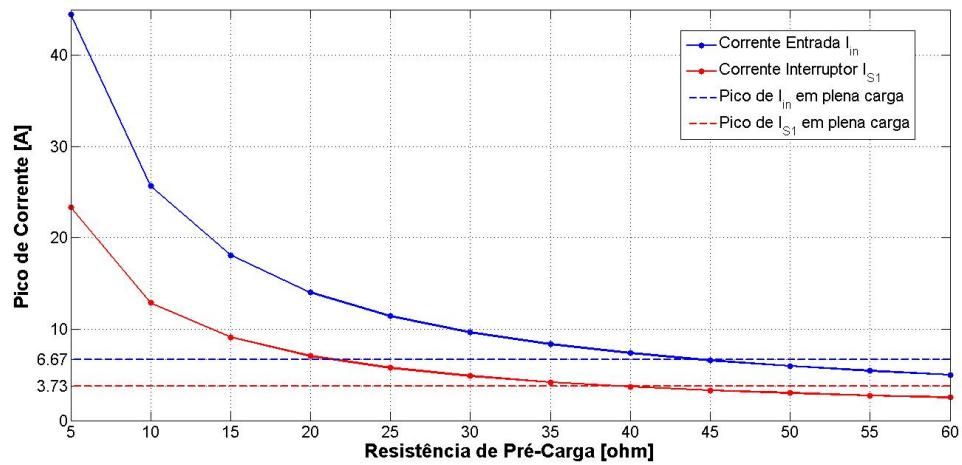
Figura 5.6 - Pico da corrente na energização em função da resistência de pré-carga (R_{pc}).

Figura 5.7 - Tempo de carga do capacitor em função da resistência de pré-carga.

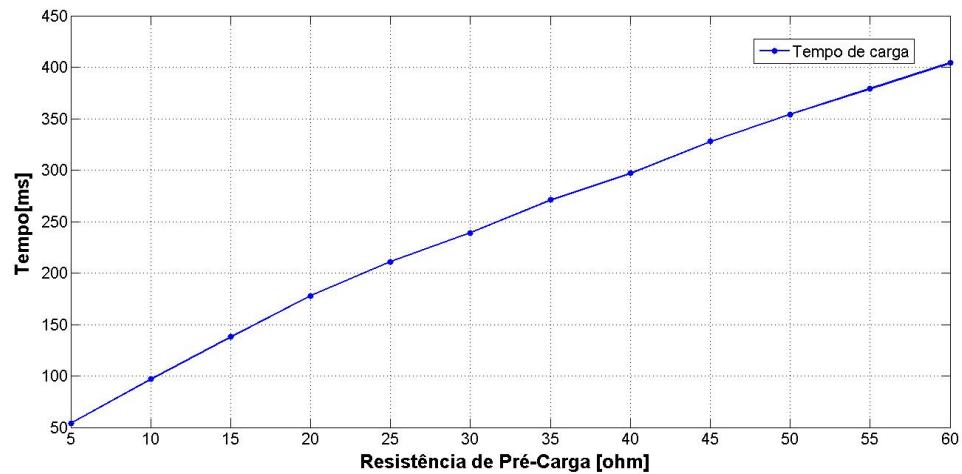
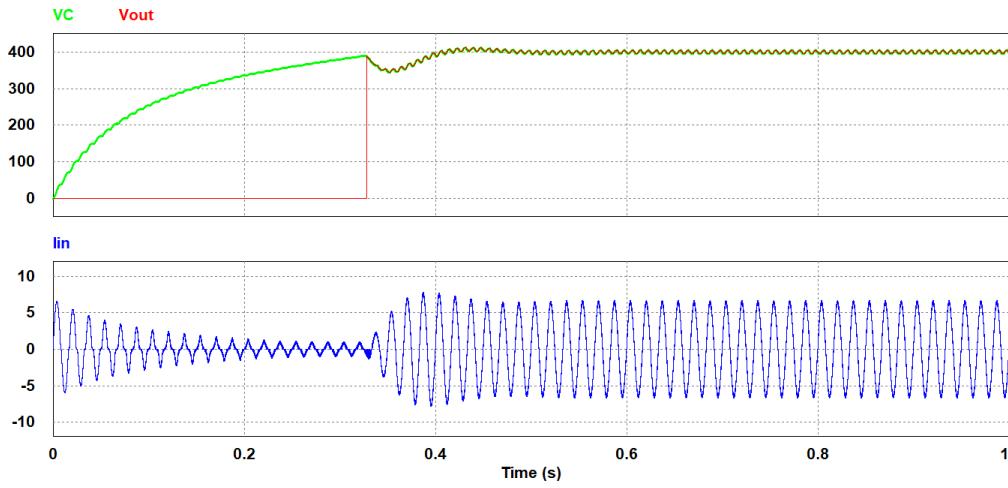




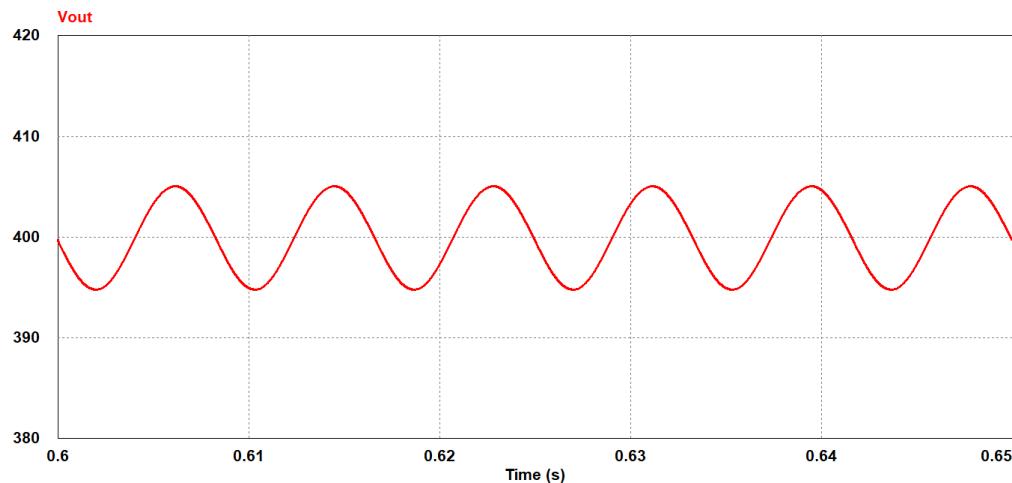
Figura 5.8 - Tensão sobre o capacitor, tensão de saída e corrente de entrada durante a pré-carga do capacitor.



5.3.3. Tensão de saída na carga

A Figura 5.9 apresenta a tensão de saída nominal na carga, a qual permanece em 400 V em regime permanente. Como pode-se observar, o *ripple* de tensão apresentado é de aproximadamente 10 volts, conforme especificação de projeto utilizado no cálculo do capacitor do circuito em (3.39).

Figura 5.9 - Tensão de saída na carga.

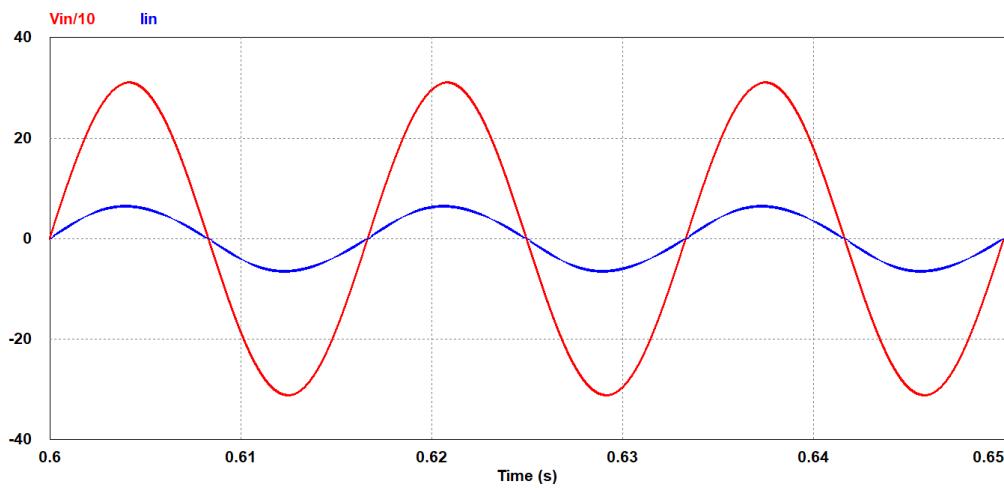




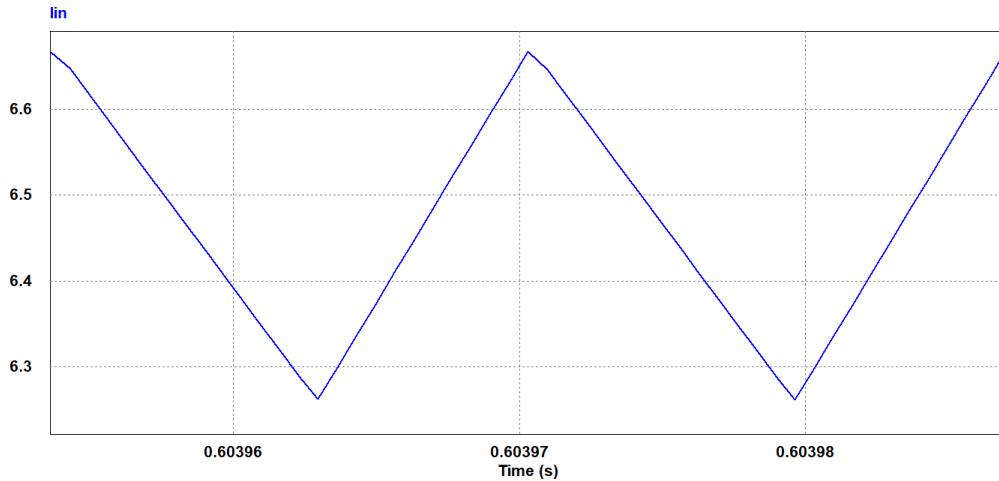
5.3.4. Corrente de entrada

A Figura 5.10 mostra a tensão de entrada e a corrente de entrada drenada da rede. Como observa-se na figura, a corrente drenada da rede possui forma de onda senoidal em fase com a tensão de entrada, apresentando fator de potência de 0,99.

Figura 5.10 – Tensão (escala 1:10) e corrente de entrada.



A Figura 5.11 mostra o detalhe do *ripple* máximo apresentado pela corrente de entrada. Como se observa, o *ripple* é aproximadamente de 0,4 A, conforme especificação de projeto utilizado no cálculo dos indutores do circuito em (3.51).

Figura 5.11 - Detalhe do *ripple* da corrente de entrada.

Outra maneira de verificar a qualidade da corrente de entrada é através da distorção harmônica. Utilizando o *software* MATLAB obteve-se o índice de distorção harmônica de corrente (DHI) apresentado pela corrente, bem como seu conteúdo harmônico até a 25^a ordem harmônica, o qual foi comparado com os padrões estabelecidos pela norma IEC 61000-3-2. O conversor analisado enquadra-se na classe D da norma citada.

A Figura 5.12 mostra um ciclo da corrente drenada da rede e a Figura 5.13 mostra os resultados harmônicos obtidos em relação à norma.

Figura 5.12 - Corrente de entrada drenada da rede.

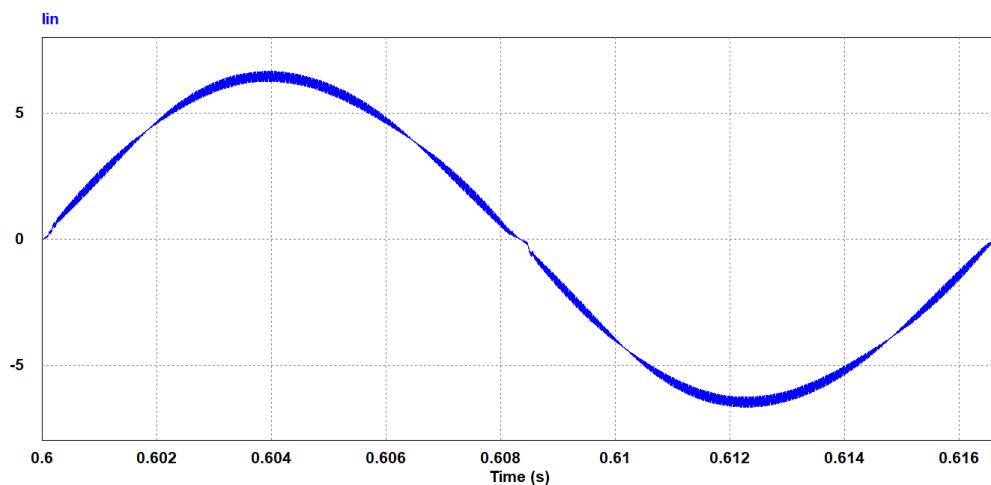
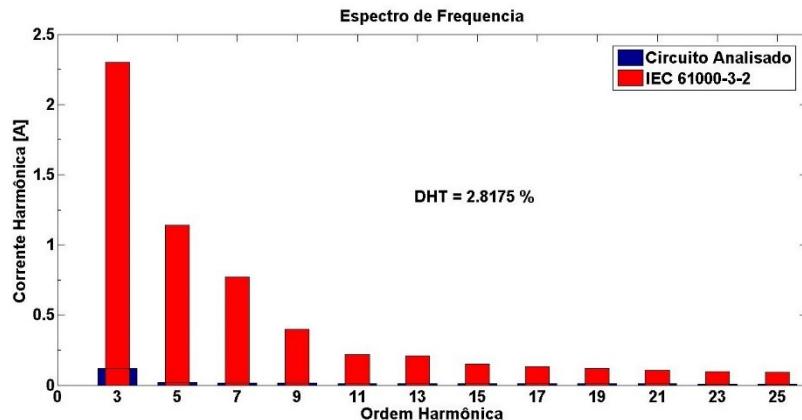




Figura 5.13 - Componentes harmônicas da corrente de entrada.

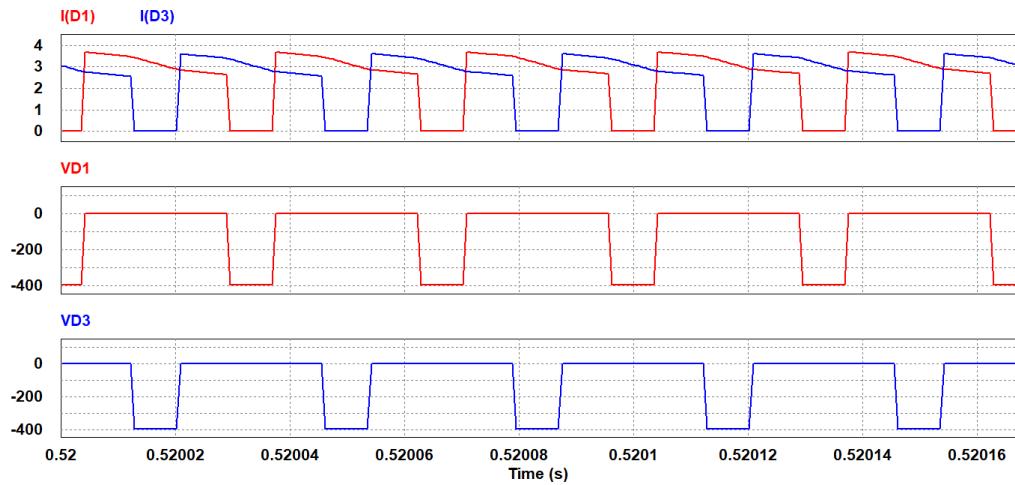
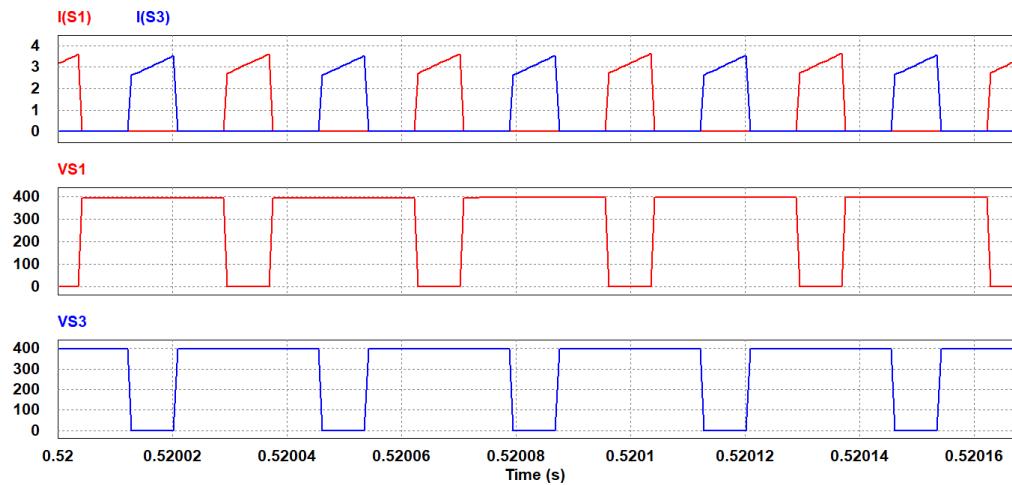


Como observa-se nas figuras acima, a corrente drenada apresenta baixa ondulação de alta frequência devido à técnica de entrelaçamento de células e nível de distorção harmônica total de 2,8175%, abaixo dos 5% estabelecido pela Norma IEC 61000-3-2. Além disso, comparando as componentes harmônicas com os valores estabelecidos pela norma, percebe-se que todos os harmônicos ímpares individuais estão de acordo e bem abaixo dos limites da norma citada.

5.3.5. Corrente e tensão nos diodos e interruptores

As formas de onda de tensão e corrente nos diodos e interruptores são apresentadas durante o semiciclo positivo da rede no instante em que a tensão de entrada está em seu valor máximo, ou seja, o sistema está operando com razão cíclica menor que meio.

A Figura 5.14 mostra as correntes que passam pelos diodos D_1 e D_3 bem como as tensões sobre esses elementos. A Figura 5.15 mostra as correntes que passam pelos interruptores S_1 e S_3 e as tensões sobre esses elementos. Como é característico em topologias que empregam a técnica de entrelaçamento de duas células *boost*, os sinais mostrados apresentam defasamento de 180° entre si.

Figura 5.14 - Corrente instantânea através dos diodos D_1 e D_3 .Figura 5.15 - Corrente instantânea através dos interruptores S_1 e S_3 

5.3.6. Transitório de Carga e Distúrbio na Tensão de Alimentação

A fim de verificar a resposta dinâmica do sistema e comprovar a eficácia da técnica de controle empregada, foram realizadas simulações com perturbações abruptas na potência nominal, através da variação da resistência de carga, avaliando o tempo necessário para o circuito de controle reestabelecer os valores nominais de funcionamento do sistema. Além disso, o sistema de controle foi testado para condições de afundamentos momentâneos da tensão de alimentação de entrada (SAGs).



Degrau de carga de 50% para 100% da potência

A Figura 5.16 e a Figura 5.17 mostram, respectivamente, a tensão de saída e a resposta do controlador de tensão diante uma variação de 100% da resistência de carga nominal, ou seja, um degrau de carga de 50% para 100% da potência nominal do sistema que ocorre no instante $t=0,6\text{s}$.

Figura 5.16 - Tensão de saída para degrau de carga de 50% para 100% da potência nominal.

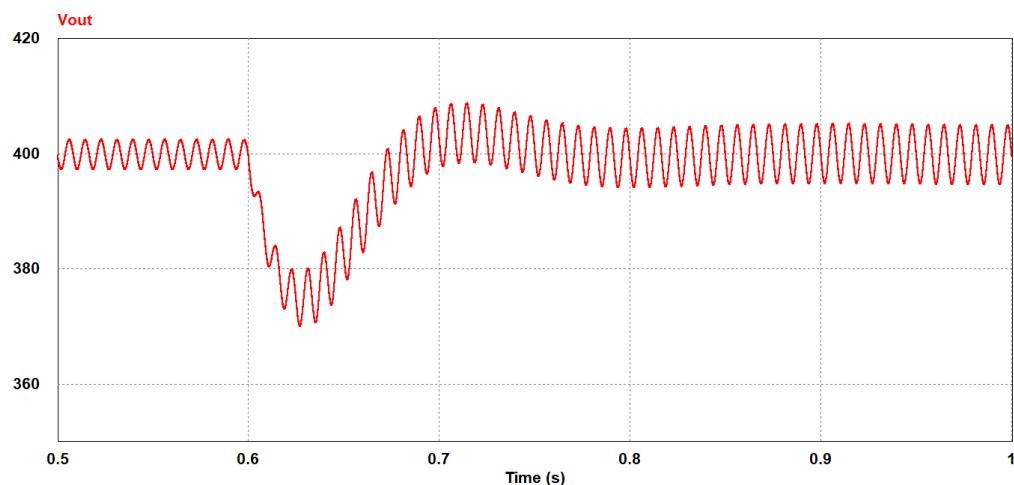
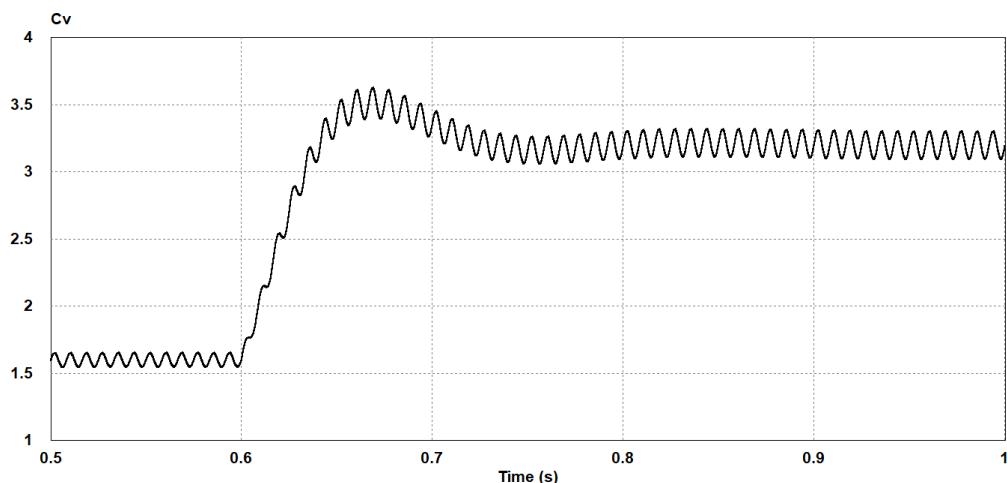


Figura 5.17 - Resposta do controlador de tensão ao degrau de carga de 50% para 100% da potência nominal.





Como se observa nas figuras acima, a tensão de saída tende a cair com o aumento da potência do sistema, sofrendo uma redução de 30V. O controlador reestabelece a tensão ao seu valor nominal em aproximadamente 150ms, valor muito próximo do observado na resposta ao degrau do controlador de tensão projetado e apresentado na Figura 4.9. Além disso, o *ripple* observado em potência nominal é maior que o *ripple* para metade da potência. Isso ocorre pois quanto menor é a resistência de carga, maior será o *ripple* na tensão de saída, como mostra a (3.49).

A Figura 5.18 e a Figura 5.19 mostram, respectivamente, a corrente drenada da rede e a resposta do controlador de corrente durante o degrau de carga de 50% para 100% da potência nominal. Como se pode observar, a corrente de entrada é mantida no formato senoidal e em fase com a tensão da rede. Além disso, o *ripple* de alta frequência da corrente de entrada não se altera com a mudança da potência de operação do sistema, como mostra a (3.36).

Figura 5.18 - Corrente de saída para degrau de carga de 50% para 100% da potência nominal

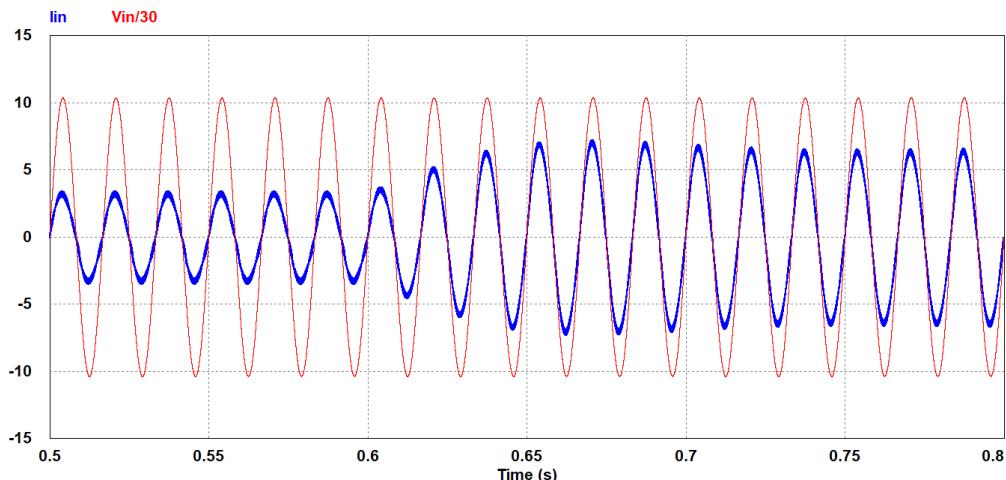
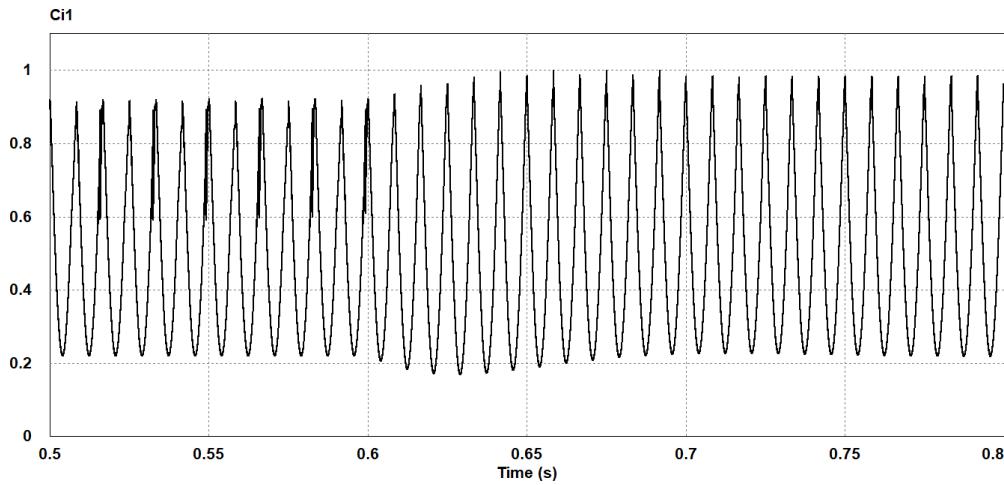




Figura 5.19 - Resposta do controlador de corrente ao degrau de carga de 50% para 100% da potência nominal.



Degrau de carga de 100% para 50% da potência

A Figura 5.20 e a Figura 5.21 mostram, respectivamente, a tensão de saída e a resposta do controlador de tensão diante um degrau de carga de 100% para 50% da potência nominal do sistema que ocorre no instante $t=0,6s$.

Figura 5.20 - Tensão de saída para degrau de carga de 100% para 50% da potência nominal.

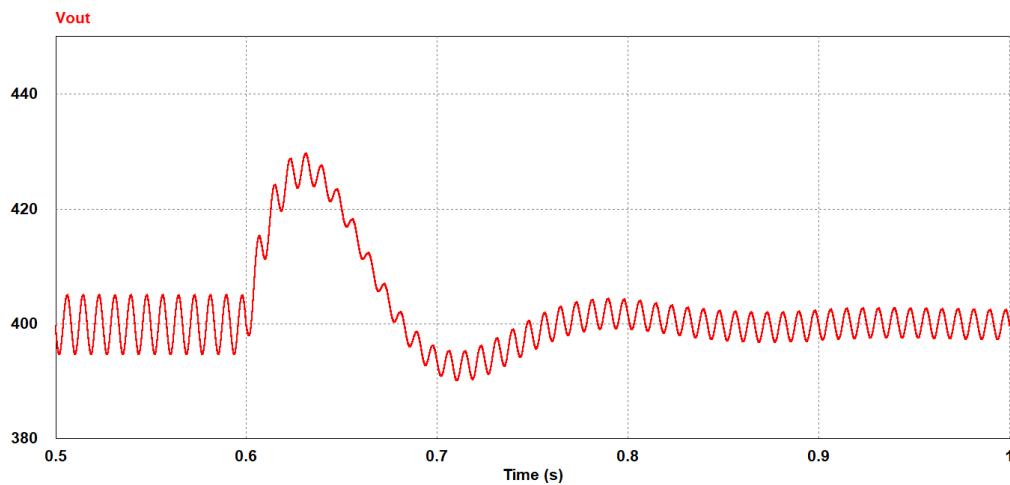
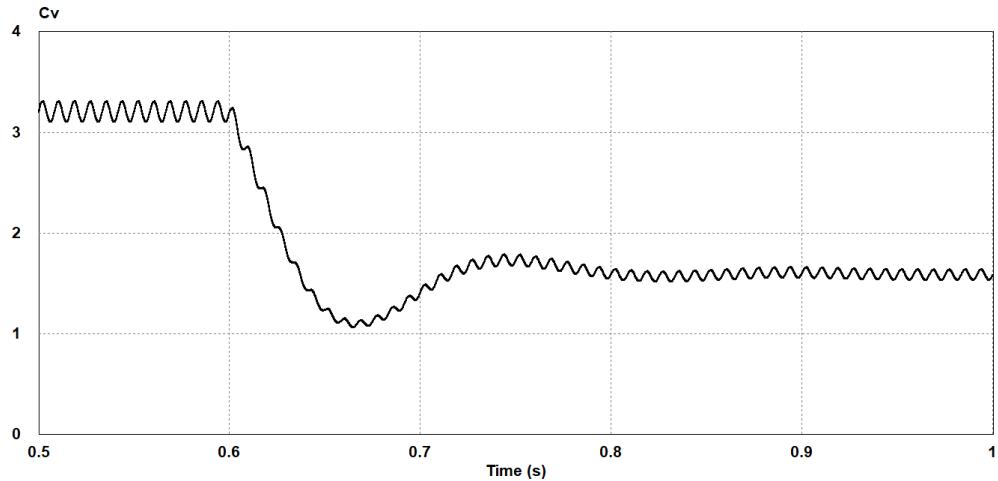




Figura 5.21 - Resposta do controlador de tensão ao degrau de carga de 100% para 50% da potência nominal.



Como se observa nas figuras acima, a tensão de saída tende a aumentar com a redução da potência do sistema, sofrendo um aumento de 30V. O controlador reestabelece a tensão ao seu valor nominal em aproximadamente 150ms. O *ripple* observado após o degrau de carga é menor, uma vez que a potência é reduzida para metade de seu valor nominal.

A Figura 5.22 e a Figura 5.23 mostram, respectivamente, a corrente drenada da rede e a resposta do controlador de corrente durante o degrau de carga de 100% para 50% da potência nominal. Observa-se que a corrente de entrada apresenta uma ligeira distorção nos primeiros ciclos após o degrau de carga, porém o controlador é capaz de ajustar o formato senoidal e manter a corrente em fase com a tensão da rede.



Figura 5.22 - Corrente de saída para degrau de carga de 100% para 50% da potência nominal.

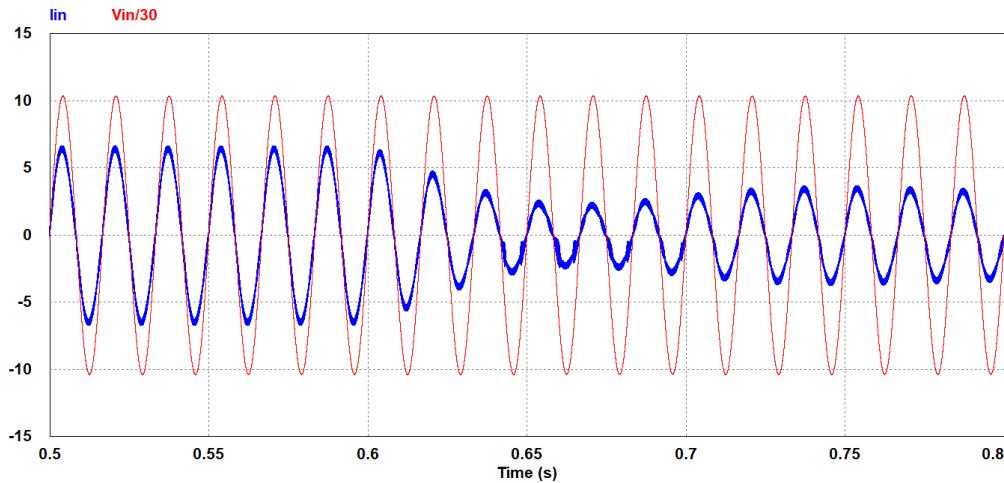
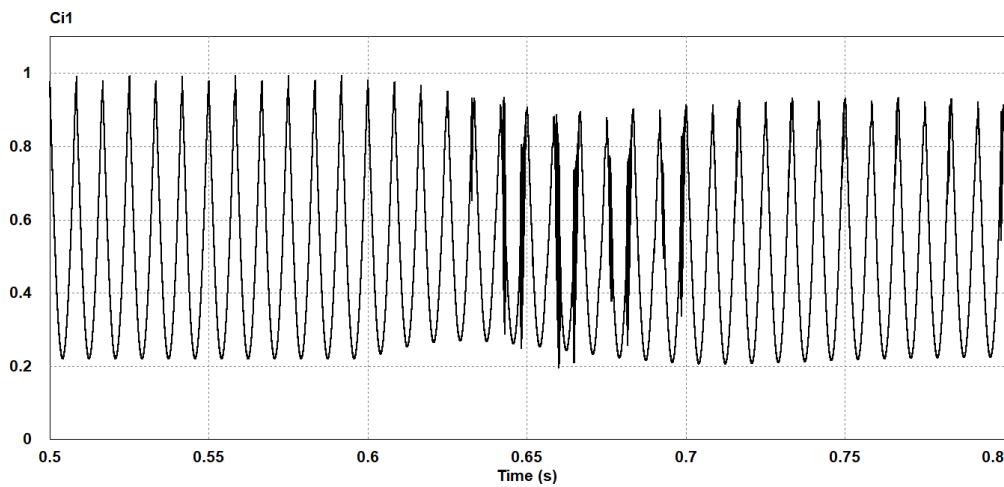


Figura 5.23 - Resposta do controlador de corrente ao degrau de carga de 100% para 50% da potência nominal.



Afundamento na tensão da rede elétrica de alimentação (SAG)

A simulação de afundamento momentâneo na tensão da rede elétrica de alimentação considerou o sistema inicialmente operando em condições nominais de carga em 220V eficaz. A partir do instante $t=0,5\text{s}$ foi simulado um afundamento de 20% na tensão de entrada, com duração de 15 ciclos da rede, ou seja, até o instante $t=0,75\text{ s}$.

A Figura 5.24 mostra o afundamento na tensão de alimentação e a resposta da tensão de saída diante tal afundamento. A Figura 5.25 mostra em detalhe a tensão de saída durante o distúrbio da rede e a Figura 5.26 mostra a resposta do controlador de tensão.



Figura 5.24 - Tensões de entrada e de saída durante distúrbio na tensão de entrada.

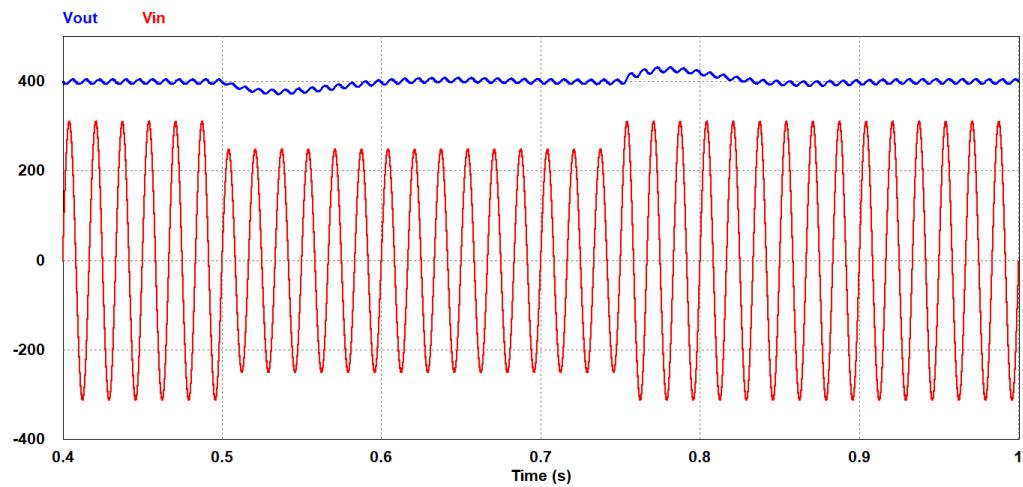


Figura 5.25 - Detalhe da tensão de saída durante distúrbio na tensão de entrada.

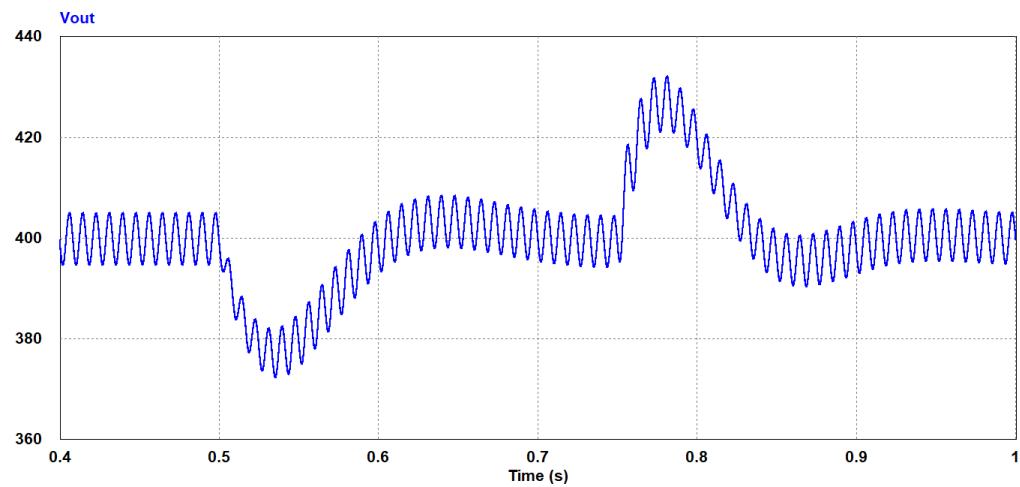
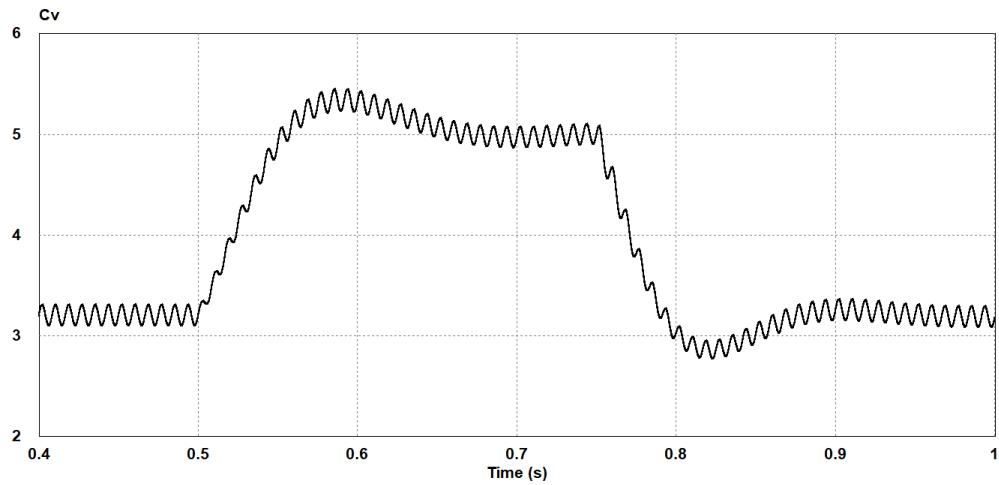




Figura 5.26 - Resposta do controlador de tensão ao distúrbio na tensão de entrada.



5.3.7. Qualidade da corrente em diferentes condições de carregamento

A Figura 5.27 ilustra a distorção harmônica de corrente (DHI) apresentada pela corrente de entrada para o sistema operando com 10% do carregamento nominal até a condição de plena carga. Como pode ser observado, a partir da condição de operação com 600W até a condição de plena carga, a corrente drenada da rede apresenta DHI menor que os 5% estabelecidos pela norma IEC 61000-3-2.

A Figura 5.28 apresenta o fator de potência para diferentes condições de carga, outro parâmetro importante no que se refere à qualidade da corrente de entrada. Como pode ser visto, o sistema apresentou fator de potência maior que 0.99 a partir da condição de operação com 400W até a condição de plena carga.



Figura 5.27 – Distorção harmônica de corrente para diferentes condições de carregamento.

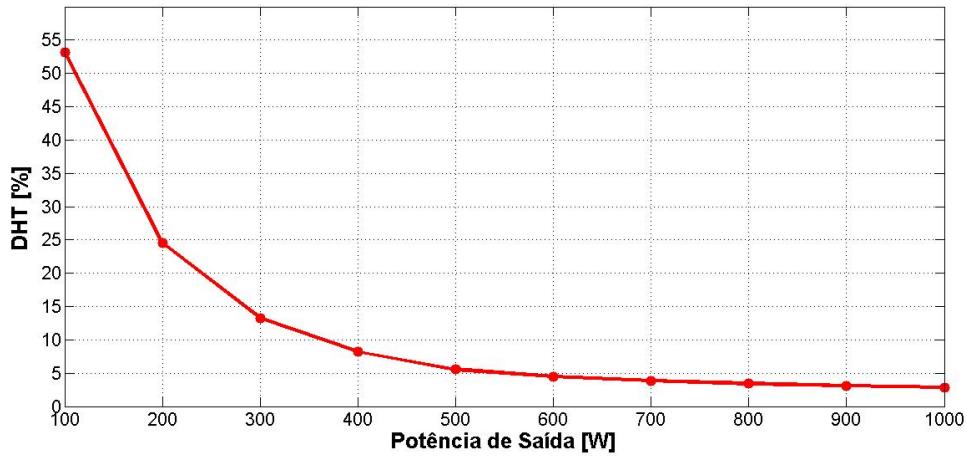
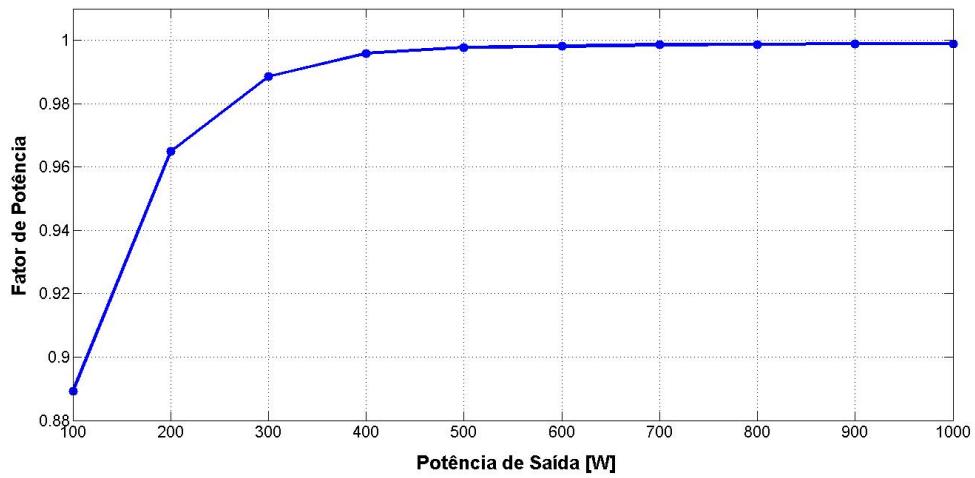


Figura 5.28 - Fator de Potência para diferentes condições de carregamento.



5.3.8. Perdas nos semicondutores

Com o propósito de estimar a distribuição de perdas nos semicondutores presentes no circuito analisado, foram utilizados componentes da biblioteca “*Thermal Module*” do software PSIM. Os componentes dessa biblioteca possibilitam a entrada de dados específicos retirados de seus respectivos *datasheets*.

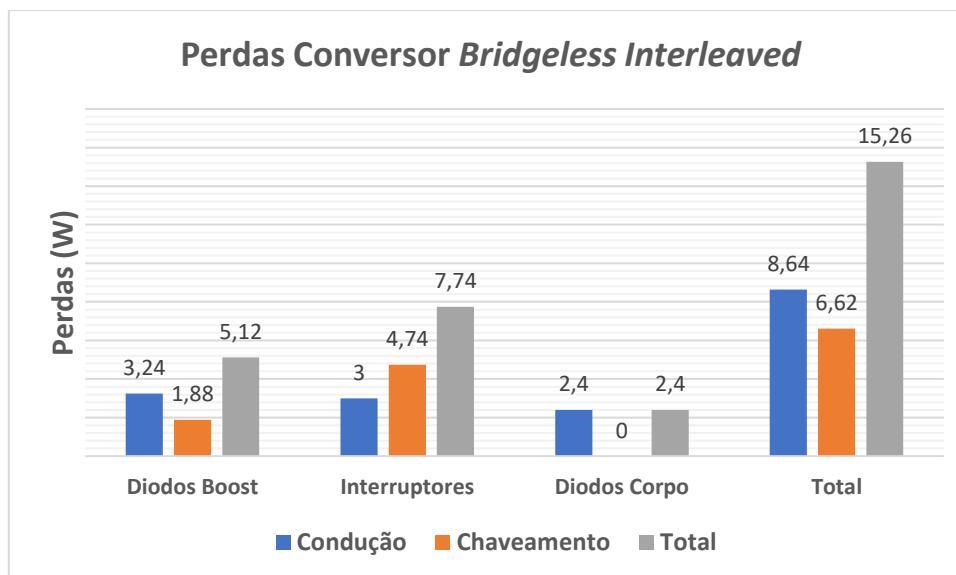
Com a função “*Device Database Editor*” é possível capturar as curvas características de qualquer diodo, MOSFET ou IGBT, e adicionar esses parâmetros ao banco de dados do software, possibilitando assim o cálculo de perdas por condução, perdas por chaveamento, além de alterações na temperatura do componente. A utilização



dessa função, bem como algumas formas de ondas características das perdas nos semicondutores são apresentadas no Apêndice B.

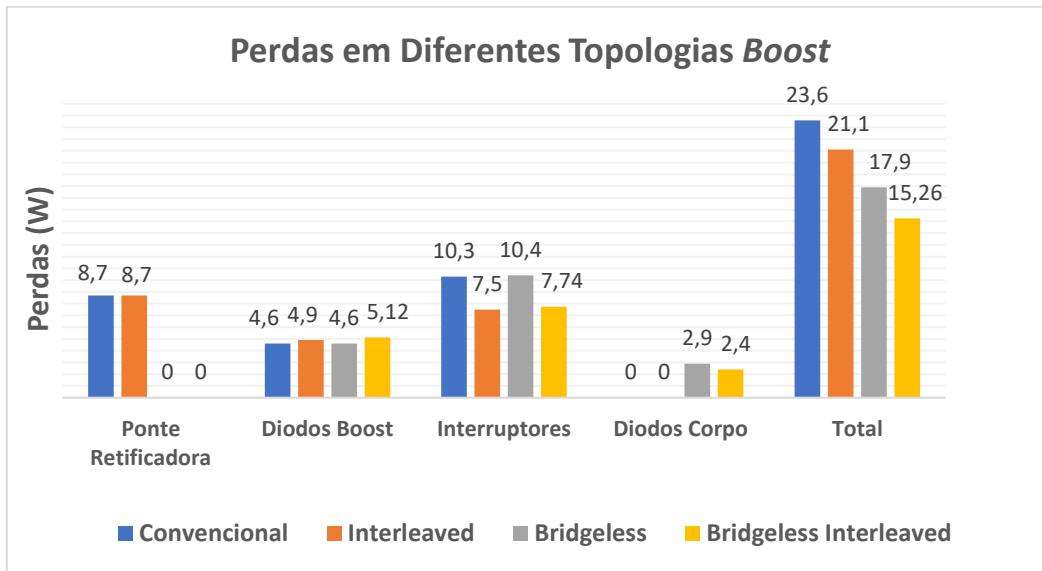
A Figura 5.29 mostra as perdas apresentadas pelos semicondutores do conversor CA-CC *boost* entrelaçado sem ponte de diodos. Os valores obtidos estão separados em perdas por condução, perdas por chaveamento e perdas totais, para cada conjunto de semicondutor.

Figura 5.29 - Perdas nos semicondutores do circuito analisado.



Com o intuito de comparar as perdas apresentadas pelos semicondutores utilizados em diferentes topologias do conversor CA-CC *boost*, foram feitas simulações de quatro estruturas diferentes, o conversor *boost* convencional, o conversor *boost* que emprega a técnica de entrelaçamento de células, o conversor *boost bridgeless* e, por fim, a topologia analisada no trabalho, que emprega a técnica de entrelaçamento juntamente com a técnica *bridgeless*.

A Figura 5.30 mostra as perdas obtidas em cada uma das topologias citadas, separadas por cada conjunto de semicondutores, e as perdas totais de cada estrutura. As perdas por chaveamento observadas nos diodos da ponte retificadora foram praticamente nulas, uma vez que a comutação ocorre no momento da inversão da tensão de entrada, ou seja, no momento em que a tensão é nula.

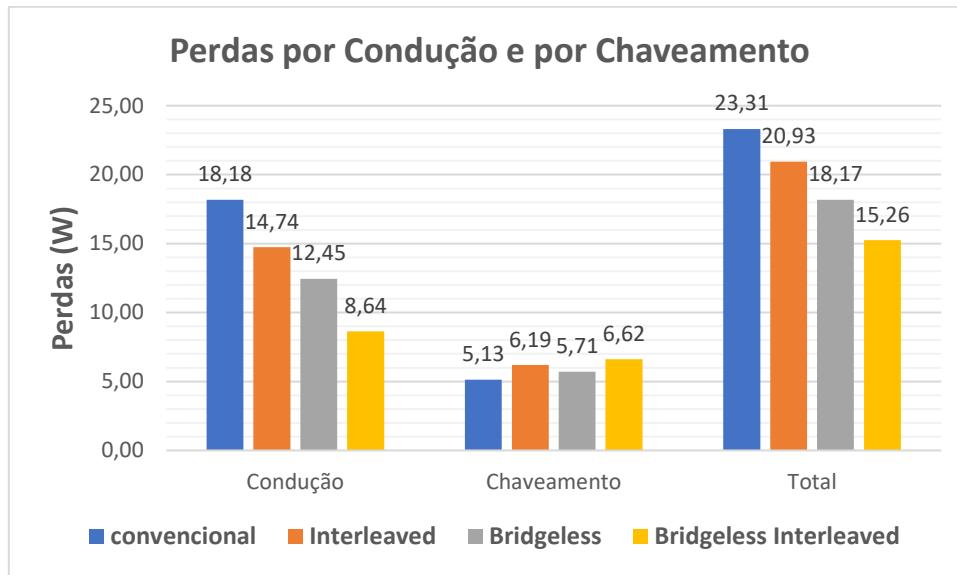
Figura 5.30 - Perdas nos semicondutores para diferentes topologias *boost*.

É possível notar que a ponte retificadora de diodos é responsável por uma elevada parcela das perdas totais das estruturas convencional e *interleaved*. As perdas nos interruptores são consideravelmente menores nas topologias que utilizam a técnica de entrelaçamento de células conversoras. Além disso, observa-se uma perda adicional nos diodos de corpo nas topologias *bridgeless* e *bridgeless interleaved*. Contudo, como a ponte retificadora foi eliminada nessas duas topologias, elas ainda apresentam perdas totais menores que as demais topologias.

A Figura 5.31 mostra as perdas por condução e por chaveamento apresentadas por cada topologia *boost*. Observa-se que a topologia *interleaved* apresenta redução das perdas por condução em relação à topologia convencional. Isso ocorre porque a corrente que percorre cada semicondutor é reduzida, uma vez que nas topologias *interleaved* a potência total processada é dividida entre as células conversoras. Por outro lado, a topologia *bridgeless* apresenta menores perdas por condução do que a *interleaved*, uma vez que, com a eliminação da ponte retificadora, o número máximo de semicondutores que conduzem simultaneamente é reduzido. Já na topologia *bridgeless interleaved* analisada as perdas por condução são ainda menores que nas demais, devido à combinação da técnica *interleaved* com a eliminação da ponte retificadora.



Figura 5.31 - Perdas por condução e por chaveamento.



5.4. Considerações Finais

Neste capítulo foi apresentado o projeto dos elementos do estágio de potência, bem como do estágio de controle, tendo como base os valores nominais de projeto.

Os resultados obtidos das simulações comprovaram a validade dos conceitos apresentados e da modelagem desenvolvida para o conversor operando em MCC, bem como a eficácia do controle projetado, uma vez que foram simuladas situações de distúrbios com variações de 50% na carga e afundamentos na tensão de entrada da rede (SAG).

A corrente drenada da rede e suas harmônicas foram comparadas, até o 25º harmônico, com os padrões estabelecidos pela norma IEC 61000-3-2 e foi verificado que o conversor analisado passa em todos os critérios da referida norma no que se refere à qualidade da corrente, apresentando DHI de 2,8175%. Além disso, o fator de potência obtido foi de 0,99.

Por fim, foi desenvolvido um estudo referente às perdas apresentadas pelos semicondutores do conversor analisado, bem como uma comparação com as perdas nos semicondutores para diferentes topologias de conversores *boost*.



6. CONCLUSÕES GERAIS

Neste trabalho foram realizadas a análise de funcionamento, a modelagem, o dimensionamento dos componentes, o projeto do estágio de potência e de controle e a simulação de um conversor CA-CC monofásico *boost*, que emprega a técnica de entrelaçamento multicelular e não utiliza a ponte retificadora de diodos, e realiza a correção ativa do fator de potência, operando em modo de condução contínua e controlado por corrente média. O conversor analisado tem como propósitos principais:

- Regular a tensão de saída CC, mantendo-a em nível preestabelecido e com boa dinâmica na resposta transitória;
- Realizar a correção ativa do fator de potência, atuando para que a corrente drenada da rede apresente forma senoidal e permanece em fase com a tensão de entrada;
- Melhorar a qualidade da energia por meio da redução da distorção harmônica da corrente drenada.

Inicialmente foi apresentado os conceitos relacionados aos conversores CA-CC utilizados na correção ativa do fator de potência, bem como as principais topologias empregadas atualmente. Também foi abordado sobre os modos de operação de tais conversores em relação à corrente que percorre os indutores, sobre a técnica de entrelaçamento multicelular, sobre as topologias de conversores *boost* da família *bridgeless* e, por fim, a respeito dos métodos de controle por corrente mais conhecidos na literatura.

No capítulo 3 foi apresentada a topologia analisada no trabalho, mostrando detalhadamente o princípio de funcionamento e as etapas de operação do conversor, as quais estão diretamente relacionadas à razão cíclica. A razão cíclica, por sua vez, varia ao longo do semiciclo da tensão de entrada da rede, sendo necessário analisar o funcionamento do circuito tanto para $D > 0,5$, quanto para $D < 0,5$. Foram desenvolvidas as equações de tensão sobre os indutores e de corrente que passa pelo capacitor, as quais foram posteriormente utilizadas no equacionamento para dimensionar o circuito de potência.



No capítulo 4 foi realizada a modelagem matemática do conversor por meio do modelo médio linearizado em espaço de estados. Foi apresentado passo a passo as etapas para a obtenção das matrizes características, as quais permitem a representação das funções de transferência do sistema. Além disso, foi feita uma abordagem sobre a estratégia de controle utilizada, que emprega a técnica de controle por corrente média para controlar o nível da tensão de saída CC e para corrigir a corrente de entrada drenada da rede, reduzindo suas distorções harmônicas e melhorando o fator de potência do sistema.

O capítulo 5 apresentou o projeto do circuito de potência e de controle do sistema. Utilizando o *software* PSIM, foi realizada a simulação do circuito e implementado o controle digital utilizando a linguagem C. Assim, foram obtidas as formas de onda características do sistema simulado e verificado a eficácia do controle desenvolvido mediante a imposição de distúrbios na carga e afundamentos na tensão de entrada.

Por fim, um estudo de perdas nos semicondutores foi elaborado visando estimar as perdas apresentadas pelo conversor analisado, podendo-se verificar a parcela de perdas devida a cada conjunto de semicondutores do circuito. Para efeito de comparação, foram simuladas outras topologias *boost* e verificado as perdas nos semicondutores de cada estrutura. Os resultados foram apresentados em forma de gráficos que possibilitaram uma verificação das vantagens do emprego da técnica de entrelaçamento e também da eliminação da ponte retificadora, ambas características presentes no conversor analisado neste trabalho.

Destacam-se como principais contribuições do presente trabalho:

- Análise detalhada da modelagem em espaço de estados para um conversor CA-CC *boost* que emprega as técnicas *bridgeless* e entrelaçamento multicelular operando em modo de condução contínua de corrente;
- Implementação de código em linguagem C que realiza o controle do sistema utilizando a técnica de controle por corrente média;
- Estudo e comparação de perdas nos semicondutores da topologia analisada em relação a outras topologias *boost*, utilizando componentes da biblioteca “*Thermal Module*” do *software* PSIM.

Como sugestões de continuidade do presente trabalho propõe-se a elaboração de um protótipo com a finalidade de comprovar os conceitos apresentados e os resultados



obtidos por simulação, além da implementação do sistema de controle digital em uma estrutura DSP, embarcando o código de controle desenvolvido no trabalho.



REFERÊNCIAS

ANDRADE, M. A. P.; SCHUCH, L.; PINHEIRO, J. R. **Generalized switching logic scheme for CCM-PFC interleaved boost converters.** 2004 IEEE 35th Annual Power Electronics Specialists Conference (IEEE Cat. No.04CH37551). *Anais...* In: 2004 IEEE 35TH ANNUAL POWER ELECTRONICS SPECIALISTS CONFERENCE (IEEE CAT. NO.04CH37551). jun. 2004

BALOGH, L.; REDL, R. **Power-factor correction with interleaved boost converters in continuous-inductor-current mode.** Proceedings Eighth Annual Applied Power Electronics Conference and Exposition,. *Anais...* In: PROCEEDINGS EIGHTH ANNUAL APPLIED POWER ELECTRONICS CONFERENCE AND EXPOSITION,. mar. 1993. <https://doi.org/10.1109/APEC.1993.290634>

BASU, S.; UNDELAND, T. M. **Inductor design considerations for optimizing performance amp; cost of continuous mode boost PFC converters.** Twentieth Annual IEEE Applied Power Electronics Conference and Exposition, 2005. APEC 2005. *Anais...* In: TWENTIETH ANNUAL IEEE APPLIED POWER ELECTRONICS CONFERENCE AND EXPOSITION, 2005. APEC 2005. mar. 2005

BELTRAME, F.; SARTORI, H. C.; PINHEIRO, J. R. **Analysis of different designs for the boost converter applied to PV systems.** 2015 IEEE 13th Brazilian Power Electronics Conference and 1st Southern Power Electronics Conference (COBEP/SPEC). *Anais...* In: 2015 IEEE 13TH BRAZILIAN POWER ELECTRONICS CONFERENCE AND 1ST SOUTHERN POWER ELECTRONICS CONFERENCE (COBEP/SPEC). nov. 2015

CANESIN, C. A.; BARBI, I. **Analysis and design of constant-frequency peak-current-controlled high-power-factor boost rectifier with slope compensation.** Proceedings of Applied Power Electronics Conference. APEC '96. *Anais...* In: PROCEEDINGS OF APPLIED POWER ELECTRONICS CONFERENCE. APEC '96. mar. 1996. <https://doi.org/10.1109/APEC.1996.500532>

CANESIN, C. A.; GONCALVES, F. A. S. **A 2kW Interleaved ZCS-FM Boost Rectifier Digitally Controlled by FPGA Device.** 2005 IEEE 36th Power Electronics Specialists Conference. *Anais...* In: 2005 IEEE 36TH POWER ELECTRONICS SPECIALISTS CONFERENCE. jun. 2005

DIXON, L. H. Average current mode control of switching power supplies, Unitrode Application handbook. **Application note**, v. 140, 1997.

ENJETI, P. N.; MARTINEZ, R. **A high performance single phase AC to DC rectifier with input power factor correction.** Proceedings Eighth Annual Applied Power Electronics Conference and Exposition,. *Anais...* In: PROCEEDINGS EIGHTH ANNUAL APPLIED POWER ELECTRONICS CONFERENCE AND EXPOSITION,. mar. 1993. <https://doi.org/10.1109/APEC.1993.290631>



GARTH, D. R. et al. **Multi-phase, 2-kilowatt, high-voltage, regulated power supply.** 1971 IEEE Power Electronics Specialists Conference. *Anais...* In: 1971 IEEE POWER ELECTRONICS SPECIALISTS CONFERENCE. abr. 1971

IRVING, B. T.; JANG, Y.; JOVANOVIC, M. M. **A comparative study of soft-switched CCM boost rectifiers and interleaved variable-frequency DCM boost rectifier.** APEC 2000. Fifteenth Annual IEEE Applied Power Electronics Conference and Exposition (Cat. No.00CH37058). *Anais...* In: APEC 2000. FIFTEENTH ANNUAL IEEE APPLIED POWER ELECTRONICS CONFERENCE AND EXPOSITION (CAT. NO.00CH37058). fev. 2000. <https://doi.org/10.1109/APEC.2000.826101>

JOVANOVIC, M. M.; JANG, Y. A novel active snubber for high-power boost converters. **IEEE Transactions on Power Electronics**, v. 15, n. 2, p. 278–284, mar. 2000. <https://doi.org/10.1109/63.838100>

KONG, P.; WANG, S.; LEE, F. C. Common Mode EMI Noise Suppression for Bridgeless PFC Converters. **IEEE Transactions on Power Electronics**, v. 23, n. 1, p. 291–297, jan. 2008. <https://doi.org/10.1109/TPEL.2007.911877>

LARICO, H. R. E. Conversor boost controlado em corrente aplicado ao retificador monofásico. 2007.

LEE, J.; CHANG, Y.-C.; CHUANG, C. Conversion Circuit Design for High Efficiency Bridgeless Interleaved Power Factor Correction. **International Journal of Energy Engineering**, v. 3, n. 2, p. 97–109, mar. 2013.

LI, Q.; ANDERSEN, M. A. E.; THOMSEN, O. C. **Conduction losses and common mode EMI analysis on bridgeless power factor correction.** 2009 International Conference on Power Electronics and Drive Systems (PEDS). *Anais...* In: 2009 INTERNATIONAL CONFERENCE ON POWER ELECTRONICS AND DRIVE SYSTEMS (PEDS). nov. 2009

LIMA, G. B. DE. Análise desenvolvimento de um novo conversor CA-CC híbrido monofásico com controle digital baseado em DSP. 18 jul. 2011.

MAKSIMOVIC, D.; JANG, Y.; ERICKSON, R. **Nonlinear-carrier control for high power factor boost rectifiers.** Proceedings of 1995 IEEE Applied Power Electronics Conference and Exposition - APEC'95. *Anais...* In: PROCEEDINGS OF 1995 IEEE APPLIED POWER ELECTRONICS CONFERENCE AND EXPOSITION - APEC'95. mar. 1995. <https://doi.org/10.1109/APEC.1995.469087>

MELO, G. DE A. E [UNESP. Retificador entrelaçado boost, no modo de condução descontínua, com técnica de correção da corrente de entrada e elevado fator de potência, para aplicação em sistema trólebus. **Aleph**, p. 211 f. : il., 14 maio 2010.

MIWA, B. A.; OTTEN, D. M.; SCHLECHT, M. E. **High efficiency power factor correction using interleaving techniques.** [Proceedings] APEC '92 Seventh Annual Applied Power Electronics Conference and Exposition. *Anais...* In: [PROCEEDINGS] APEC '92 SEVENTH ANNUAL APPLIED POWER ELECTRONICS CONFERENCE AND EXPOSITION. fev. 1992



MODABBERNIA, M. R. et al. **The state space average model of boost switching regulator including all of the system uncertainties.** Advanced Materials Research. Anais... Trans Tech Publ, 2012

MODABBERNIA, M. R. et al. The state space average model of buck-boost switching regulator including all of the system uncertainties. **International Journal on Computer Science and Engineering**, v. 5, n. 2, p. 120, 2013.

MUSAVI, F.; EBERLE, W.; DUNFORD, W. G. **A high-performance single-phase AC-DC power factor corrected boost converter for plug in hybrid electric vehicle battery chargers.** 2010 IEEE Energy Conversion Congress and Exposition. Anais... In: 2010 IEEE ENERGY CONVERSION CONGRESS AND EXPOSITION. set. 2010

MUSAVI, F.; EBERLE, W.; DUNFORD, W. G. A High-Performance Single-Phase Bridgeless Interleaved PFC Converter for Plug-in Hybrid Electric Vehicle Battery Chargers. **IEEE Transactions on Industry Applications**, v. 47, n. 4, p. 1833–1843, jul. 2011. <https://doi.org/10.1109/TIA.2011.2156753>

NAJAFI, E. et al. **A new controlling method based on peak current mode (PCM) for PFC.** 2008 IEEE 2nd International Power and Energy Conference. Anais... In: 2008 IEEE 2ND INTERNATIONAL POWER AND ENERGY CONFERENCE. dez. 2008

NUSSBAUMER, T.; RAGGL, K.; KOLAR, J. W. Design Guidelines for Interleaved Single-Phase Boost PFC Circuits. **IEEE Transactions on Industrial Electronics**, v. 56, n. 7, p. 2559–2573, jul. 2009. <https://doi.org/10.1109/TIE.2009.2020073>

REDL, R.; ERISMAN, B. P. **Reducing distortion in peak-current-controlled boost power-factor correctors.** Proceedings of 1994 IEEE Applied Power Electronics Conference and Exposition - ASPEC'94. Anais... In: PROCEEDINGS OF 1994 IEEE APPLIED POWER ELECTRONICS CONFERENCE AND EXPOSITION - ASPEC'94. fev. 1994

REXY, A. I.; SEYEZHAI, R. Investigation of Current Control Techniques of AC-DC Interleaved Boost PFC Converter. **Circuits and Systems**, v. 07, p. 307, 13 abr. 2016. <https://doi.org/10.4236/cs.2016.74027>

SEBASTIAN, J. et al. The determination of the boundaries between continuous and discontinuous conduction modes in PWM DC-to-DC converters used as power factor preregulators. **IEEE Transactions on Power Electronics**, v. 10, n. 5, p. 574–582, set. 1995. <https://doi.org/10.1109/63.406845>

SILVA, L. DE S. DA C. E [UNESP. Retificador boost entrelaçado com elevado fator de potência e sem ponte de diodos. **Aleph**, p. 117 f. : il., 15 dez. 2011. <https://doi.org/10.1109/63.931052>

SUN, J. et al. Averaged modeling of PWM converters operating in discontinuous conduction mode. **IEEE Transactions on Power Electronics**, v. 16, n. 4, p. 482–492, jul. 2001.



UGAZ PEÑA, J. C. [UNESP. Inversor Buck-Boost integrado para aplicações com micro-geradores eólicos. **Aleph**, p. 127 f. : il., 28 fev. 2012.

WONG, P.-L.; LEE, F. C. **Interleaving to reduce reverse recovery loss in power factor correction circuits**. Conference Record of the 2000 IEEE Industry Applications Conference. Thirty-Fifth IAS Annual Meeting and World Conference on Industrial Applications of Electrical Energy (Cat. No.00CH37129). **Anais...** In: CONFERENCE RECORD OF THE 2000 IEEE INDUSTRY APPLICATIONS CONFERENCE. THIRTY-FIFTH IAS ANNUAL MEETING AND WORLD CONFERENCE ON INDUSTRIAL APPLICATIONS OF ELECTRICAL ENERGY (CAT. NO.00CH37129). out. 2000

ZHOU, C.; RIDLEY, R. B.; LEE, F. C. **Design and analysis of a hysteretic boost power factor correction circuit**. 21st Annual IEEE Conference on Power Electronics Specialists. **Anais...** In: 21ST ANNUAL IEEE CONFERENCE ON POWER ELECTRONICS SPECIALISTS. 1990

ZHU, J.; PRATT, A. Capacitor Ripple Current in an Interleaved PFC Converter. **IEEE Transactions on Power Electronics**, v. 24, n. 6, p. 1506–1514, jun. 2009.
<https://doi.org/10.1109/TPEL.2009.2014164>



APÊNDICE A – CÓDIGO DE CONTROLE DIGITAL UTILIZADO NA SIMULAÇÃO (LINGUAGEM C)

```
static float Vin=0;
static float Vin_ret=0;
static float Vout=0;
static float IL1=0;
static float IL1_ret=0;
static float IL4=0;
static float IL4_ret=0;
static float Vref = 400;
static float Iref=0;

static float pre_carga = 0;
static float protecao = 1;

static float erro_V = 0;
static float erro_V_ant = 0;
static float erro_I1 = 0;
static float erro_I1_ant = 0;
static float erro_I4 = 0;
static float erro_I4_ant = 0;

static float Cv = 0;
static float Cv_ant = 0;
static float Ci1 = 0;
static float Ci1_ant = 0;
static float Ci4 = 0;
static float Ci4_ant = 0;

// ***** Ganhos dos Sensores *****
```



```
static float sensor_Vin = 0.003214121732;           // 1 /311
static float sensor_Vout = 1;
static float sensor_IL = 1;
```

```
// ***** Variaveis de controle corrente *****
```

```
static float b0_I = 0.47933333;
static float b1_I = -0.32066667;
static float a1_I = -1;
```

```
// ***** Variaveis controle tensão *****
```

```
static float b0_V = 0.020025;
static float b1_V = -0.019975;
static float a1_V = -1;
```

```
// ***** Declaração das entradas *****
```

```
Vin = x1;
Vout = x2;
IL1 = x3;
IL4 = x4;
//Iref = x5;
```

```
Vin_ret = abs(Vin);
IL1_ret = abs(IL1);
IL4_ret = abs(IL4);
```

```
// ***** Proteção Tensão Capacitor *****
```

```
if (Vout >= 500)
{
    protecao = 0;
```



```
    pre_carga = 1;
}

// *****
// ***** Pré Carga do Capacitor *****
if (pre_carga == 0)
{
    Ci1 = 0.25;
    Ci4 = 0.25;

    if (Vout >= 390)
    {
        pre_carga = 1;
    }
}

// *****

else
{

// ***** Controle do Boost *****

// ***** Malha externa de Tensão *****
erro_V_ant = erro_V;
erro_V = Vref - Vout;
Cv_ant = Cv;
Cv = b0_V * erro_V + b1_V * erro_V_ant - a1_V * Cv_ant;

// ***** Malha interna de Corrente *****
Iref = Cv * Vin_ret * sensor_Vin;

erro_I1_ant = erro_I1;
```



```
erro_I1 = Iref - IL1_ret;
```

```
erro_I4_ant = erro_I4;
```

```
erro_I4 = Iref - IL4_ret;
```

```
Ci1_ant = Ci1;
```

```
Ci4_ant = Ci4;
```

```
Ci1 = b0_I * erro_I1 + b1_I * erro_I1_ant - a1_I * Ci1_ant;
```

```
Ci4 = b0_I * erro_I4 + b1_I * erro_I4_ant - a1_I * Ci4_ant;
```

```
}
```

```
// ***** Limitador da razão cíclica *****
```

```
if (Ci1 <= 0)
```

```
{
```

```
    Ci1 = 0;
```

```
}
```

```
if (Ci1 >= 1)
```

```
{
```

```
    Ci1 = 1;
```

```
}
```

```
if (Ci4 <= 0)
```

```
{
```

```
    Ci4 = 0;
```

```
}
```

```
if (Ci4 >= 1)
```

```
{
```

```
    Ci4 = 1;
```

```
}
```

```
// ***** Declaração das saídas *****
```



```
y1 = Ci1;  
y2 = Ci4;  
y3 = pre_carga;  
y4 = protecao;
```

```
//y3 = Vin_ret;
```

```
//y4 = Iref;
```

```
//-----
```

```
//-----
```



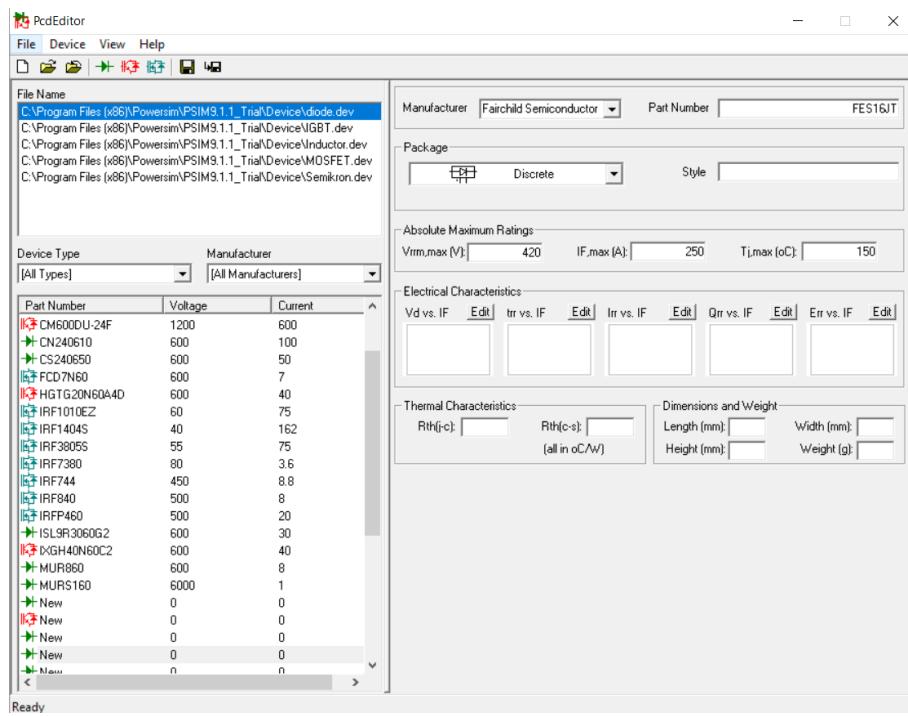
APÊNDICE B – BIBLIOTECA “*THERMAL MODULE*” E FUNÇÃO “*DEVICE DATABASE EDITOR*”

Como mostrado anteriormente, os componentes da biblioteca *Thermal Module* do PSIM possibilitam a obtenção das perdas nos elementos semicondutores do circuito, tanto perdas por condução quanto perdas por chaveamento. A seguir é apresentado detalhadamente o processo para se adicionar novos elementos à biblioteca, através da ferramenta *Device Database Editor*, e também como utilizar esses elementos no circuito desejado.

Adicionando Novos Componentes

Para adicionar um novo componente à biblioteca *Thermal Module*, basta clicar em *Utilities* e então clicar em *Device Database Editor*. A biblioteca com alguns componentes que já acompanham a instalação do *software* pode ser vista na Figura B 1. Em seguida, basta clicar no ícone do diodo (verde), do IGBT (vermelho) ou do MOSFET (azul), de acordo com o componente que se deseja adicionar. Para um melhor entendimento, será feito a inclusão do diodo FES16JT como exemplo.

Ao clicar no ícone do componente desejado, será criado um novo componente com o nome “*New*”, sendo possível adicionar diversas informações encontradas no *datasheet* do componente, tais como: Fabricante do componente (*Manufacturer*), Especificação e número do componente (*Part Number*), se o elemento é discreto, duplo ou um conjunto de componentes (*Package*), além das características elétricas de tensão, corrente e temperatura da junção térmica.

Figura B 1 - Janela inicial da função *Device Database Editor*.

Também é possível adicionar algumas curvas de características elétricas retiradas do *datasheet* do componente. Para isso, basta seguir o procedimento a seguir:

- Escolher uma das curvas e clicar em *Edit* (neste caso será adicionada a curva de $V_d \times I_F$) (Figura B 2);
- Na nova janela que se abriu, clicar em *Add curve*;
- No datasheet do componente, encontre a curva que foi escolhida para se adicionar e utilize a tecla “*print screen*” do computador para capturar a curva desejada (Figura B 3);
- Em seguida, basta clicar na seta azul (*next step*), no topo esquerdo da janela do editor;
- A tela capturada pelo *print screen* será adicionada à janela. Ajuste a imagem para que a curva desejada fique no centro da janela e clique novamente na seta azul (*next step*) (Figura B 4);
- Agora, será necessário definir os limites do gráfico que será adicionado. Para isso, basta clicar com o botão direito do mouse no canto inferior esquerdo do gráfico (será aplicado um zoom na região) e então clicar com o botão esquerdo do mouse no limite do gráfico. Em seguida, basta fazer o mesmo procedimento para o limite



superior direito do gráfico. Após definida essa região do gráfico clicar em *next step*.

- Agora, deve-se verificar se os eixos x e y coincidem com as variáveis da curva do *datasheet*. Caso não seja o caso, basta selecionar a caixa “*Invert graph*” (Figura B 5);
- Em seguida deve-se adicionar os valores referentes a X0, Xmax, Y0 e Ymax, bem como os sufixo da unidade de medida e a temperatura da junção (T_j). Ao finalizar esta etapa, clicar em *next step*.
- Agora será necessário capturar os pontos da curva desejada, começando pelos pontos mais próximos à origem. Para isso, basta utilizar o botão direito do mouse para dar zoom e o botão esquerdo para selecionar o ponto. É importante selecionar vários pontos ao longo de toda a curva. Ao finalizar, clicar em *next step* (Figura B 6);
- Para terminar o processo, basta clicar em “OK” e a curva selecionada será adicionada às características do componente.
- O mesmo procedimento pode ser utilizado para se adicionar outras curvas características.
- Por fim, basta completar as demais informações requeridas utilizando os dados do *datasheet*.



Figura B 2 - Janela para inserir curvas características do componente.

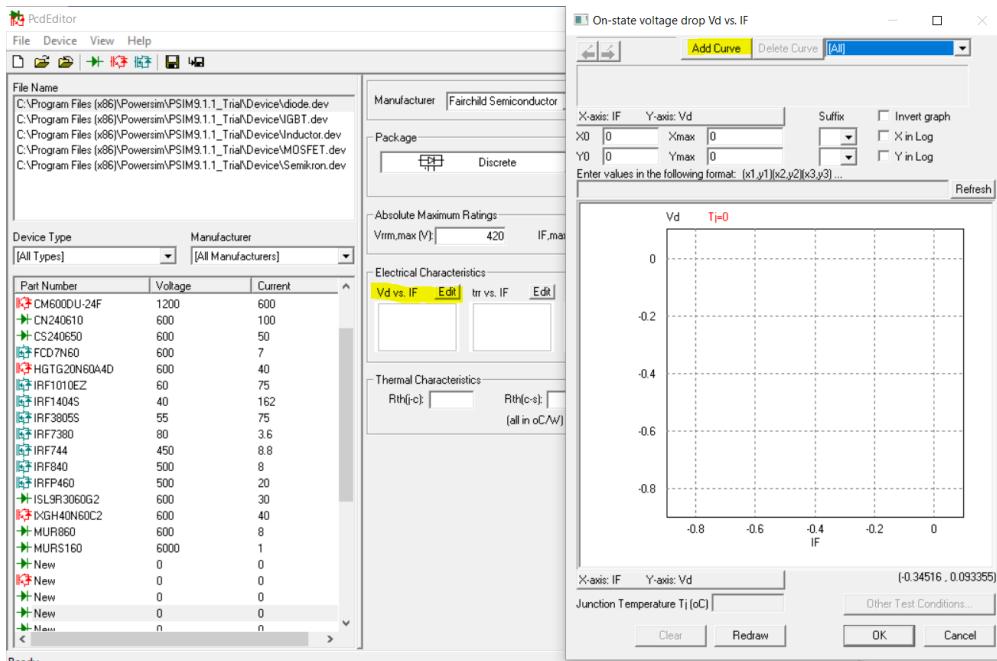


Figura B 3 - curva que se deseja adicionar retirada do datasheet do componente.

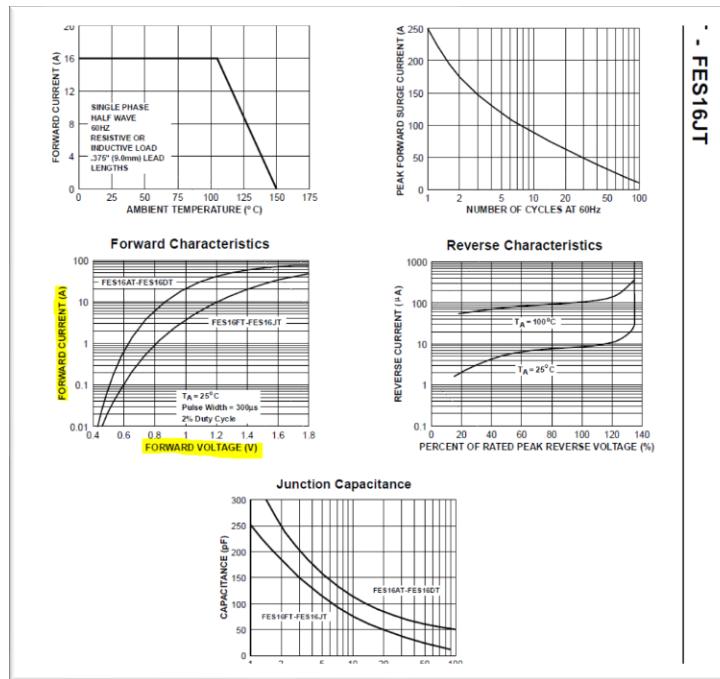




Figura B 4 - curva adicionada à janela de curvas do editor de componentes.

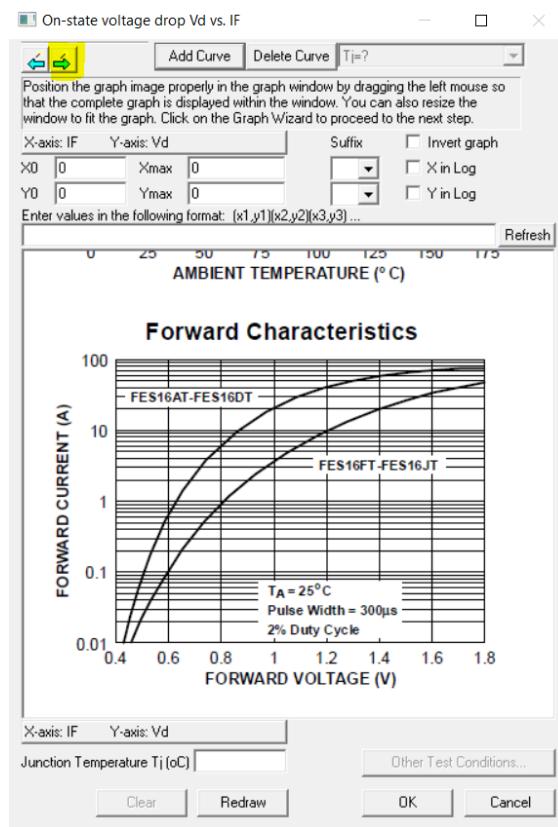


Figura B 5 - parâmetros referentes aos eixos X e Y da curva que será adicionada.

On-state voltage drop Vd vs. IF

Add Curve Delete Curve $T_j=?$

Enter the values of X0, Y0, Xmax, Ymax and define the axis settings.
Enter the value of the junction temperature T_j (at the bottom of this dialog).
Click on the Graph Wizard to proceed to the next step.

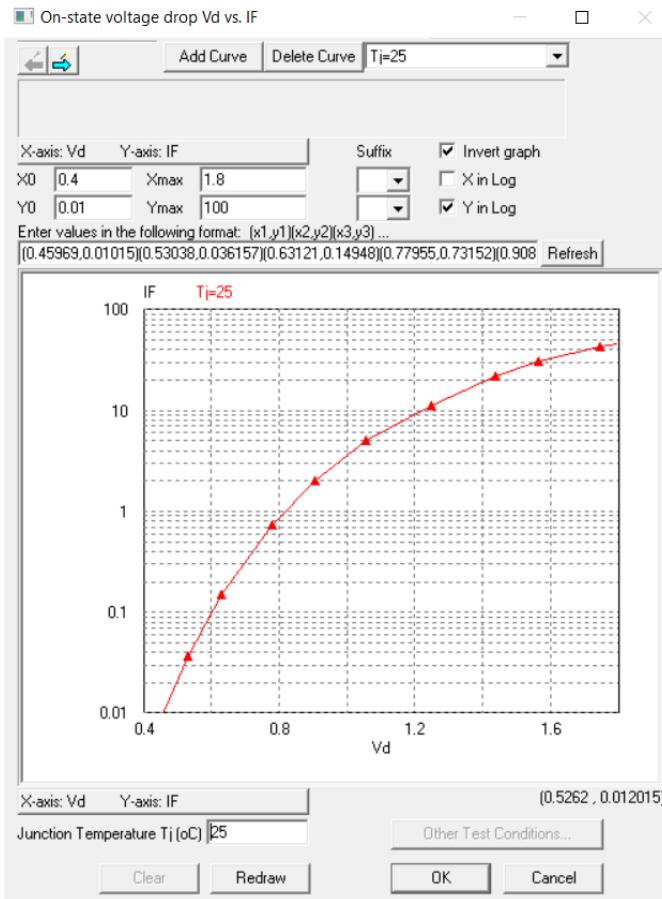
X-axis: IF Y-axis: Vd Suffix Invert graph

X0 0 Xmax 0
Y0 0 Ymax 0

Enter values in the following format: (x1,y1)(x2,y2)(x3,y3) ... Refresh



Figura B 6 - curva após ser adicionada ao editor.



Para utilizar o componente adicionado (ou qualquer outro preexistente) na interface do PSIM, basta clicar em *Elements> Power > Thermal Module > Diode (database)*. Em seguida, escolher componente específico clicando na caixa de seleção em *Device*.

Círcuito Simulado Utilizando Componentes da Biblioteca *Thermal Module*

Utilizando os componentes da biblioteca *Thermal Module*, foi montado o circuito do conversor analisado no trabalho, conforme Figura B 7.

Nos componentes da referida biblioteca, existem nós adicionais utilizados para obtenção das perdas (em Watts) por condução e por chaveamento. Tais perdas são apresentadas na forma de correntes que saem desses nós, sendo assim necessário utilizar amperímetros para aferição das mesmas.



A Figura B 8 apresenta o circuito utilizado para medição das perdas. Neste circuito, a resistência em série com cada amperímetro representa a “*Thermal Equivalent Impedance*” e a fonte de tensão CC representa a temperatura inicial da junção.

Figura B 7 - Circuito com componentes da biblioteca *Thermal Module*.

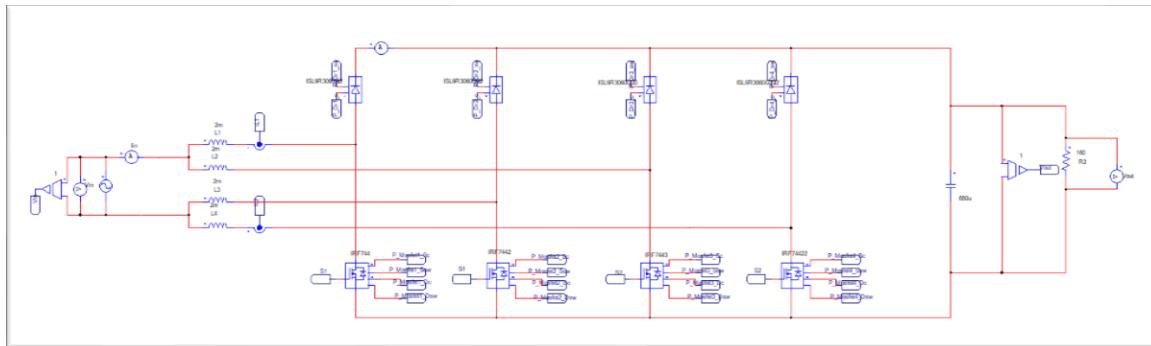
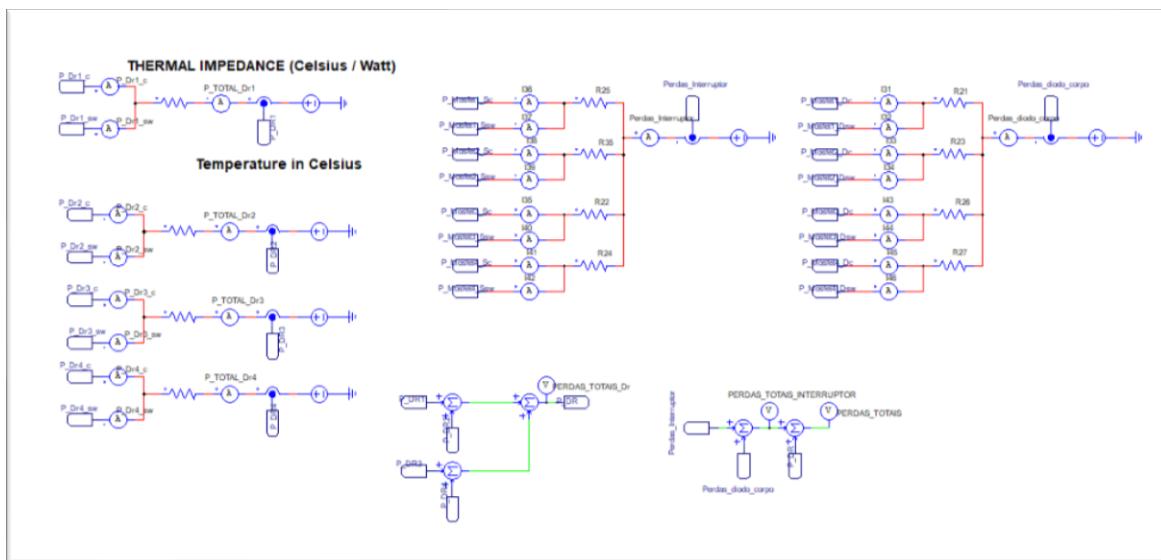


Figura B 8 - Circuito de medição das perdas nos componentes.



Outra observação importante é que se deve selecionar em cada componente (duplo clique em cima do componente) a frequência na qual as perdas serão calculadas. No caso do circuito em questão, foi definido a frequência de cálculo das perdas em 30 kHz, a mesma frequência em que ocorre o chaveamento do circuito.

A Figura B 9 apresenta as perdas por condução e por chaveamento apresentadas pelo diodo *boost* D1. Já a Figura B 10 apresenta as perdas totais de condução mais



chaveamento em cada diodo do circuito, bem como as perdas totais no conjunto de diodos *boost*.

Figura B 9 - Perdas por condução e por chaveamento no diodo D1.

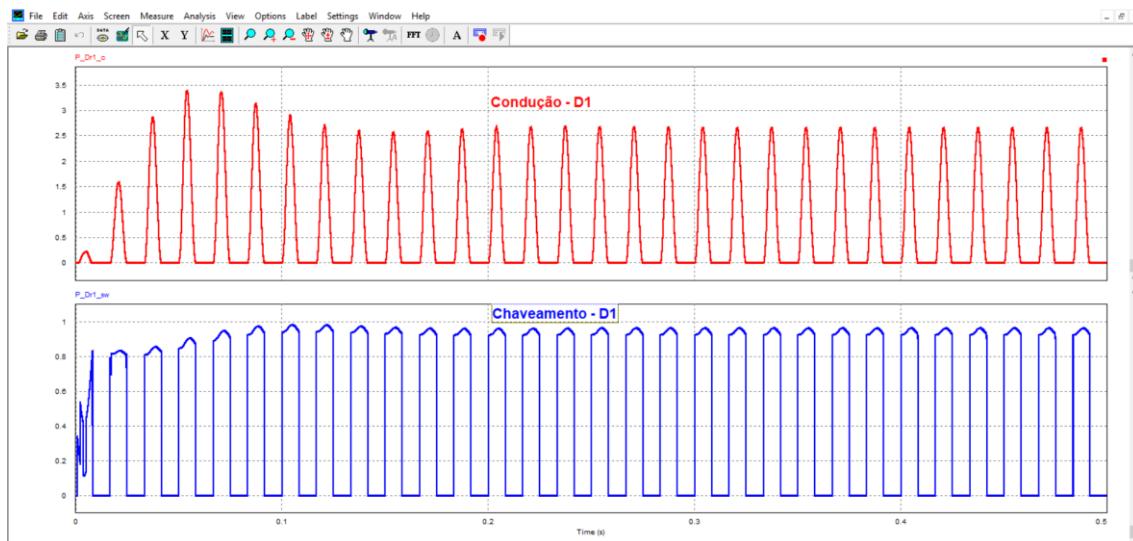
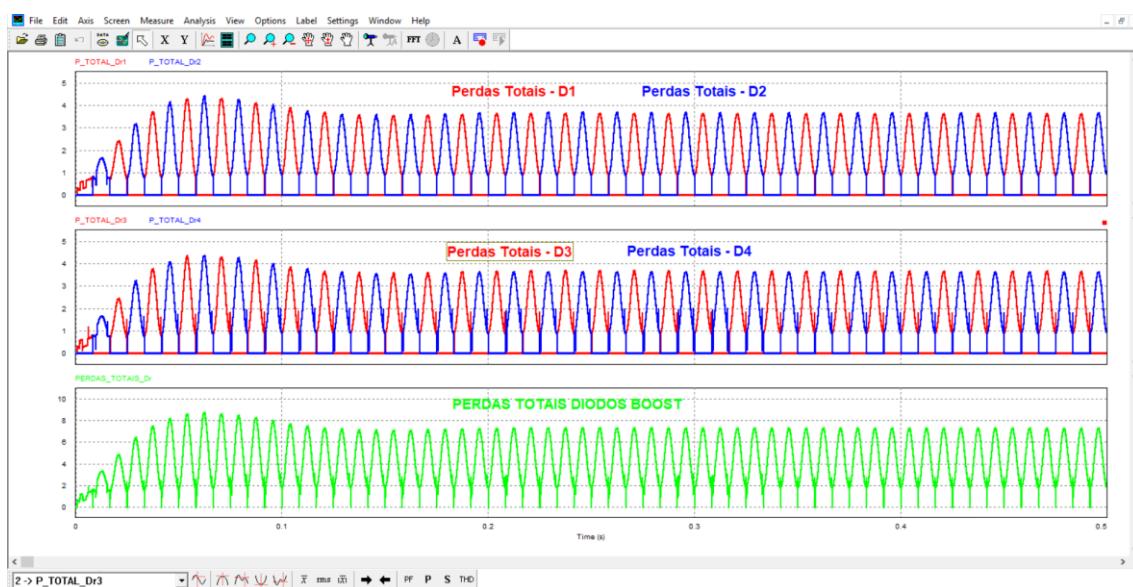


Figura B 10 - Perdas totais em cada diodo e no conjunto de diodos boost.





APÊNDICE C – CÓDIGO DE CÁLCULO DA DISTORÇÃO HARMÔNICA DE CORRENTE

```
clc;
close all;
H = 25;

%% Canal 1
load H1;
tempo = H1(:,1);
corrente = H1(:,2);

f = 60;
t = tempo;
onda = corrente;
t1 = 0.6;
T = 1/f; %periodo
W = 2*pi*f;

%%% Rotina para encontrar os pontos t1 e t1+T a partir do tempo
inicial %%%
x = find(t <= t1);
xi = x(length(x));

t1 = t1+T;
x = find(t <= t1);
xf = x(length(x));
%%% %%%
%%% %%

%% Cálculo THD

%Coef. a0
a0 = 2/T*trapz(t(xi:xf),onda(xi:xf));

%Coefs. an e bn para n > 0
a = [];
b = [];
n=1;
while n<=H
    a(n) = 2/T*trapz(t(xi:xf),onda(xi:xf).*cos(n*2*pi*f*t(xi:xf)));
    b(n) = 2/T*trapz(t(xi:xf),onda(xi:xf).*sin(n*2*pi*f*t(xi:xf)));
    n=n+2;
end

An = sqrt(a.^2 + b.^2);
An_percentagem1 = (An(2:H)*100)/An(1);
An_norma = [0 2.3 0 1.14 0 0.77 0 0.4 0 0.22 0 0.21 0 0.15 0 0.132 0
0.118 0 0.107 0 0.098 0 0.09]; %IEC 61000-3-2 Class D P>600W
```



```
%An_norma = [0 21.6 0 10.7 0 7.2 0 3.8 0 3.1 0 2 0 0.7 0 1.2 0 1.1 0
0.6 0 0.9 0 0.8]; % 3-4
Fin = (-atan(b/a) + pi/2)*180/pi; %+pi/2 para passar para seno
disp(' ');
disp('THD aproximado Canal 1: ');
thd1 = sqrt(sum(An(2:length(An)).^2))/An(1)*100

%Cálculo THD Igual ao DSP
fund_rms = An(1)/sqrt(2);
onda_quad(xi:xf) = onda(xi:xf).^2;
onda_rms = sum(onda_quad(xi:xf))/length(onda(xi:xf));
onda_rms = sqrt(onda_rms);
THD1 = sqrt(onda_rms^2 - fund_rms^2)/fund_rms*100

%Espectro de Frequencia %
%figure, subplot(2,1,1), bar(An)
figure
bar(An(2:H),1.3);
hold on;
bar(An_norma,'r');
legend('Circuito Proposto','IEC 61000-3-2')
title('Espectro de Frequencia')
ylabel('Análise Harmônica em relação à Fundamental [%]')
axis([0 25 0 2.5])

%axes1 = axes('Parent',figure1,...
%
'XTickLabel',{'0','3','5','7','9','11','13','15','17','19','21','23',...
'25'},...
% 'XTick',[0 2 4 6 8 10 12 14 16 18 20 22 24]);

%T1 = num2str(thd1);
T1 = num2str(THD1);
T1 = strcat('DHT = ',T1);
text(length(An_percentagem1)/2,max(An_percentagem1),T1);

figure
plot(onda(xi:xf))
title('Onda do THD Canal 1')
grid on

%% Canal 2
load H2;
tempo = H2(:,1);
corrente = H2(:,2);
t = tempo;
onda = corrente;
t1 = 0.605;
W = 2*pi*f;

%%% Rotina para encontrar os pontos t1 e t1+T a partir do tempo
inicial %%%
x = find(t <= t1);
```



```
xi = x(length(x));  
  
t1 = t1+T;  
x = find(t <= t1);  
xf = x(length(x));  
%%%  
%%%  
  
%% Cálculo THD  
  
%Coef. a0  
a0 = 2/T*trapz(t(xi:xf),onda(xi:xf));  
  
%Coefs. an e bn para n > 0  
a = [];  
b = [];  
n=1;  
while n<=H  
    a(n) = 2/T*trapz(t(xi:xf),onda(xi:xf).*cos(n*2*pi*f*t(xi:xf)));  
    b(n) = 2/T*trapz(t(xi:xf),onda(xi:xf).*sin(n*2*pi*f*t(xi:xf)));  
    n=n+2;  
end  
  
An = sqrt(a.^2 + b.^2);  
An_percentagem2 = (An(2:H)*100)/An(1);  
An_norma = [0 14.4 0 7.1 0 4.8 0 2.5 0 2.1 0 1.3 0 0.94 0 0.82 0 0.74  
0 0.67 0 0.61 0 0.56]; %3-2  
%An_norma = [0 21.6 0 10.7 0 7.2 0 3.8 0 3.1 0 2 0 0.7 0 1.2 0 1.1 0  
0.6 0 0.9 0 0.8]; % 3-4  
Fin = (-atan(b/a) + pi/2)*180/pi; %+pi/2 para passar para seno  
disp('');  
disp('THD aproximado do Canal 2: ');  
thd2 = sqrt(sum(An(2:length(An)).^2))/An(1)*100  
  
%Cálculo THD Igual ao DSP  
fund_rms = An(1)/sqrt(2);  
onda_quad(xi:xf) = onda(xi:xf).^2;  
onda_rms = sum(onda_quad(xi:xf))/length(onda(xi:xf));  
onda_rms = sqrt(onda_rms);  
THD2 = sqrt(onda_rms^2 - fund_rms^2)/fund_rms*100  
  
%Espectro de Frequencia %  
%figure, subplot(2,1,1), bar(An)  
figure  
bar(An_percentagem2,1.3);  
hold on;  
bar(An_norma,'r');  
legend('Full-Bridge Bidirecional','Norma IEC 61000-3-2')  
title('Espectro de Frequencia da Ação Retificadora')  
ylabel('Análise Harmônica em relação à Fundamental [%]')  
T2 = num2str(thd2);  
T2 = strcat('DHT RETIFICADOR = ',T2);  
text(length(An_percentagem2)/2,max(An_percentagem2),T2);  
  
figure  
plot(onda(xi:xf))
```



```
title('Onda do THD Canal 2')
grid on

%% Comparaçao de Canais

%Espectro de Frequencia %
%figure, subplot(2,1,1), bar(An)
figure
bar(An_percentagem1,1.3);
hold on;
bar(An_percentagem2,'r');
legend('Ação Inversora','Ação Retificadora')
title('Espectro de Frequência do Inversor Bidirecional')
ylabel('Análise Harmônica em relação à Fundamental [%]')

T1 = num2str(thd1);
T1 = strcat('DHT INVERSOR = ',T1);
text(length(An_percentagem1)/2,max(An_percentagem1),T1);

T2 = num2str(thd2);
T2 = strcat('DHT RETIFICADOR = ',T2);
text(length(An_percentagem2)/4,max(An_percentagem2),T2);
```