

UNIVERSIDADE FEDERAL DE UBERLÂNDIA  
FACULDADE DE ENGENHARIA ELÉTRICA



PÓS-GRADUAÇÃO EM ENGENHARIA ELÉTRICA  
NUPEP - NÚCLEO DE PESQUISA EM ELETRÔNICA DE  
POTÊNCIA

PAULO RICARDO DA SILVA

ANÁLISE DE TRÊS TÉCNICAS DE CONTROLE PARA  
EMPREGO DE UM CONVERSOR BOOST TRIFÁSICO EM  
UMA ESTRUTURA RETIFICADORA HÍBRIDA COM  
SUPORTABILIDADE A AFUNDAMENTOS DE TENSÃO

UFU  
2018

PAULO RICARDO DA SILVA<sup>1</sup>

ANÁLISE DE TRÊS TÉCNICAS DE CONTROLE PARA  
EMPREGO DE UM CONVERSOR BOOST TRIFÁSICO EM  
UMA ESTRUTURA RETIFICADORA HÍBRIDA COM  
SUPOORTABILIDADE A AFUNDAMENTOS DE TENSÃO

Dissertação de mestrado submetida à  
Universidade Federal de Uberlândia – Núcleo de  
Pesquisas em Eletrônica de Potência (NUPEP),  
perante a banca de examinadores abaixo, como  
parte dos requisitos necessários para obtenção do  
grau de Mestre em Ciências.

Área de Concentração: Sistema de Energia  
Elétrica.

Orientador: Dr. Luiz Carlos Gomes de Freitas.

Coorientador: Dr. Danillo Borges Rodrigues

Banca Examinadora:

Dr. Luiz Carlos Gomes de Freitas (UFU)

Dr. Danillo Borges Rodrigues (UFTM)

Dr. Gustavo Brito de Lima (UFU)

Dr. Antônio de Pádua Finazzi (UFMT)

Uberlândia

2018

---

<sup>1</sup> A Bolsa de Estudos, para esta pesquisa, foi concedida pela CAPES, Brasil.

Dados Internacionais de Catalogação na Publicação (CIP)  
Sistema de Bibliotecas da UFU, MG, Brasil.

---

S586a Silva, Paulo Ricardo da, 1991-  
2018 Análise de três técnicas de controle para emprego de um conversor boost trifásico em uma estrutura retificadora híbrida com suportabilidade a afundamentos de tensão / Paulo Ricardo da Silva. - 2018.  
118 f. : il.

Orientador: Luiz Carlos Gomes de Freitas.

Coorientador: Danilo Borges Rodrigues.

Dissertação (mestrado) - Universidade Federal de Uberlândia, Programa de Pós-Graduação em Engenharia Elétrica.

Disponível em: <http://dx.doi.org/10.14393/ufu.di.2018.1167>

Inclui bibliografia.

1. Engenharia elétrica - Teses. 2. Conversores de corrente elétrica - Teses. 3. Retificadores de corrente elétrica - Teses. I. Freitas, Luiz Carlos Gomes de, 1976- II. Rodrigues, Danilo Borges, 1986- III. Universidade Federal de Uberlândia. Programa de Pós-Graduação em Engenharia Elétrica. IV. Título.

---

CDU: 621.3

Maria Salete de Freitas Pinheiro – CRB6/1262

# ANÁLISE DE TRÊS TÉCNICAS DE CONTROLE PARA EMPREGO DE UM CONVERSOR BOOST TRIFÁSICO EM UMA ESTRUTURA RETIFICADORA HÍBRIDA COM SUPORTABILIDADE A AFUNDAMENTOS DE TENSÃO

PAULO RICARDO DA SILVA

Dissertação de mestrado submetida à  
Universidade Federal de Uberlândia – Núcleo de  
Pesquisas em Eletrônica de Potência (NUPEP),  
como parte dos requisitos necessários para  
obtenção do grau de Mestre em Ciências.  
Área de Concentração: Sistema de Energia  
Elétrica.

---

Prof. Luiz Carlos Gomes de Freitas, Dr.  
Orientador

---

Prof. Danillo Borges Rodrigues, Dr.  
Coorientador

---

Prof. Alexandre Cardoso, Dr.  
Coordenador da Pós-Graduação em Engenharia Elétrica da UFU



Dedico a realização desta dissertação a meus pais, Edvaldo Nascimento e Elenilda Adelaide, à minha mulher Najara Zago e ao meu filho Brian Ricardo por me darem condições de realizar esta pós-graduação, assim como seu apoio e compreensão durante esses últimos dois anos. Dedico também ao Prof. Dr. Luiz Carlos Gomes de Freitas e ao Prof. Dr. Danilo Borges Rodrigues não só pelos ensinamentos durante todo o mestrado, mas também por acreditarem neste projeto desde o início.

# AGRADECIMENTOS

Aos meus pais, Edvaldo e Elenilda, que sempre me apoiaram incondicionalmente nas minhas decisões e sempre foram meus exemplos de determinação e integridade pessoal.

À minha mulher, Najara, que vivenciou com plenitude o desenvolvimento do mestrado, sempre demonstrando companheirismo, dedicação, paciência e carinho. Você é fundamental em tudo que faço, essa conquista é nossa.

Ao meu filho Brian Ricardo, do qual me orgulho tanto e sou profundamente grato.

Minha profunda gratidão ao meu orientador, prof. Luiz Carlos, pela paciência e por ter permitido a continuidade dos meus estudos e pela confiança depositada no meu trabalho. Obrigado por acreditar no meu potencial, e principalmente obrigado por todos os ensinamentos profissionais e pessoais que nossa convivência me proporcionou. Tenho grande admiração por você!

Agradeço a todos os professores que me ajudaram nessa jornada, em especial ao prof. Danillo Rodrigues que me acompanhou durante todo o desenvolvimento desta pesquisa e pela contribuição neste trabalho, nada disso seria possível sem sua ajuda.

Enfim, agradeço a todos aqueles que de forma direta ou indireta contribuíram para o desenvolvimento deste trabalho.

*“Seja você a mudança que quer ver no mundo”*

*Mahatma Gandhi*

## RESUMO

Esta dissertação apresenta a análise, o desenvolvimento teórico e a comparação dos métodos de controle por: (i) PWM; (ii) Histerese; e (iii)  $dq0$ , de um conversor Boost trifásico quando aplicado a uma estrutura retificadora híbrida trifásica que realiza a imposição de correntes de linha de entrada senoidais e a regulação de tensão no barramento CC, tanto para condições normais de suprimento da rede elétrica como para condições de afundamentos temporários de tensão na rede CA.

Com o intuito de comparar os três métodos de controle foram analisados os índices de distorção harmônica total de corrente, fator de potência e nível da tensão no barramento CC. Para simulações computacionais e análises matemáticas utilizaram-se os softwares *PSim*® e Matlab®, respectivamente.

Para corroborar com a teoria exposta e com as análises de simulação computacional, um protótipo de 5 kW baseado em DSP foi construído e ensaios experimentais realizados em laboratório permitiram demonstrar que os três métodos de controle, assim como demonstrado na análise computacional, asseguram correntes senoidais na entrada da rede e são capazes de regular e manter a tensão no barramento CC constante.

**Palavras-Chave:** *Conversor; Controle; Histerese; PWM;  $dq0$ ; Retificadores Híbridos.*

# Abstract

This dissertation presents the analysis, the theoretical development and the comparison of the control methods by: (i) PWM; (ii) Hysteresis; and (iii) dq0, of a three-phase Boost converter when applied to a three-phase hybrid rectifier structure that performs the imposition of sinusoidal input line currents and voltage regulation on the DC bus, both for normal power supply conditions and for conditions Voltages in the AC network.

In order to compare the three control methods, the total harmonic distortion indexes of current, power factor and voltage level in the DC bus were analyzed. For computational simulations and mathematical analysis, the software PSim® and Matlab®, respectively, were used.

In order to corroborate with the exposed theory and computational simulation analyzes, a prototype of 5 kW based on DSP was constructed and experimental tests carried out in the laboratory allowed to demonstrate that the three control methods, as demonstrated in the computational analysis, ensure sinusoidal currents in line and are able to regulate and maintain the voltage on the constant DC bus.

**Keywords:** *Converter; Control; Hysteresis; PWM; Dq0; Hybrid Rectifiers.*

## LISTA DE FIGURAS

FIGURA 1 DIAGRAMA ESQUEMÁTICO DE UMA MICRORREDE CC. ....	21
FIGURA 2 DEMONSTRATIVO DE SINAL GERADO NA SAÍDA DA MODULAÇÃO POR PWM. ....	23
FIGURA 3 RELAÇÃO ENTRE OS SISTEMAS DE COORDENADAS ‘ABC’, ‘AB0’ E ‘DQ0’ .....	23
FIGURA 4 MODELO DE MONITORAÇÃO DA CORRENTE ATRAVÉS DA FAIXA DE HISTERESE. ....	24
FIGURA 5 ESTRUTURA RETIFICADORA HÍBRIDA TRIFÁSICA (RHT) PROPOSTA EM [27]. ....	26
FIGURA 6 DIAGRAMA ESQUEMÁTICO DO CIRCUITO DE CONTROLE DO CONVERSOR FULL-BRIDGE. ....	29
FIGURA 7 CIRCUITO DO CONVERSOR BOOST TRIFÁSICO SIMPLIFICADO PARA ANÁLISE. ....	30
FIGURA 8 REPRESENTAÇÃO VETORIAL DAS TENSÕES DE FASE E DE LINHA. ....	31
FIGURA 9 REPRESENTAÇÃO VETORIAL DAS TENSÕES DE FASE E DE LINHA, COM A REFERÊNCIA CONVENIENTEMENTE DESLOCADA (ATRASADA 60° EM RELAÇÃO À REFERÊNCIA DA FIGURA 8). ....	31
FIGURA 10 CIRCUITOS EQUIVALENTES DAS SEQUÊNCIAS A) 0; B) D; C) Q. ....	32
FIGURA 11 CIRCUITO EQUIVALENTE VISTO PELA SAÍDA (CC) DO CONVERSOR BOOST. ....	33
FIGURA 12 CIRCUITO EQUIVALENTE PARA O CONVERSOR BOOST, VISTO PELA ENTRADA OU PELA SAÍDA, QUANDO APLICADA A TRANSFORMAÇÃO DE PARK. ....	34
FIGURA 13 LÓGICA DE VARIAÇÃO DOS SINAIS DE GATILHO DOS INTERRUPTORES S1B E S4B DO CONVERSOR BOOST POR DQ0. ....	36
FIGURA 14 DIAGRAMA ESQUEMÁTICO DO CIRCUITO DE CONTROLE DO CONVERSOR BOOST POR DQ0. ....	37
FIGURA 15 CIRCUITO EQUIVALENTE VISTO PELA CORRENTE $I_{12}$ (T). ....	38
FIGURA 16 REPRESENTAÇÃO POR DIAGRAMA DE BLOCOS PARA O SISTEMA DE CONTROLE POR DQ0. ....	38
FIGURA 17 COMPORTAMENTO DA CORRENTE NO INDUTOR DO FILTRO NO CONTROLE POR HISTERESE PELA CORRENTE MÉDIA. ....	42
FIGURA 18 DIAGRAMA DE BLOCOS REPRESENTANDO O CONTROLE POR HISTERESE PELA CORRENTE MÉDIA. ....	42
FIGURA 19 DIAGRAMA ESQUEMÁTICO DO CIRCUITO DE CONTROLE DO CONVERSOR BOOST POR HISTERESE. ....	44
FIGURA 20 LÓGICA DE VARIAÇÃO DOS SINAIS DE GATILHO DOS INTERRUPTORES S1B E S4B DO CONVERSOR BOOST POR HISTERESE. ....	45
FIGURA 21 DIAGRAMA ESQUEMÁTICO DO PLL IMPLEMENTADO PARA A FASE A. ....	46
FIGURA 22 RELAÇÃO ENTRE O NÍVEL CC DA ONDA DENTE-DE-SERRA E A FASE DA SENÓIDE DE SAÍDA DO PLL. ...	46
FIGURA 23 REPRESENTAÇÃO DOS SINAIS INTERNOS GERADOS NA IMPLEMENTAÇÃO DO PLL. ....	47
FIGURA 24 DIAGRAMA DE BLOCOS DO SISTEMA EQUIVALENTE DO CONVERSOR BOOST COM CONTROLE POR HISTERESE: (A) EM MALHA FECHADA E (B) EM MALHA ABERTA. ....	48
FIGURA 25 EXECUÇÃO DA SOLUÇÃO DO MODELO MATEMÁTICO DO CONVERSOR BOOST POR HISTERESE PARA O DEGRAU NAS AMPLITUDES DAS REFERÊNCIAS DE CORRENTE. ....	49
FIGURA 26 FORMAS DE ONDA (A) DAS RESPOSTAS DAS CORRENTES DRENADAS POR RET-2 E (B) DA RESPOSTA DE Vo(BOOST) AO DEGRAU DE AMPLITUDE DAS REFERÊNCIAS DE CORRENTE. ....	51
FIGURA 27 SISTEMA DO CONVERSOR BOOST POR HISTERESE EM MALHA FECHADA SEM COMPENSAÇÃO: (A) LUGAR GEOMÉTRICO DAS RAÍZES, (B) DIAGRAMAS DE BODE E (C) RESPOSTA AO DEGRAU. ....	52
FIGURA 28 SISTEMA DO CONVERSOR BOOST POR HISTERESE EM MALHA FECHADA COMPENSADO: (A) LUGAR GEOMÉTRICO DAS RAÍZES, (B) DIAGRAMAS DE BODE E (C) RESPOSTA AO DEGRAU. ....	53
FIGURA 29 SINAL DE REFERÊNCIA PARA UM CONVERSOR CC-CC. ....	54
FIGURA 30 SINAL DE REFERÊNCIA PARA UM CONVERSOR CC-CA. ....	55
FIGURA 31 SINAIS DE REFERÊNCIA PARA UM CONVERSOR CC-CA TRIFÁSICO. ....	55

FIGURA 32 GERAÇÃO DE SINAL MODULADO. ....	56
FIGURA 33 SINAL DE SAÍDA DO MODULADOR: CONVERSOR CC-CC. ....	56
FIGURA 34 SINAL DE SAÍDA DO MODULADOR: CONVERSOR CC-CA. ....	57
FIGURA 35 LÓGICA DE VARIAÇÃO DOS SINAIS DE GATILHO DOS INTERRUPTORES S1B E S4B DO CONVERSOR BOOST POR PWM. ....	58
FIGURA 36 DIAGRAMA ESQUEMÁTICO DO CIRCUITO DE CONTROLE DO CONVERSOR BOOST POR PWM. ....	59
FIGURA 37 DIAGRAMA ESQUEMÁTICO DE SIMULAÇÃO DO CIRCUITO DE POTÊNCIA DO RHT NO SOFTWARE PSIM®. ....	62
FIGURA 38 - DIAGRAMA ESQUEMÁTICO DE SIMULAÇÃO NO SOFTWARE PSIM® DO CIRCUITO DE CONTROLE DO (A) CONVERSOR BOOST POR PWM, DQ0 E HISTERESE; (B) DO CONVERSOR FULL-BRIDGE; E (C) DOS PLLs. ....	63
FIGURA 39 - CORRENTES $I(IN)$ , $I(RET-1)$ E $I(RET-2)$ PARA AS FASES A,B E C PARA OS MÉTODOS DE CONTROLE DO CONVERSOR BOOST POR (A) PWM, (B) HISTERESE E (C) DQ0. ....	65
FIGURA 40 - CORRENTES DE LINHA DE ALIMENTAÇÃO DAS FASES A, B E C E DEMONSTRAÇÃO DAS CORRENTES DE LINHA EM FASE COM AS TENSÕES F-N PARA OS MÉTODOS DE CONTROLE DO CONVERSOR BOOST POR (A) PWM, (B) HISTERESE E (C) DQ0. ....	66
FIGURA 41 GRÁFICO DE COMPARAÇÃO DA THD PARA OS MÉTODOS DE CONTROLE DO CONVERSOR BOOST POR PWM, HISTERESE E DQ0 QUANDO SUBMETIDOS A VÁRIOS VALORES DE CARGAS NO LINK CC. ....	67
FIGURA 42 GRÁFICO DE COMPARAÇÃO DO FP PARA OS MÉTODOS DE CONTROLE DO CONVERSOR BOOST POR PWM, HISTERESE E DQ0 QUANDO SUBMETIDOS A VÁRIOS VALORES DE CARGAS NO LINK CC. ....	67
FIGURA 43 TENSÃO NO BARRAMENTO CC ( $V_o$ ), TENSÃO DE SAÍDA DO CONVERSOR BOOST ( $V_o(BOOST)$ ), TENSÃO DE SAÍDA DE RET-1 ( $V_{CNC}$ ), E TENSÃO DE SAÍDA DE RET-2 ( $V_{CFB}$ ) PARA OS MÉTODOS DE CONTROLE DO CONVERSOR BOOST POR (A) PWM, (B) HISTERESE E (C) DQ0. ....	68
FIGURA 44 RESPOSTA DINÂMICA DURANTE UM DEGRAU DE CARGA DE 2,5 kW PARA 5 kW PARA OS MÉTODOS DE CONTROLE DO CONVERSOR BOOST POR (A) PWM, (B) HISTERESE E (C) DQ0. ....	69
FIGURA 45 - AFUNDAMENTO DO TIPO A: TENSÕES DE FASE; CORRENTES $I_A(IN)$ , $I_B(IN)$ E $I_C(IN)$ ; TENSÕES $V_o$ , $V_o(BOOST)$ , $V_{CNC}$ E $V_{CFB}$ DOS PARA OS MÉTODOS DE CONTROLE DO CONVERSOR BOOST POR (A) PWM, (B) HISTERESE E (C) DQ0. ....	72
FIGURA 46 - AFUNDAMENTO DO TIPO G: TENSÕES DE FASE; CORRENTES $I_A(IN)$ , $I_B(IN)$ E $I_C(IN)$ ; TENSÕES $V_o$ , $V_o(BOOST)$ , $V_{CNC}$ E $V_{CFB}$ DOS PARA OS MÉTODOS DE CONTROLE DO CONVERSOR BOOST POR (A) PWM, (B) HISTERESE E (C) DQ0. ....	73
FIGURA 47 PROTÓTIPO DO RETIFICADOR HÍBRIDO TRIFÁSICO DESENVOLVIDO EM LABORATÓRIO. ....	76
FIGURA 48 ATRIBUIÇÕES DOS PINOS DE GPIO CONFIGURADOS NO ALGORITMO DE CONTROLE DO CONVERSOR FULL-BRIDGE EMBARCADO NO DSP. ....	81
FIGURA 49 ATRIBUIÇÕES DOS PINOS DE GPIO CONFIGURADOS NO ALGORITMO DE CONTROLE DO CONVERSOR BOOST CONTROLADO POR HISTERESE EMBARCADO NO DSP. ....	82
FIGURA 50 ATRIBUIÇÕES DOS PINOS DE GPIO CONFIGURADOS NO ALGORITMO DE CONTROLE DO CONVERSOR BOOST CONTROLADO POR PWM E DQ0 EMBARCADO NO DSP. ....	83
FIGURA 51 TENSÃO DE SAÍDA DO RHT E CORRENTES DE LINHA DE ALIMENTAÇÃO DAS FASES A, B E C UTILIZANDO O CONTROLE POR HISTERESE OPERANDO COM CARGA DE 520 W. ....	84
FIGURA 52 TENSÃO DE SAÍDA DO RHT E CORRENTES DE LINHA DE ALIMENTAÇÃO DAS FASES A, B E C UTILIZANDO O CONTROLE POR PWM OPERANDO COM CARGA DE 520 W. ....	84

FIGURA 53 TENSÃO DE SAÍDA DO RHT E CORRENTES DE LINHA DE ALIMENTAÇÃO DAS FASES A, B E C UTILIZANDO O CONTROLE POR DQ0 OPERANDO COM CARGA DE 520 W .....	85
FIGURA 54 TENSÃO DE SAÍDA DO RHT E CORRENTES DE LINHA DE ALIMENTAÇÃO DAS FASES A, B E C UTILIZANDO O CONTROLE POR HISTERESE OPERANDO COM CARGA DE 1250 W .....	85
FIGURA 55 TENSÃO DE SAÍDA DO RHT E CORRENTES DE LINHA DE ALIMENTAÇÃO DAS FASES A, B E C UTILIZANDO O CONTROLE POR PWM OPERANDO COM CARGA DE 1250 W .....	86
FIGURA 56 TENSÃO DE SAÍDA DO RHT E CORRENTES DE LINHA DE ALIMENTAÇÃO DAS FASES A, B E C UTILIZANDO O CONTROLE POR DQ0 OPERANDO COM CARGA DE 1250 W .....	86



# LISTA DE TABELAS

TABELA 1 - COMPARATIVO ENTRE OS MÉTODOS DE CONTROLE DO CONVERSOR BOOST.....	60
TABELA 2 - REPRESENTAÇÃO MATEMÁTICA PARA CADA AFUNDAMENTO DE TENSÃO.....	70
TABELA 3 - ESPECIFICAÇÕES DO DSP TMS320F28335 DA TEXAS INSTRUMENTS®.....	77
TABELA 4 - ESPECIFICAÇÕES DO MÓDULO PARA AQUISIÇÃO E CONDICIONAMENTO DE SINAIS DE CORRENTE E DE TENSÃO.....	78
TABELA 5 - ESPECIFICAÇÕES DO MÓDULO DE CONVERSÃO DOS SINAIS DE SAÍDA DO DSP DE 0 A 3,3 V PARA 0 A 15 V. ....	78
TABELA 6 - ESPECIFICAÇÕES DO GATE-DRIVER DRO100S25A DA SUPPLIER®. ....	78
TABELA 7 - ESPECIFICAÇÕES DA FONTE TRIFÁSICA PROGRAMÁVEL FCATHQ 450-22-100 DA SUPPLIER®. ....	79

## SIMBOLOGIA

$CA$  - Corrente alternada

$C_B$  - Capacitor de saída do conversor Boost

$CC$  - Corrente contínua

$C_{FB}$  - Capacitor de saída do conversor Full-Bridge

$C_{NC}$  - Capacitor de saída do retificador não controlado de seis pulsos

$d$  - Razão cíclica de operação do conversor Full-Bridge

$DHT$  - Distorção Harmônica Total

$DHTI$  - Distorção Harmônica Total de Corrente

$dq0'$  - Direct-Quadrature-Zero Transformation

$DSP$  - *Digital Signal Processor*

DSP - Digital Signal Processor

$e_{v(B)}$  - Diferença entre a referência de tensão  $V_{o(Boost)}^*$  e a tensão  $V_{o(Boost)}$

$e_{v(FB)}$  - Diferença entre a referência de tensão  $V_o^*$  e a tensão  $V_o$

$f$  - Frequência da rede (60 Hz)

$f$  – Frequência da Rede (60 Hz)

$f_{ch}$  - Frequência de chaveamento

FEELT - Faculdade de Engenharia Elétrica

$f_R$  - Frequência de ressonância

$f^s$  – Frequência de Chaveamento

$f_\alpha$  – Frequência de Amostragem

$i_{a(in)}$  - Corrente de linha de entrada da fase A

$i_{a(Ret-1)}$  - Corrente drenada pela fase A de Ret-1

$i_{a(Ret-2)}$  - Corrente drenada pela fase A de Ret-2

$i_{b(in)}$  - Corrente de linha de entrada da fase B

$i_{b(Ret-1)}$  - Corrente drenada pela fase B de Ret-1

$i_{b(Ret-2)}$  - Corrente drenada pela fase B de Ret-2

$i_{c(in)}$  - Corrente de linha de entrada da fase C

$i_{c(Ret-1)}$  - Corrente drenada pela fase C de Ret-1

$i_{c(Ret-2)}$  - Corrente drenada pela fase C de Ret-2

$i_{Cfb}$  - Corrente no capacitor  $C_{FB}$

*IEC - International Electrotechnical Commission*

IGBT's – Insulated gate bipolar transistor

$i_{Ref-A}$  - Referência senoidal de corrente da fase A

$i_{Ref-B}$  - Referência senoidal de corrente da fase B

$i_{Ref-C}$  - Referência senoidal de corrente da fase C

$I_{RMS}$  - Valor eficaz das correntes de entrada

$i_{sen-A*}$  - Referência senoidal gerada pelo PLL da fase A

$i_{sen-B*}$  - Referência senoidal gerada pelo PLL da fase B

$i_{sen-C*}$  - Referência senoidal gerada pelo PLL da fase C

$K$  - Ganho da função de transferência de primeira ordem

$L_B$  - Indutor de entrada do conversor Boost

$L_{FB}$  - Indutor do conversor Full-Bridge

MOSFET's – Transistor de Efeito de Campo de Metal-Óxido Semicondutor

NUPEP - Núcleo de Pesquisas em Eletrônica de Potência

PI - Proporcional Integral

PID - Proporcional Integral Derivativo

*PLL - Phase Locked Loop*

$P_o$  - Potência ativa total de saída

$P_{o(Ret-1)}$  - Potência ativa processada pela estrutura Ret-1

$P_{o(Ret-2)}$  - Potência ativa processada pela estrutura Ret-2

PWM – Modulação por Largura de Pulso

*PWM - Pulse Width Modulation*

*Ret-1* - Estrutura retificadora 1 do RHT

Ret-1 - Retificador Trifásico Não Controlado de Seis Pulsos

Ret-2 - Conversores Chaveados (SEPIC)

*Ret-2* - Estrutura retificadora 2 do RHT

$R_{FB}$  - Resistência de carga equivalente à operação do conversor Full-Bridge

*RHT* - Retificador híbrido trifásico

RHT - Retificador Híbrido Trifásico

*RNC* - Retificador não controlador

$S_{1B...6B}$  - Interruptores do conversor Boost

$S_{1FB...4FB}$  - Interruptores do conversor Full-Bridge

SVPWM - Modulação por Largura de Pulso no Espaço Vetorial

THDi - Distorção Harmônica de Corrente

$u$  - Vetor de entrada

UFU - Universidade Federal de Uberlândia

$u_{v(B)}$  - Saída do controlador de tensão do conversor Boost

$u_{v(FB)}$  - Saída do controlador de tensão do conversor Full-Bridge

$u_{v(sat)}$  - Saída saturada do controlador de tensão do conversor Full-Bridge

V – Volts, unidade de tensão elétrica

$v_0$  – Tensão de Saída

$v_{ab}$  - Tensão entre as fases A e B

$v_{ac}$  - Tensão entre as fases A e C

$v_{an}$  - Tensão entre a fase A e o neutro

$v_{ba}$  - Tensão entre as fases B e A

$v_{bc}$  - Tensão entre as fases B e C

$v_{bn}$  - Tensão entre a fase B e o neutro

$v_{ca}$  - Tensão entre as fases C e A

$v_{cb}$  - Tensão entre as fases C e B

$V_{CC}$  - Nível CC de tensão somada à onda dente de serra para utilização no PLL

$V_{GS1B}$  - Sinal de gatilho enviado para a chave  $S_{1B}$

$V_{GS1FB}$  - Sinal de gatilho enviado para a chave  $S_{1FB}$

$V_{GS2B}$  - Sinal de gatilho enviado para a chave  $S_{2B}$

$V_{GS2FB}$  - Sinal de gatilho enviado para a chave  $S_{2FB}$

$V_{GS3B}$  - Sinal de gatilho enviado para a chave  $S_{3B}$

$V_{GS3FB}$  - Sinal de gatilho enviado para a chave  $S_{3FB}$

$V_{GS4B}$  - Sinal de gatilho enviado para a chave  $S_{4B}$

$V_{GS4FB}$  - Sinal de gatilho enviado para a chave  $S_{4FB}$

$V_{GS5B}$  - Sinal de gatilho enviado para a chave  $S_{5B}$

$V_{GS6B}$  - Sinal de gatilho enviado para a chave  $S_{6B}$

$V_{o(Boost)}$  – Tensão de saída do Conversor Boost

$V_{ref}$  – Tensão de referência

$ZOH$  - *Zero-Order Hold*

$\omega$  - Frequência angular

# SUMÁRIO

<b>CAPÍTULO I .....</b>	<b>20</b>
<b>1 INTRODUÇÃO GERAL.....</b>	<b>20</b>
<b>1.1 Introdução .....</b>	<b>20</b>
1.1.1 <i>Modulação por Largura de Pulso (PWM) .....</i>	22
1.1.2 <i>Modulação por Largura de Pulso no Espaço Vetorial (SVPWM).....</i>	23
1.1.3 <i>Modulação por Histerese.....</i>	24
<b>1.2 Contribuições da Dissertação .....</b>	<b>24</b>
<b>1.3 Objetivo da Dissertação .....</b>	<b>27</b>
<b>1.4 Estrutura da Dissertação .....</b>	<b>27</b>
<b>CAPÍTULO II.....</b>	<b>28</b>
<b>2 ESTRATÉGIAS DE CONTROLE DO RETIFICADOR HÍBRIDO TRIFÁSICO .....</b>	<b>28</b>
<b>2.1 Considerações Iniciais .....</b>	<b>28</b>
<b>2.2 Estratégia de Controle do Conversor Full-Bridge .....</b>	<b>28</b>
<b>2.3 Estratégia de Controle do Conversor Boost.....</b>	<b>30</b>
2.3.1 <i>Controle do Conversor Boost pela Transformada dq0.....</i>	30
A. Princípio de Funcionamento do Controle por dq0 implementado .....	34
B. Projeto do controlador de Corrente .....	39
C. Projeto do controlador de Tensão .....	39
D. Conclusões referente ao Contole por Transformada dq0.....	40
2.3.2 <i>Controle do Conversor Boost por Histerese .....</i>	41
A. Princípio de Funcionamento do Controle por Histerese Implementado .....	43
B. Princípio de Funcionamento do PLL.....	45
C. Projeto dos Controladores.....	47
D. Conclusões referente ao Contole por Histerese .....	54
2.3.3 <i>Controle do Conversor Boost por PWM.....</i>	54
<b>2.4 Comparação Entre as Estratégias de Controle do Conversor Boost.....</b>	<b>59</b>
<b>CAPÍTULO III .....</b>	<b>61</b>
<b>3 RESULTADOS DE SIMULAÇÃO COMPUTACIONAL.....</b>	<b>61</b>
<b>3.1 Considerações Iniciais .....</b>	<b>61</b>
<b>3.2 Esquemático de Simulação .....</b>	<b>61</b>
<b>3.3 Resultados de Simulação do RHT sob Condições Normais de Suprimento da Rede Elétrica.....</b>	<b>64</b>
<b>3.4 Resultados de Simulação do RHT sob Condições de Afundamentos de Tensão .....</b>	<b>70</b>
<b>3.5 Considerações finais .....</b>	<b>74</b>
<b>CAPÍTULO IV .....</b>	<b>76</b>
<b>4 RESULTADOS EXPERIMENTAIS.....</b>	<b>76</b>

<b>4.1 Protótipo Experimental .....</b>	<b>76</b>
<b>4.2 Implementação dos Algoritmos de Controle.....</b>	<b>79</b>
4.2.1 <i>Estratégia de Controle do Computador 2 – Conversor Full-Bridge .....</i>	<i>80</i>
4.2.2 <i>Estratégia de Controle do Computador 1 – Conversor Boost .....</i>	<i>81</i>
A. Configurações de Hardware do Conversor Boost por Histerese.....	82
B. Configurações de Hardware do Conversor Boost por PWM e $dq_0$ .....	82
<b>4.3 Resultados Experimentais do RHT Operando com Potência de 520 W .....</b>	<b>83</b>
<b>4.4 Resultados Experimentais do RHT Operando com Potência de 1250 W .....</b>	<b>85</b>
<b>4.5 Considerações finais .....</b>	<b>86</b>
<b>CAPÍTULO V .....</b>	<b>88</b>
<b>5 CONCLUSÕES .....</b>	<b>88</b>
<b>CAPÍTULO VI .....</b>	<b>90</b>
<b>6 REFERÊNCIAS BIBLIOGRÁFICAS .....</b>	<b>90</b>
<b>APÊNDICE A – CÓDIGO DE CONTROLE DO RHT EMBARCADO NO DPS TMS320F28335 PARA CONTROLE DO CONVERSOR FULL-BRIDGE .....</b>	<b>95</b>
<b>APÊNDICE B – CÓDIGO DE CONTROLE DO RHT EMBARCADO NO DPS TMS320F28335 PARA CONTROLE DO CONVERSOR BOOST – PWM .....</b>	<b>98</b>
<b>APÊNDICE C – CÓDIGO DE CONTROLE DO RHT EMBARCADO NO DPS TMS320F28335 PARA CONTROLE DO CONVERSOR BOOST – HISTERESE.....</b>	<b>106</b>
<b>APÊNDICE D – CÓDIGO DE CONTROLE DO RHT EMBARCADO NO DPS TMS320F28335 PARA CONTROLE DO CONVERSOR BOOST – <math>DQ_0</math> .....</b>	<b>114</b>

# CAPÍTULO I

## 1 Introdução Geral

---

### 1.1 Introdução

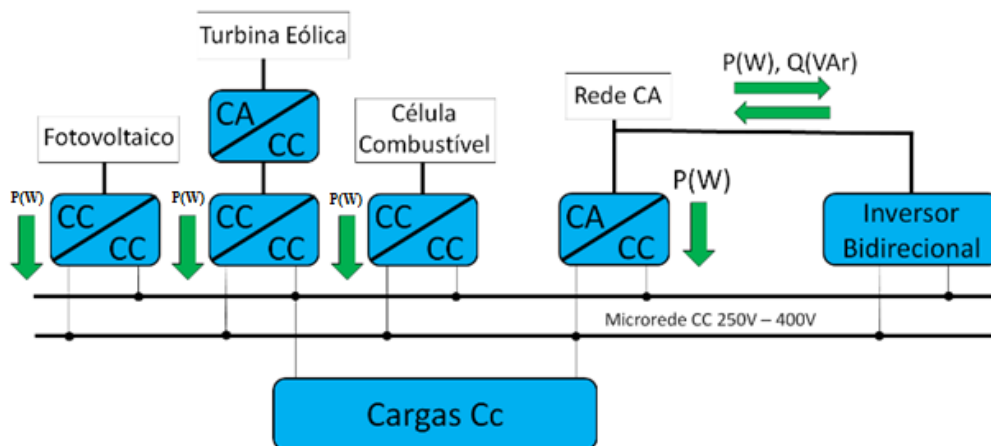
A efetiva utilização das fontes de energia alternativa de pequeno porte exige, na grande maioria dos casos, a utilização de conversores de potência dedicados. Tais equipamentos visam tornar a energia gerada adequada para o suprimento de cargas elétricas convencionais e chaveadas, permitir a interligação com diferentes fontes de energia e dispositivos de armazenagem, além da conexão com a rede pública [1]-[4]. Além destes motivos, a utilização de conversores de potência é necessária para entregar a energia com qualidade aceitável do ponto de vista da carga, com reduzido conteúdo harmônico e com amplitude e frequência da tensão compatíveis [5].

Conversores CA-CC são comumente utilizados para fazer interface entre a rede CA de alimentação e o barramento CC onde estão conectadas as cargas e fontes renováveis de energia que compõem a microrrede, como retratada na Figura 1 são utilizados para a injeção de potência no barramento CC a partir da rede CA, em condições onde a energia gerada pelos centros de microgeração não é suficiente para suprir as cargas da microrrede [2]-[9]. Em condição de excedente de energia no barramento CC, uma parcela dessa energia pode ser injetada na rede CA de alimentação por meio de conversores CC-CA [10]-[14], ou confinada em sistemas de armazenamento de energia através da utilização de conversores CC-CC, que por sua vez servem também para converter a tensão do barramento CC em diferentes níveis de tensão, utilizados pelas distintas cargas presentes na microrrede.

É importante destacar que quando há a interface de conexão entre a rede CA fornecida pela concessionária de energia elétrica e a microrrede, perturbações da rede CA de alimentação, como afundamentos temporários de tensão e interrupções de suprimento da energia elétrica, podem afetar o sistema de distribuição CC presente na microrrede, provocando circulação de correntes de alta magnitude, ao longo dos alimentadores que interligam o serviço público de distribuição CA à microrrede [15].



Figura 1 Diagrama esquemático de uma microrrede CC.



Fonte: (RODRIGUES, 2016).

Pesquisas em torno de conversores CA-CC e estruturas retificadoras híbridas (integração entre retificadores passivos e conversores chaveados) têm despertado o interesse por parte da comunidade científica no sentido de desenvolver métodos de controle destas estruturas para promover a regulação da tensão no barramento CC e fornecer à rede das concessionárias correntes com baixo conteúdo harmônico e elevado fator de potência.

Tais estratégias de controle, aplicadas na geração dos pulsos de gatilho para os dispositivos de chaveamento, são consideradas como sendo o núcleo dos conversores. Basicamente, são executadas em três partes. A primeira corresponde à aquisição dos sinais essenciais de tensão e de corrente, usados para alimentar os processadores que executam o algoritmo de controle. A segunda corresponde à geração dos sinais de referência que o conversor irá seguir. A terceira é a geração dos pulsos de gatilho para os dispositivos de chaveamento.

Em conversores CA-CC operando apenas na alimentação de cargas com corrente contínua, duas variáveis são controladas, a corrente de entrada ( $i_{fase}$ ) e a tensão no barramento CC ( $v_0$ ). A corrente de entrada deve estar em fase com a tensão na entrada para garantir o fator de potência unitário, além disso, deverá apresentar o mínimo de distorção harmônica possível. A tensão no barramento CC deve ser constante e com a mínima ondulação possível. Estas três características são os objetivos de controle dos retificadores ativos.

O objetivo de controle da maioria das estratégias encontradas na literatura é que a corrente de entrada seja uma réplica da tensão de entrada, pois a grande preocupação nos projetos de controladores é manter o fator de potência unitário. Porém deve também haver uma preocupação quanto à forma de onda da tensão de entrada, pois se a mesma apresentar distorção, a corrente controlada também será distorcida [16].

A primeira parte da estratégia de controle de um conversor corresponde à aquisição dos sinais essenciais de tensão e corrente. Os sinais adquiridos geralmente são a tensão CA, as correntes de entrada e a tensão no barramento CC do conversor. Nesta etapa os sinais adquiridos pelos sensores são digitalizados e usados na realização das etapas de cálculo.

A segunda parte da estratégia é a execução do algoritmo de controle. Nesta etapa são realizados os cálculos necessários para o correto funcionamento do conversor, como também a regulação das variáveis do sistema. Vários tipos de controladores são empregados na etapa do controle dos conversores, como controladores PI (Proporcional Integral) e PID (Proporcional Integral Derivativo) por possuírem rápida resposta dinâmica e ao mesmo tempo manter a estabilidade do sistema conversor. A saída desta etapa do controle geralmente é o sinal de referência, tensão ou corrente, que deverá ser utilizado para gerar os pulsos de gatilho dos dispositivos de chaveamento.

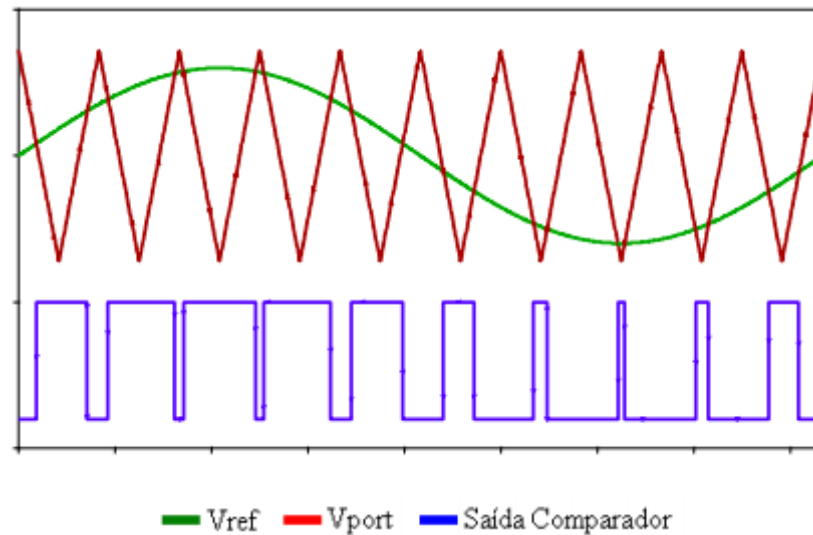
No caso de retificadores, a referência é geralmente um sinal senoidal que o retificador deverá seguir de acordo com o chaveamento dos seus IGBT's ou MOSFET's. A maioria das estratégias de controle aplicadas exigem transformações matemáticas complexas e um número elevado de variáveis a serem medidas. Dentre os métodos existentes, o modo de controle de corrente é usado em conversores pela necessidade de geração de uma referência de corrente a ser seguida pelo conversor [17].

A terceira parte da estratégia de controle é justamente a geração dos sinais de gatilho para os dispositivos de estado sólido que compõem o conversor. Os sinais de tensão e corrente adquiridos e a corrente de referência servem de alimentação para este estágio do controlador, o qual tem como saída os pulsos para cada chave, que determinam o tempo que cada chave deverá ficar fechada. Na literatura, as técnicas de geração dos pulsos de gatilho mais conhecidas para retificadores são a modulação por largura de Pulso (PWM), Modulação por Largura de Pulso no Espaço Vetorial (SVPWM) e Histerese.

### **1.1.1 Modulação por Largura de Pulso (PWM)**

Esta técnica consiste na comparação de dois sinais de tensão, um de baixa frequência (referência) e o outro de alta frequência (portadora), resultando em um sinal alternado com frequência fixa e largura de pulso variável, assim como demonstrado na Figura 2 [16].

Figura 2 Demonstrativo de sinal gerado na saída da modulação por PWM.

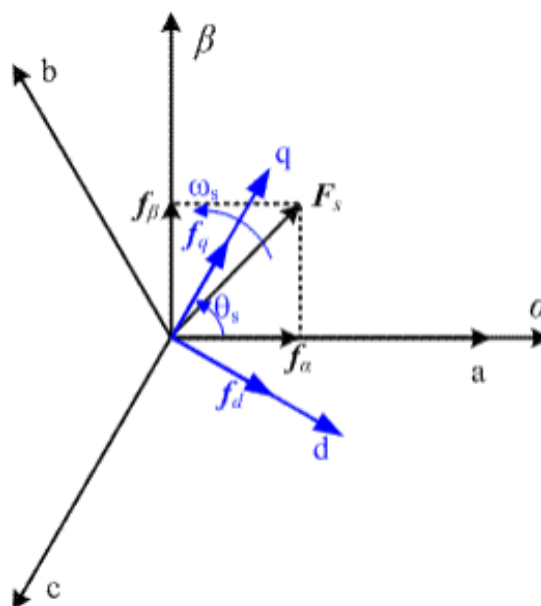


Fonte: (RODRIGUES, 2016).

### 1.1.2 Modulação por Largura de Pulso no Espaço Vetorial (SVPWM)

Na literatura, nota-se que as pesquisas existentes mostram que este tipo de controle é separado em três famílias distintas, a que usa o sistema de coordenadas 'abc', a que usa o sistema de coordenadas ' $\alpha\beta 0$ ' e a que usa o sistema de coordenadas 'dq0' (direct-quadrature-zero transformation). Nestas modulações por espaços vetoriais, a corrente de entrada é controlada como uma quantidade de vetor no domínio  $\alpha\beta$  ou dq, assim elas são acionadas pela diferença entre cada onda senoidal trifásica de 120 graus com a portadora, conforme Figura 3 [48].

Figura 3 Relação entre os sistemas de coordenadas 'abc', ' $\alpha\beta 0$ ' e 'dq0'.

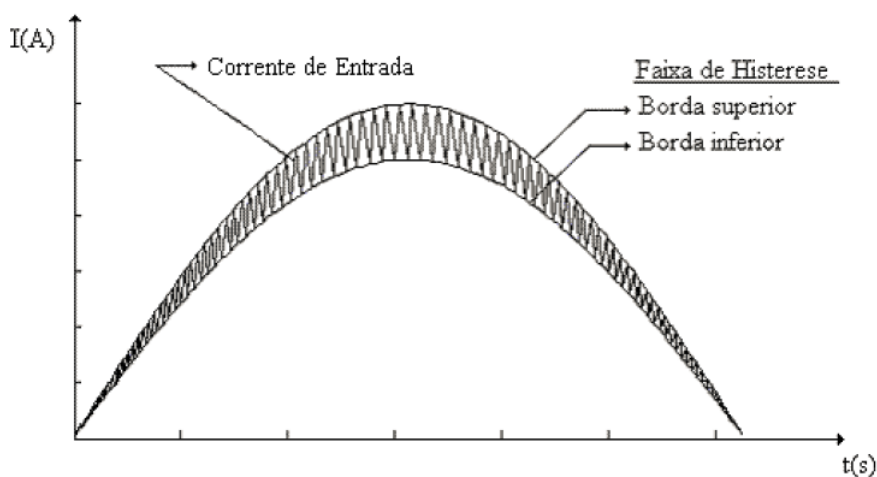


Fonte: (BORGONOVO, 2001).

### 1.1.3 Modulação por Histerese

Esta técnica de modulação baseia-se no monitoramento da corrente de entrada ao longo de uma determinada faixa, denominada faixa de histerese [18]. A corrente de entrada, obtida a partir de um sensor de corrente, é comparada com as referências senoidais que compõem os extremos desta faixa. Quando a corrente de entrada atinge o limite exterior da mesma, o conversor é comutado para a etapa de operação, de maneira que a corrente inverta o sentido de variação, passando a oscilar dentro do limite estabelecido pela faixa de histerese, conforme mostra a Figura 4.

Figura 4 Modelo de monitoração da corrente através da faixa de histerese.



Fonte: (BODE e HOLMES, 2000).

## 1.2 Contribuições da Dissertação

No intuito de amenizar os problemas relacionados às oscilações de tensão no barramento CC que uma microrrede está sujeita, às intermitências das fontes alternativas de energia, à conexão excessiva de microgeradores, à conexão e remoção de cargas CC de grande potência e aos curtos-circuitos, o Núcleo de Pesquisas em Eletrônica de Potência (NUPEP) da Faculdade de Engenharia Elétrica (FEELT) da Universidade Federal de Uberlândia (UFU) vem desenvolvendo pesquisas com relevantes publicações envolvendo a utilização de retificadores híbridos robustos, de alto fator de potência e elevado rendimento. Ressalta-se a publicação [19], onde se inclui a contribuição desta dissertação a qual apresenta uma inovadora estrutura retificadora híbrida trifásica que por sua vez é derivada e aprimorada das publicações de [20] e [21].

A estrutura proposta por [19], ilustrada na Figura 5, consiste em um retificador não controlado de seis pulsos com indutores do lado CA, denominado de Ret-1. A entrada é conectada em paralelo e a saída é conectada em série com a estrutura Ret-2, que por sua vez é composta por um conversor Boost trifásico totalmente controlado com indutores do lado CA responsável pela imposição de correntes de linha de entrada senoidais, cascadeado a um conversor CC-CC Full-Bridge isolado responsável por promover a compensação série de tensão no barramento CC.

Desta forma, este retificador híbrido trifásico (RHT) é capaz de promover a regulação da tensão no barramento CC em 400 V, utilizando compensação série de tensão, e ao mesmo tempo, proporcionar a imposição de correntes de linha de entrada senoidais para assegurar alto fator de potência e a mitigação do conteúdo harmônico de corrente.

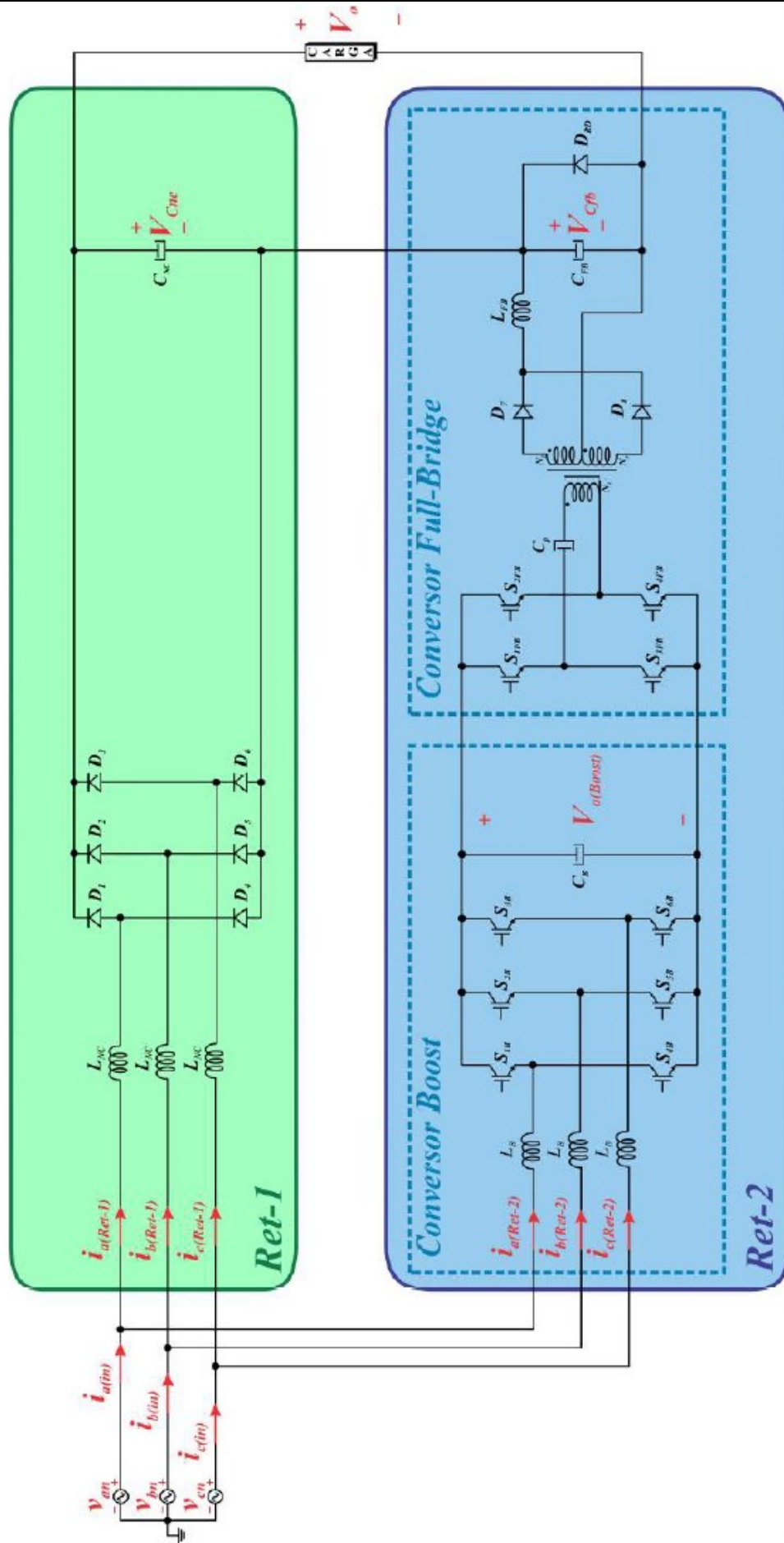
Assim, a fim de oferecer uma melhor alternativa para o controle do conteúdo harmônico de corrente injetado na rede elétrica [22]-[26], este trabalho apresenta uma comparação entre três diferentes métodos de controle do conversor Boost trifásico de seis chaves da estrutura retificadora híbrida trifásica proposta em [19], que são: (i) histerese; (ii) PWM; e (iii) dq0.

Deve-se ressaltar ainda o fato de que a utilização de técnicas de controle digital para aplicações envolvendo eletrônica de potência propiciam significativas vantagens, pois permitem uma maior versatilidade e flexibilidade operacional, e ainda garantem uma redução considerável dos circuitos de controle, uma vez que extensos circuitos de comando que utilizam componentes discretos, podem ser substituídos por um único dispositivo capaz de realizar, digitalmente, múltiplas funções [13]-[15], [19]-[20].

Para tal, a presente dissertação de mestrado volta-se para a implementação de estratégias de controle utilizando o DSP (Digital Signal Processor) TMS320F28335 da Texas Instruments®. Desta forma, os conversores chaveados são capazes de impor a forma de onda desejada, assegurando alto fator de potência e reduzida distorção harmônica total de corrente (DHTI).

Concluindo, destaca-se que, neste trabalho, será apresentada uma avaliação dos três métodos de controle que leva em consideração a correção do fator de potência, a imposição de correntes de linha de entrada senoidais (tendo como base a distorção harmônica de corrente e a regulação da tensão de alimentação do conversor Full-Bridge. Para validar a análise teórica realizada, um protótipo de 5 kW foi construído e avaliado em laboratório.

Figura 5 Estrutura Retificadora Híbrida Trifásica (RHT) proposta em [27].



Fonte: (RODRIGUES e SILVA, 2016).

### 1.3 Objetivo da Dissertação

O objetivo desta pesquisa é averiguar se o controle por histerese utilizado na tese [27] para o conversor Boost trifásico com correção de fator de potência e alta densidade de potência da estrutura retificadora híbrida trifásica, em questão, quando comparado aos controles por PWM e por  $dq0$  apresenta diferenças ao ponto de interferir na qualidade das correntes de linha de entrada e na regulação de tensão no barramento CC quando submetidos aos distúrbios de afundamentos de tensão e degraus de carga, pontos estes que são importantes para avaliar se este RHT atende aos requisitos para utilização em microrredes. Espera-se que os três tipos de controle sejam adequados para a utilização no RHT e que não haja grandes diferenças significativas entre eles.

### 1.4 Estrutura da Dissertação

Esta dissertação está dividida em cinco capítulos, incluindo este introdutório, o qual apresenta um resumo sobre os principais objetivos e contribuições do presente trabalho.

No Capítulo 2 é apresentada a estrutura retificadora híbrida em questão, destacando as características operacionais para imposição de correntes de linha de entrada senoidais e regulação de tensão no barramento CC. Neste capítulo são apresentadas também a teoria e a análise matemática referente aos três tipos de controle em estudo.

No Capítulo 3 são apresentados os principais resultados de simulações computacionais obtidos utilizando a plataforma PSim® a fim de validar os métodos de controle estudados.

No Capítulo 4 são apresentados os resultados experimentais obtidos com um protótipo de laboratório de 5 kW de potência.

E por fim, no Capítulo 5, concluindo esta dissertação de Mestrado, é apresentado uma síntese dos principais resultados alcançados, evidenciando as principais questões atreladas à operação e controle do conversor Boost, bem como algumas sugestões para trabalhos futuros.

## CAPÍTULO II

### 2 Estratégias de Controle do Retificador Híbrido Trifásico

#### 2.1 Considerações Iniciais

O foco deste capítulo é a apresentação da estratégia de controle adotada para estabelecer com que o RHT realize a imposição de correntes de linha de entrada senoidais e a regulação de tensão no barramento CC. A técnica de controle para regulação de tensão é baseada na compensação série de tensão, feita pelo conversor Full-Bridge e as estratégias para imposição de corrente seguem os princípios de controle por histerese, PWM e dq0 no conversor Boost trifásico.

#### 2.2 Estratégia de Controle do Conversor Full-Bridge

A técnica de controle utilizada para o RHT objetiva a compensação série de tensão no barramento CC através da utilização de um conversor Full-Bridge isolado cujo capacitor de saída é ligado em série com o capacitor de saída do retificador não controlado [27].

No que diz respeito à compensação série de tensão no barramento CC, a Figura 6 demonstra o diagrama esquemático do circuito de controle do conversor Full-Bridge, considerando o circuito equivalente, onde a saída do conversor Boost é vista pela entrada do conversor Full-Bridge como uma fonte de tensão  $V_{o(Boost)}$ .

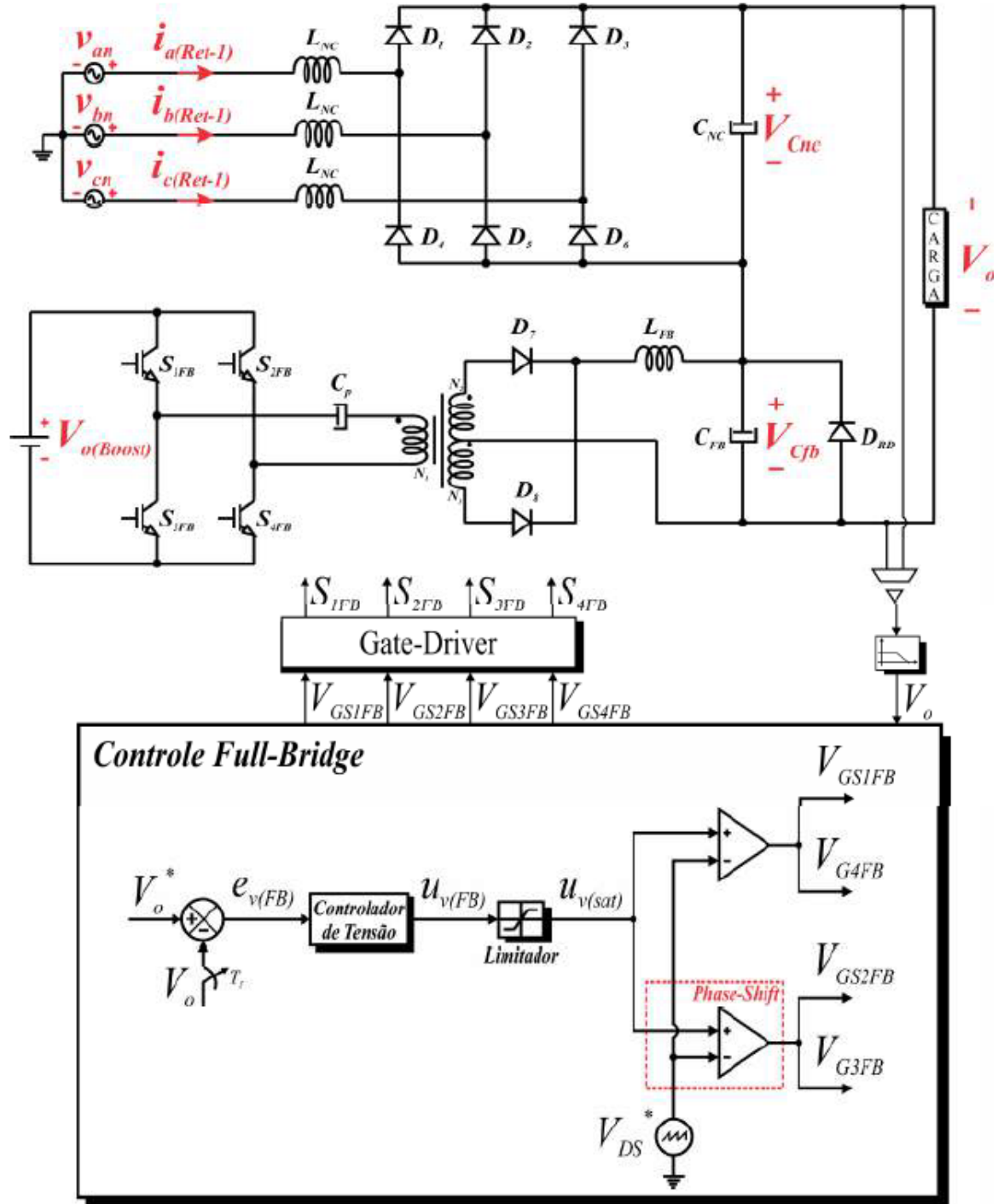
De modo a promover uma tensão de 400 V no barramento CC, utiliza-se um controlador de tensão que processa o sinal de erro  $e_{v(FB)}$  entre a tensão de saída  $V_o$  e a referência de tensão  $V_o^*$ , definida em 400 V. O controlador fornece um sinal de saída  $u_{v(FB)}$  que é utilizado para a geração dos pulsos enviados aos interruptores  $S_{1FB}$ ,  $S_{2FB}$ ,  $S_{3FB}$  e  $S_{4FB}$  do conversor Full-Bridge. O objetivo da lógica para geração dos pulsos dos interruptores do conversor Full-Bridge é reduzir o erro  $e_{v(FB)}$  a zero e consequentemente estabelecer que a tensão no barramento CC siga a referência de tensão desejada.

Conforme definido no equacionamento matemático apresentado em [27], para garantir que a razão cíclica máxima de operação dos interruptores seja de 0,49 para a metade do período de chaveamento ( $T_{ch}$ ), aplica-se um limitador sobre o sinal de saída  $u_{v(FB)}$  do controlador de tensão. Para a geração dos sinais de pulso enviados às chaves  $S_{1FB}$  ( $V_{GS1FB}$ ) e  $S_{4FB}$  ( $V_{GS4FB}$ ), estabelece-se uma estratégia de controle baseada em modulação por largura de pulso, onde é realizada a comparação entre a saída saturada ( $u_{v(sat)}$ ) e uma onda dente-de-serra de amplitude



unitária e frequência de 25 kHz ( $V_{DS}^*$ ). Desta forma, enquanto  $u_{v(sat)}$  for maior que  $V_{DS}^*$ , níveis altos de pulso são enviados para  $S_{1FB}$  e  $S_{4FB}$ , e caso contrário, são enviados níveis baixos de pulso.

Figura 6 Diagrama esquemático do circuito de controle do conversor Full-Bridge.



Fonte: (RODRIGUES, 2016).

## 2.3 Estratégia de Controle do Conversor Boost

Além da técnica de compensação série de tensão no barramento CC através da utilização de um conversor Full-Bridge o RHT objetiva também a imposição de correntes de linha de entrada senoidais através da utilização do conversor Boost trifásico para garantir uma baixa distorção harmônica de corrente e um elevado fator de potência na entrada.

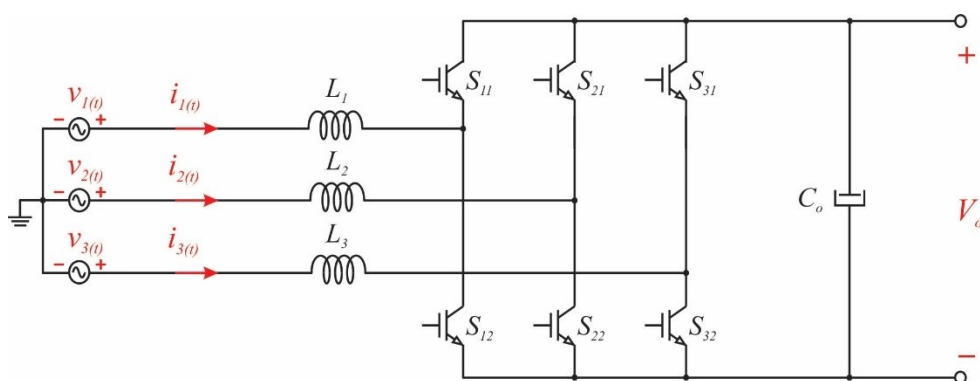
O controle deste Conversor Boost é o foco principal de estudo deste trabalho, onde os métodos de controle por histerese, PWM e dq0 foram comparados afim de averiguar se ocorrem diferenças significativas, ao ponto de interferir na qualidade das correntes de linha de entrada e na regulação de tensão no barramento CC.

### 2.3.1 Controle do Conversor Boost pela Transformada dq0

Utilizando a teoria dos eixos girantes dq [28]-[31], o controle vetorial deste conversor é realizado alinhando o eixo  $d$  com o vetor tensão da rede. Será utilizado o método convencional de controle da tensão na saída do conversor em que a mesma é forçada a seguir um sinal de referência.

Na dissertação de mestrado de [48] foi elaborado e demonstrado uma técnica de controle para o conversor Boost apresentado na Figura 7. Uma parte desta demonstração será citado para melhor entendimento desta técnica de controle.

Figura 7 Circuito do conversor Boost trifásico simplificado para análise.



Fonte: (RODRIGUES, 2016).

Para iniciar a análise supõe-se que a alimentação é senoidal e equilibrada, de forma que as tensões de fase são definidas pela equação (1).

$$\begin{cases} V_1(t) = V_p \cdot \sin(\omega \cdot t) \\ V_2(t) = V_p \cdot \sin(\omega \cdot t - 120^\circ) \\ V_3(t) = V_p \cdot \sin(\omega \cdot t + 120^\circ) \end{cases} \quad (\text{Eq. 1})$$

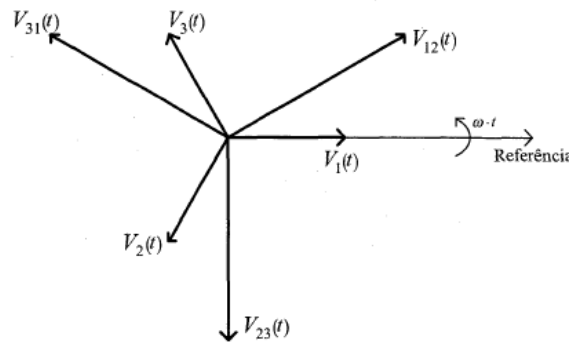
Desta forma, as tensões de linha são dadas por:

$$\begin{cases} V_{12}(t) = V_1(t) - V_2(t) = \sqrt{3} \cdot V_p \cdot \sin(\omega \cdot t + 30^\circ) \\ V_{23}(t) = V_2(t) - V_3(t) = \sqrt{3} \cdot V_p \cdot \sin(\omega \cdot t - 90^\circ) \\ V_{32}(t) = V_3(t) - V_1(t) = \sqrt{3} \cdot V_p \cdot \sin(\omega \cdot t + 150^\circ) \end{cases} \quad (\text{Eq. 2})$$

Assim, as tensões de linha e de fase podem ser representadas vetorialmente conforme apresentado na Figura 8, onde a referência permanece em repouso e os vetores que representam as tensões giram no sentido anti-horário com velocidade angular correspondente à frequência da rede.

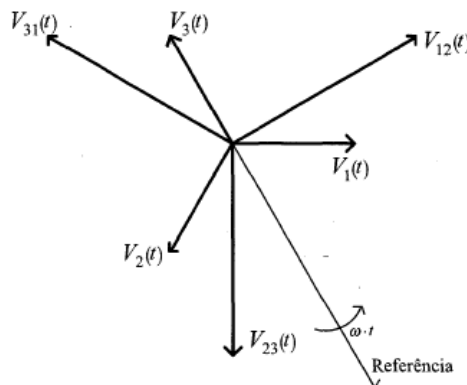
Alterando-se a referência convenientemente, onde a referência ainda está em repouso e os vetores (que representam as tensões) permanecem girando no sentido anti-horário, tem-se a Figura 9.

Figura 8 Representação vetorial das tensões de fase e de linha.



Fonte: (BORGONOVO, 2001).

Figura 9 Representação vetorial das tensões de fase e de linha, com a referência convenientemente deslocada (atrasada 60° em relação à referência da Figura 8).



Fonte: (BORGONOVO, 2001).

Então, a partir da Figura 9, com a referência deslocada ( $60^\circ$  atrasada em relação à referência anterior apresentada na Figura 8), as tensões de linha são dadas por:

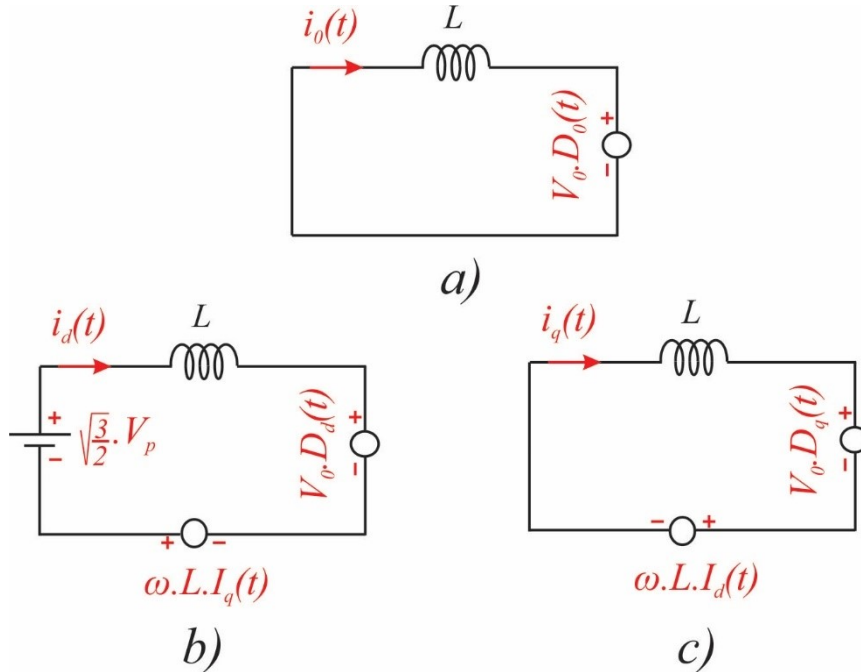
$$\begin{cases} V_{12}(t) = \sqrt{3} \cdot V_p \cdot \sin(\omega \cdot t + 90^\circ) = \sqrt{3} \cdot V_p \cdot \cos(\omega \cdot t) \\ V_{23}(t) = \sqrt{3} \cdot V_p \cdot \sin(\omega \cdot t - 30^\circ) = \sqrt{3} \cdot V_p \cdot \cos(\omega \cdot t - 120^\circ) \\ V_{32}(t) = \sqrt{3} \cdot V_p \cdot \sin(\omega \cdot t + 210^\circ) = \sqrt{3} \cdot V_p \cdot \cos(\omega \cdot t + 120^\circ) \end{cases} \quad (\text{Eq. 3})$$

De posse destas informações foi desenvolvido um equacionamento para obter o modelo do conversor visto a partir da entrada (CA) [48]. Este equacionamento foi desenvolvido com o intuito de obter a equação (4).

$$\begin{cases} 0 = L \cdot \frac{dI_o(t)}{dt} + V_o \cdot D_o(t) \\ \sqrt{\frac{3}{2}} \cdot V_p = L \cdot \frac{dI_d(t)}{dt} - \omega \cdot L \cdot I_q(t) + V_o \cdot D_o(t) \\ 0 = L \cdot \frac{dI_q(t)}{dt} + \omega \cdot L \cdot I_d(t) + V_o \cdot D_o(t) \end{cases} \quad (\text{Eq. 4})$$

A partir da equação (4), obtém-se os circuitos equivalentes de sequência 0, sequência d e sequência q, apresentados na Figura 10.

Figura 10 Circuitos equivalentes das sequências a) 0; b) d; c) q.



Fonte: (BORGONOVO, 2001).

Visando obter a função de transferência das correntes em função das razões cíclicas, desenvolve-se a equação (4) obtendo-se a equação (5).

$$\begin{bmatrix} i_d(s) \\ i_q(s) \end{bmatrix} = \frac{V_0}{L} \cdot \frac{1}{s^2 + \omega^2} \cdot \begin{bmatrix} -s & -\omega \\ \omega & -s \end{bmatrix} \cdot \begin{bmatrix} d_d(s) \\ d_q(s) \end{bmatrix} \quad (\text{Eq. 5})$$

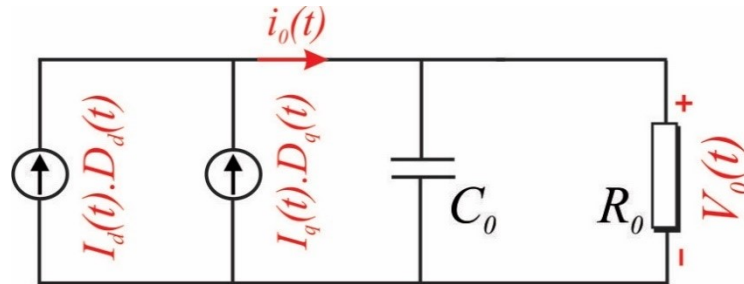
Desta forma, tem-se na equação (5) a função de transferência das correntes em função das razões cíclicas, deve-se lembrar, no entanto que as razões cíclicas  $D_d(t)$  e  $D_q(t)$  não são efetivamente grandezas físicas, mas variáveis às quais deve-se aplicar a transformada inversa de Park, para então se obter as razões cíclicas reais, este estudo será apresentado com detalhes mais adiante na definição da arquitetura do sistema de controle.

Além do equacionamento para obter o modelo do conversor visto a partir da entrada (CA) um equacionamento para obter o modelo do conversor visto a partir da saída (CC) também foi desenvolvido em [48]. Este equacionamento foi desenvolvido com o intuito de obter a equação (6).

$$I_o(t) = I_d(t) \cdot D_d(t) + I_q(t) \cdot D_q(t) \quad (\text{Eq. 6})$$

A partir da equação (6) o circuito equivalente visto a partir da saída (CC), é apresentado na Figura 11.

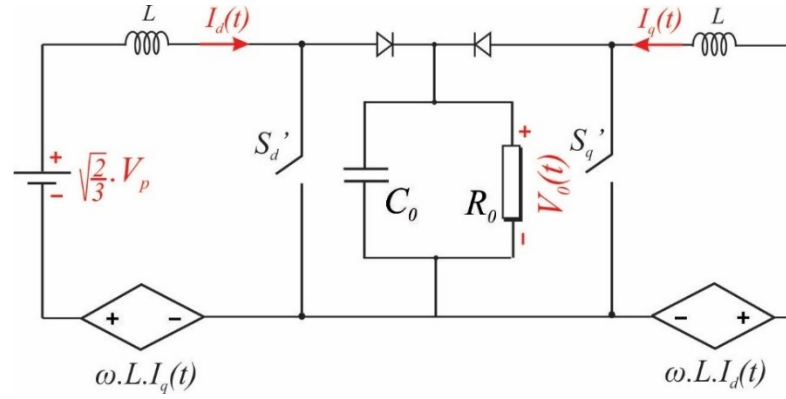
Figura 11 Circuito equivalente visto pela saída (CC) do conversor Boost.



Fonte: (BORGONOVO, 2001).

Fazendo uma interseção dos circuitos equivalentes vistos pela entrada apresentados na Figura 10 b) e na Figura 10 c), com o circuito equivalente visto pela saída apresentado na Figura 11, pode-se obter um circuito equivalente para o conversor, que é apresentado na Figura 12.

Figura 12 Circuito equivalente para o conversor Boost, visto pela entrada ou pela saída, quando aplicada a transformação de Park.



Fonte: (BORGONOVO, 2001).

Na Figura 12 os interruptores  $S_d'$  e  $S_q'$  se comportam da seguinte maneira:

$$\begin{cases} S_d' = \text{aberto, se } D_d(t) = 1 \\ S_d' = \text{fechado, se } D_d(t) = 0 \\ S_q' = \text{aberto, se } D_q(t) = 1 \\ S_q' = \text{fechado, se } D_q(t) = 0 \end{cases}$$

#### A. Princípio de Funcionamento do Controle por dq0 implementado

Inicialmente, considera-se que o conversor vai operar como conversor CA-CC, com potência reativa nula, ou seja,  $Q_{IN} = 0$ , desta forma, observando a equação (7), observa-se que para que se tenha potência reativa nula na entrada, a corrente de sequência q ( $I_q(t)$ ) deve seguir uma referência nula, ou seja, sua referência deve ser zero.

$$\begin{cases} P_{IN} = V_d \cdot I_d \\ Q_{IN} = V_d \cdot I_q \end{cases} \quad (\text{Eq. 7})$$

Por outro lado, se a potência reativa for nula, a partir da equação (8) se obtém a equação (9). Desta forma tem-se uma função de transferência bastante simples para a tensão de saída em função da corrente de sequência d, podendo-se então implementar uma malha de tensão, que irá gerar diretamente a referência para a corrente de sequência d ( $I_d(t)$ )[48].

$$v_0(s) = \frac{\sqrt{3} \cdot V_p \cdot R_0}{\sqrt{2} \cdot V_0} \cdot \left( i_d(s) \cdot \frac{1 - s \cdot \frac{2 \cdot L \cdot P_0 \cdot \eta}{3 \cdot V_p^2}}{1 + s \cdot R_0 \cdot C_0} - i_q(s) \cdot \frac{2 \cdot Q_{IN} \cdot L}{3 \cdot V_p^2} \cdot \frac{s}{1 + s \cdot R_0 \cdot C_0} \right) \quad (\text{Eq. 8})$$

$$\frac{v_0(s)}{i_d(s)} = \frac{\sqrt{3} \cdot V_p \cdot R_0}{\sqrt{2} \cdot V_0} \cdot \frac{1 - s \cdot \frac{2 \cdot L \cdot P_0 \cdot \eta}{3 \cdot V_p^2}}{1 + s \cdot R_0 \cdot C_0} \quad (\text{Eq. 9})$$

Deve-se lembrar ainda que é necessário aplicar a transformada inversa de Park sobre as variáveis de controle  $D_d(t)$  e  $D_q(t)$ , obtendo-se então  $D_{12}(t)$ ,  $D_{23}(t)$  e  $D_{31}(t)$ , onde a partir destas pode-se obter  $D_1(t)$ ,  $D_2(t)$  e  $D_3(t)$ , sobre as quais aplica-se a modulação PWM para comandar diretamente os interruptores, conforme referência ilustrativa da Figura 13. A arquitetura proposta para o sistema de controle é apresentada na Figura 14.

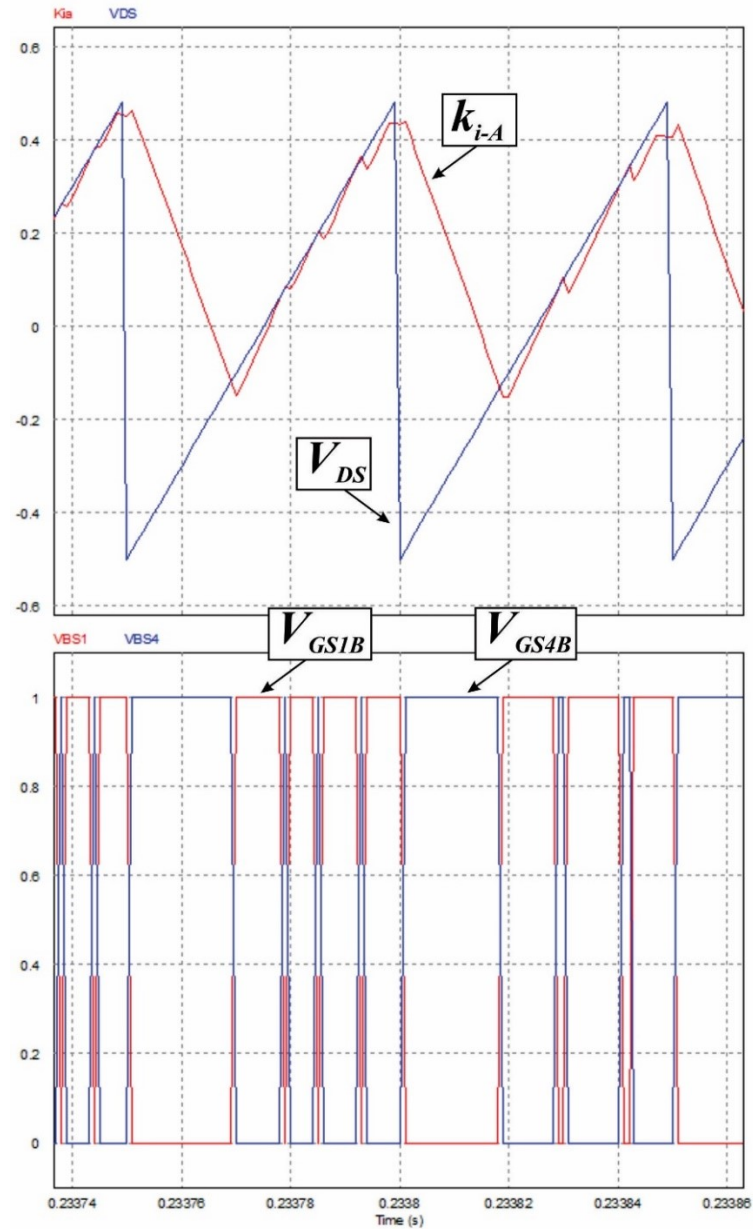
Então, já que a potência reativa desejada na entrada é nula, a tensão de saída depende unicamente da corrente  $I_d(t)$  de forma que se pode utilizar um controlador linear convencional para a malha de tensão.

Já para a malha de corrente, a função de transferência das correntes em função das razões cíclicas é apresentada na equação (10).

$$\begin{aligned} i_d(s) &= \frac{V_0}{L} \left[ -d_d(s) \cdot \frac{s}{s^2 + \omega^2} - d_q(s) \cdot \frac{\omega}{s^2 + \omega^2} \right] \\ i_q(s) &= \frac{V_0}{L} \left[ -d_d(s) \cdot \frac{\omega}{s^2 + \omega^2} - d_q(s) \cdot \frac{s}{s^2 + \omega^2} \right] \end{aligned} \quad (\text{Eq. 10})$$

Entretanto, como o objetivo neste momento não é otimizar a resposta dinâmica do sistema, mas basicamente comprovar a validade do estudo apresentado, serão feitas algumas considerações, afim de simplificar o projeto dos controladores.

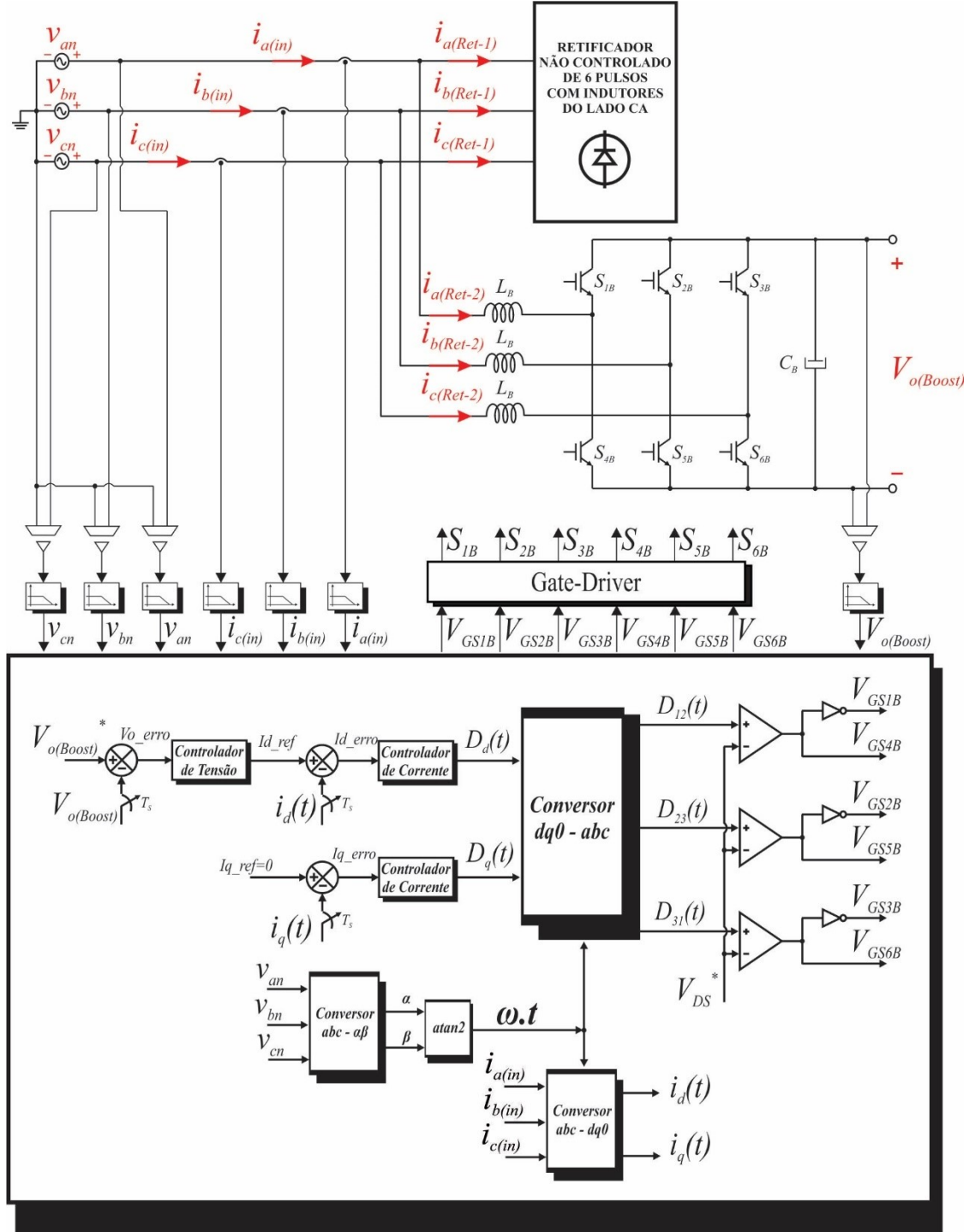
Figura 13 Lógica de variação dos sinais de gatilho dos interruptores S1B e S4B do conversor Boost por dq0.



Fonte: Dados do próprio autor.



Figura 14 Diagrama esquemático do circuito de controle do conversor Boost por dq0.



Fonte: Adaptado de (BORGONOVO, 2001) e (RODRIGUES, 2016).

Inicialmente, define-se que a frequência de cruzamento da função de transferência de laço aberto da malha de corrente deve estar ao menos uma década abaixo da frequência da rede, desta forma pode-se afirmar que:

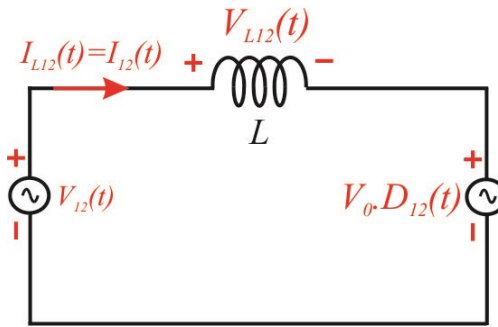
$$\begin{cases} s + \omega \approx \omega \\ s^2 + \omega^2 = \omega^2 \end{cases} \quad (\text{Eq. 11})$$

Adotando então esta hipótese, a função de transferência da equação (10) resume-se a:

$$\begin{cases} \frac{i_d(s)}{d_q(s)} = -\frac{V_0}{\omega.L} \\ \frac{i_q(s)}{d_d(s)} = \frac{V_0}{\omega.L} \end{cases} \quad (\text{Eq. 12})$$

Desta forma, a partir da equação (9) pode-se definir um circuito equivalente para se analisar a corrente  $I_{12}(t)$ , que é apresentado na Figura 15, lembrando que o circuito é idêntico e os resultados analógicos para as correntes  $I_{23}(t)$  e  $I_{31}(t)$ .

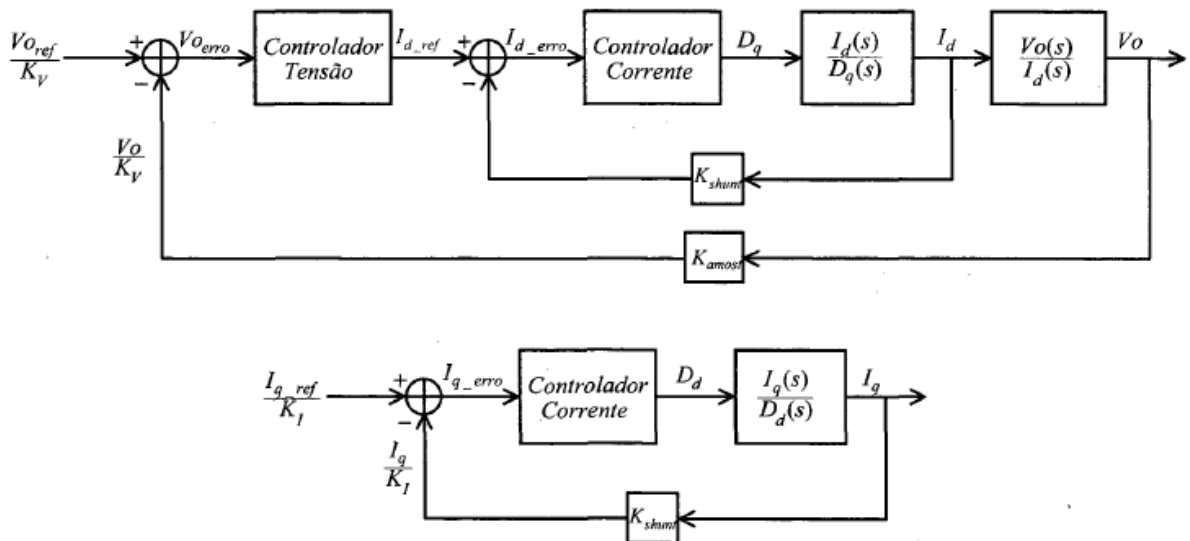
Figura 15 Circuito equivalente visto pela corrente  $I_{12}(t)$ .



Fonte: (BORGONOVO, 2001)

A partir das hipóteses adotadas, pode-se implementar malhas de controle independentes para controlar as correntes  $I_d(t)$  e  $I_q(t)$ , de forma que o sistema de controle proposto pode ser representado pelo diagrama de blocos mostrado na Figura 16.

Figura 16 Representação por diagrama de blocos para o sistema de controle por dq0.



Fonte: (BORGONOVO, 2001)

### B. Projeto do controlador de Corrente

A partir da equação (12) pode-se observar que é possível utilizar o mesmo controlador de corrente tanto para controlar a corrente  $I_d(t)$ , quanto para a corrente  $I_q(t)$ , exceto por uma inversão de sinais, o que pode ser resolvido facilmente, bastando realimentar positivamente a corrente  $I_d(t)$ . Assim sendo, tem-se a função de transferência completa do sistema:

$$\begin{aligned} i_d(s) &= \frac{V_0}{L} \left[ -d_d(s) \cdot \frac{s}{s^2 + \omega^2} - d_q(s) \cdot \frac{\omega}{s^2 + \omega^2} \right] \\ i_q(s) &= \frac{V_0}{L} \left[ d_d(s) \cdot \frac{\omega}{s^2 + \omega^2} - d_q(s) \cdot \frac{s}{s^2 + \omega^2} \right] \end{aligned} \quad (\text{Eq. 13})$$

Desta forma, analisando a equação (13) em [48] consegue-se, por analogia, sugerir a utilização de um controlador integrador para as duas malhas de corrente, que na verdade pode-se utilizar o mesmo controlador para garantir o erro estático nulo. Assim, a função de transferência do controlador é dada por:

$$G(s) = k \cdot \frac{(s + \frac{1}{T_i})}{s} \quad (\text{Eq. 14})$$

Onde  $k$  é a constante do sistema e  $T_i$  o tempo integral.

### C. Projeto do controlador de Tensão

Analisando o diagrama de blocos da Figura 16, a função de transferência total da planta pode ser dada pela equação (15).

$$G(s) = \frac{\sqrt{3} \cdot V_p \cdot V_0}{\sqrt{2} \cdot P_0 \cdot K_{shunt}} \cdot \frac{1 - s \cdot \frac{2 \cdot L \cdot P_0 \cdot \eta}{3 \cdot V_p^2}}{\left(1 + \frac{V_T \cdot R \cdot C \cdot \omega \cdot L}{K_{shunt} \cdot V_0}\right) \cdot \left(1 + s \cdot \frac{V_0^2}{P_0} \cdot C_0\right)} \quad (\text{Eq. 15})$$

Ou:

$$G(s) = k_v \cdot \frac{1 - \frac{s}{\omega_{Z1}}}{\left(1 + \frac{s}{\omega_{P1}}\right) \cdot \left(1 + \frac{s}{\omega_{P2}}\right)} \quad (\text{Eq. 16})$$

Onde:

$$\begin{cases} k_v = \frac{\sqrt{3}.V_p.V_0}{\sqrt{2}.P_0.K_{shunt}} \\ \omega_{Z1} = \frac{3.V_p^2}{2.L.P_0.\eta} \\ \omega_{P1} = \frac{K_{shunt}.V_0}{2.\pi.V_T.R.C.f_r.L} \\ \omega_{P2} = \frac{P_0}{V_0^2.C_0} \end{cases} \quad (\text{Eq. 17})$$

No entanto, para simplificar o projeto do controlador, determina-se que a frequência de cruzamento da função de transferência de laço aberto  $\omega_c$  seja tal que:

$$\begin{cases} \omega_c < \frac{\omega_{Z1}}{10} \\ \omega_c < \frac{\omega_{P2}}{10} \end{cases} \quad (\text{Eq. 18})$$

Em termos práticos, será possível observar mais adiante que estas considerações são factíveis, principalmente com relação à frequência do zero, que aliás está no semi-plano direito, o que faz com que seu diagrama de fase, na frequência, se comporte como se fosse um zero, desta forma o fato da frequência deste zero ser bastante elevada em relação à frequência de cruzamento facilita o projeto do controlador.

Assim, feitas as considerações, a função de transferência apresentada na equação (16) resume-se a equação (19).

$$G(s) = \frac{k_v}{\left(1 + \frac{s}{\omega_{P1}}\right)} \quad (\text{Eq. 19})$$

#### D. Conclusões referente ao Contole por Transformada dq0

Nesta seção foi apresentado um resumo do equacionamento matemático da técnica de controle por dq0 para o conversor Boost que foi desenvolvido em [48]. Neste resumo foi demonstrado que para chegar nas funções de transferências dos controladores de corrente e de tensão foi necessário elaborar um princípio de funcionamento para o controle descrito que por sua vez foi desenvolvido com base nas análises matemáticas desenvolvidas para os modelos do conversor Boost visto a partir da entrada (CA) e da saída (CC). Toda esta análise foi desenvolvida levando-se em consideração a teoria dos eixos girantes dq para realizar o controle vetorial deste conversor.

### 2.3.2 Controle do Conversor Boost por Histerese

Esta técnica de modulação baseia-se no monitoramento da corrente de entrada ao longo de uma determinada faixa, denominada faixa de histerese [18]. A corrente de entrada, obtida a partir de um sensor de corrente, é comparada com as referências senoidais que compõem os extremos desta faixa. Quando a corrente de entrada atinge o limite exterior da mesma, o conversor é comutado para a próxima etapa de operação, e a corrente passa a oscilar dentro do limite estabelecido pela faixa de histerese, conforme mostra a Figura 4.

A frequência de chaveamento resultante é variável, o que implicará componentes harmônicas da corrente de entrada múltiplas da menor frequência obtida, o que pode ser comprovado através da análise de Fourier. Outro fato também importante a ser considerado reside nos elementos de filtragem do conversor, que assumirão dimensões ampliadas, pois devem ser dimensionados para a menor frequência.

Assim, qualquer tentativa de elevar a menor frequência de chaveamento a um nível equivalente utilizado no controle com frequência fixa resultaria em um aumento das perdas por comutação, uma vez que a frequência média de chaveamento do conversor também aumentaria. Alguns trabalhos relatam a utilização do controle por histerese com mais de uma largura de banda, com o intuito de reduzir a variação da frequência de chaveamento e consequentemente, minimizar os efeitos indesejáveis da mesma [32].

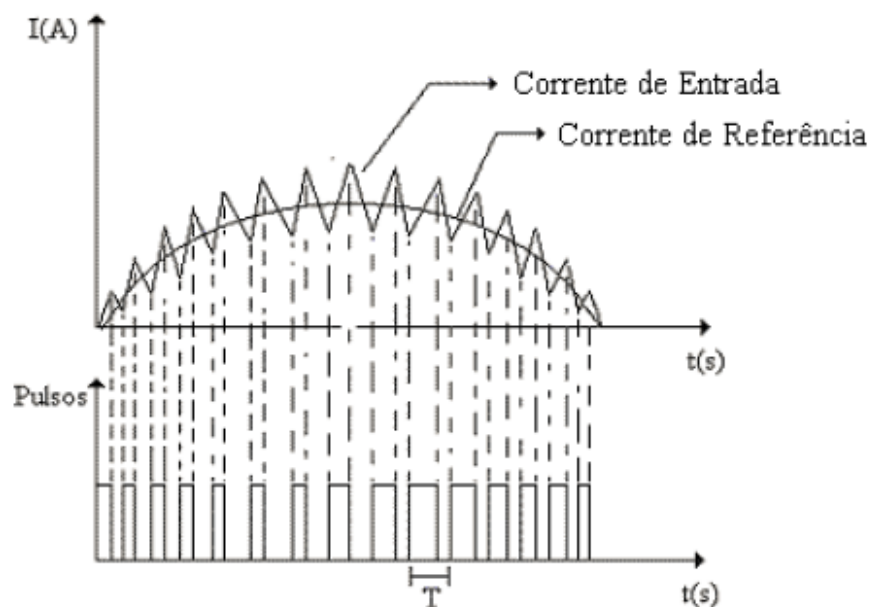
O método de controle por histerese apresenta as seguintes características:

- Frequência variável;
- Elevado fator de potência;
- Operação em modo contínuo;
- Necessidade de um sensor de corrente e de um multiplicador para a regulação da tensão de saída, tornando o esquema do circuito de controle complexo.

O projeto e a análise do controle pela corrente média para a correção do fator de potência de entrada dos conversores CA-CC têm sido assunto de vários artigos técnicos [33]-[36]. Nesta técnica de controle, o sinal da corrente de entrada é subtraído da corrente de referência, e posteriormente aplicado a um circuito compensador com pólos e zeros, dimensionados em função dos parâmetros do conversor. A saída deste circuito compensador é comparada com um sinal triangular periódico para gerar os pulsos com frequência constante, os quais serão utilizados a chave de acionamento do conversor. A Figura 17 ilustra o comportamento da corrente de entrada quando esta estratégia de controle é empregada [49].

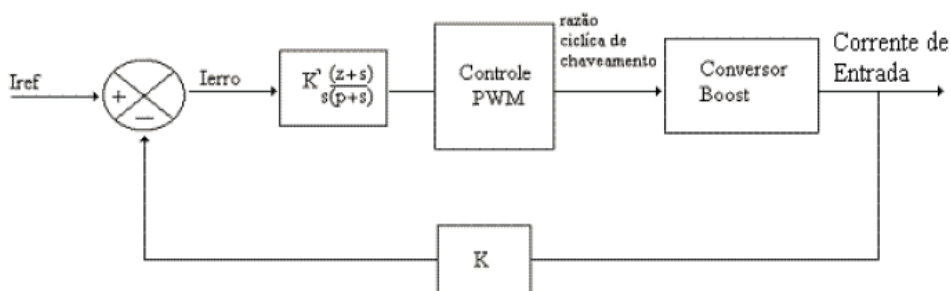
O circuito compensador, presente neste esquema de controle, deve ser projetado para obter uma resposta dinâmica rápida sem sofrer os efeitos das oscilações da corrente de entrada. Para isso, é necessário que este circuito filtre as componentes de maior frequência presentes no sinal de erro  $e$ , ao mesmo tempo, possa atuar como integrador para frequências mais baixas, proporcionando, assim, um erro menor em regime permanente. Assim, a Figura 18 ilustra esta forma de controle.

Figura 17 Comportamento da corrente no indutor do filtro no controle por histerese pela corrente média.



Fonte: (GALELLI, 2005).

Figura 18 Diagrama de blocos representando o controle por histerese pela corrente média.



Fonte: (GALELLI, 2005).

Como a corrente de referência varia constantemente em função de sua característica senoidal, sempre haverá um pequeno erro intrínseco, que em determinados trechos será positivo ou negativo, uma vez que, através da ação do circuito integrador presente no circuito de compensação, o erro médio tende a oscilar em torno de zero.

### A. Princípio de Funcionamento do Controle por Histerese Implementado

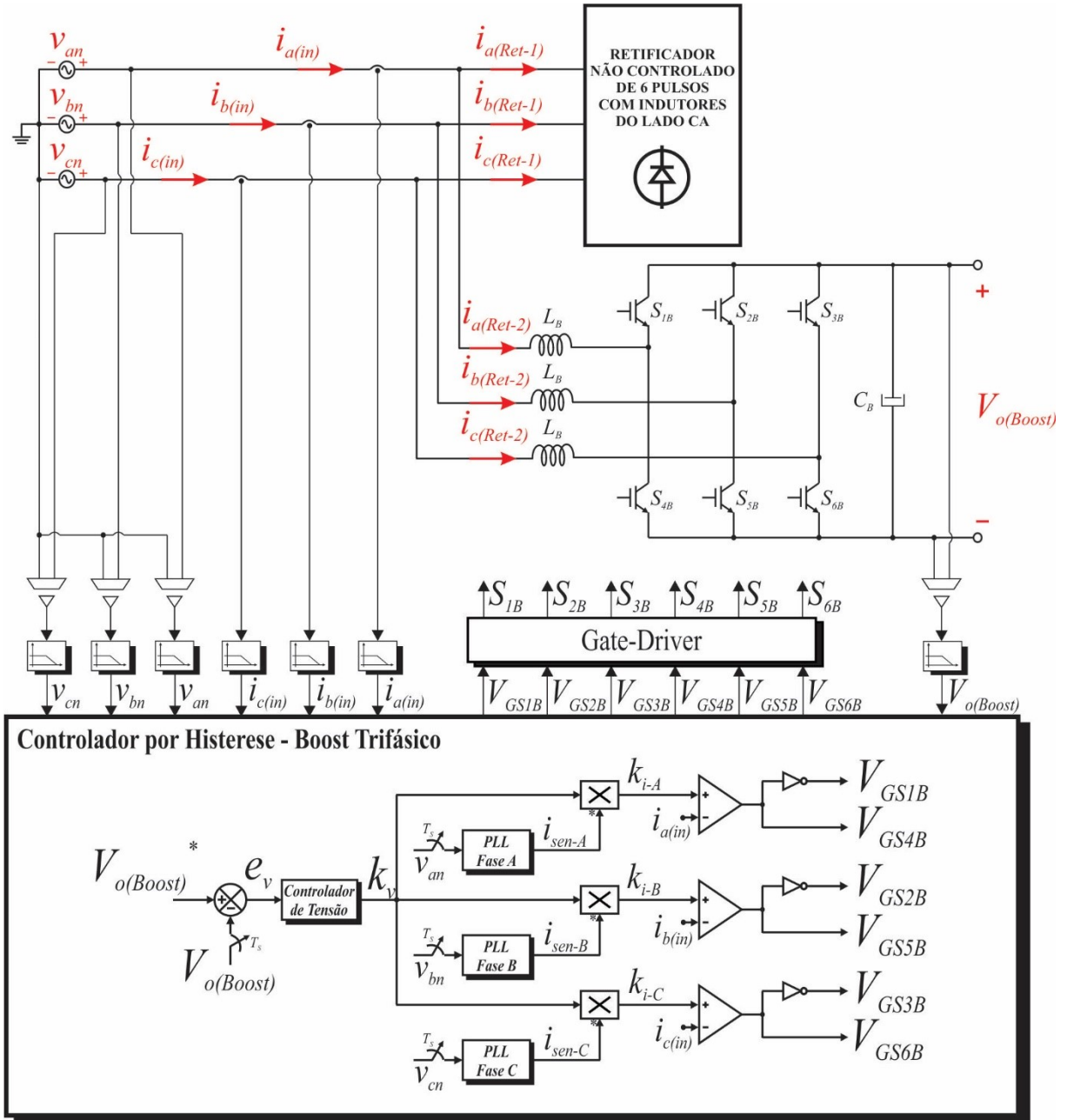
O controle por histerese implementado nesta dissertação baseia-se nesta técnica de controle por corrente média e consta basicamente de duas malhas, a interna de corrente e a externa de tensão. Para o correto funcionamento desta estratégia de controle, são realizadas sete aquisições de sinais: os sinais das correntes de linha de entrada ( $i_{a(in)}$ ,  $i_{b(in)}$  e  $i_{c(in)}$ ); os sinais das tensões fase-neutro ( $v_{an}$ ,  $v_{bn}$  e  $v_{cn}$ ); e o sinal da tensão no capacitor CB ( $V_{o(Boost)}$ ). É importante ressaltar que as aquisições das tensões de alimentação são realizadas para fins de referências de fase utilizadas pelos PLLs (Phase Lock Loop) visando estabelecer referências de corrente senoidais em fase com as tensões fase-neutro [27].

No que tange a imposição de correntes de linha de entrada e o fornecimento de uma tensão contínua de 350 V na entrada do conversor Full-Bridge, a Figura 19 demonstra o diagrama esquemático do circuito de controle do conversor Boost com o referido controle por histerese.

Para a malha de tensão, afim de promover uma tensão de 350 V na entrada do conversor Full-Bridge, utiliza-se um controlador de tensão que processa o sinal de erro  $e_v$  entre a tensão de saída do conversor Boost  $V_{o(Boost)}$  e a referência de tensão  $V_{o(Boost)}^*$ , definida em 350 V. O sinal de saída  $k_v$  deste controlador de tensão é então multiplicado às referências senoidais digitais  $i_{sen-A}^*$ ,  $i_{sen-B}^*$  e  $i_{sen-C}^*$  geradas pelos PLLs de cada fase, de forma a variar a amplitude das referências de corrente objetivando compensar qualquer variação na tensão  $V_{o(Boost)}$ .

Assim, caso alguma queda na tensão de saída do conversor Boost ocorra (devido a um afundamento temporário nas tensões de alimentação, por exemplo), o controlador de tensão gera um sinal  $k_v$ , que ao ser multiplicado a  $i_{sen-A}^*$ ,  $i_{sen-B}^*$  e  $i_{sen-C}^*$ , promove o aumento da amplitude destas referências, fazendo com que o conversor Boost drene mais corrente da rede de modo a manter o processamento da potência de saída constante, garantindo que a tensão  $V_{o(Boost)}$  permaneça no valor de referência. As referências finais de corrente  $k_{i-A}$ ,  $k_{i-B}$  e  $k_{i-C}$  são determinadas, portanto, pela multiplicação de  $i_{sen-A}^*$ ,  $i_{sen-B}^*$  e  $i_{sen-C}^*$ , respectivamente, pela saída  $k_v$  do controlador de tensão.

Figura 19 Diagrama esquemático do circuito de controle do conversor Boost por Histerese.



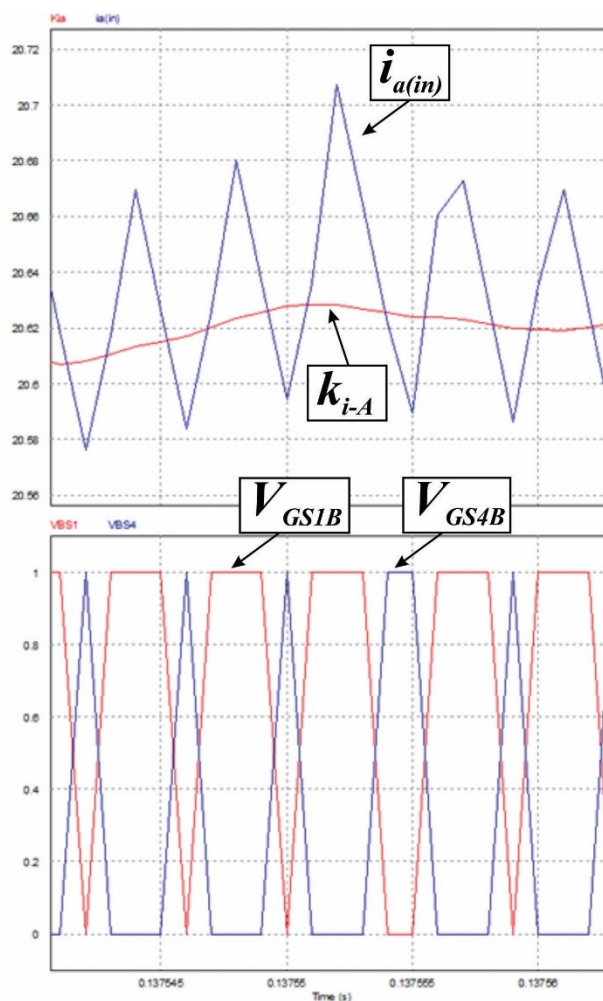
Fonte: (RODRIGUES, 2016).

O controle de corrente por histerese por sua vez, baseia-se na comparação entre as correntes de linha de entrada  $i_{a(in)}$ ,  $i_{b(in)}$  e  $i_{c(in)}$  do RHT, obtidas a partir de sensores de corrente, e as referências finais de corrente  $i_{Ref-A}$ ,  $i_{Ref-B}$  e  $i_{Ref-C}$ , respectivamente [18]. Essa comparação dá origem aos sinais de gatilho  $V_{GS4B}$ ,  $V_{GS5B}$  e  $V_{GS6B}$  que são enviados às chaves  $S_{4B}$ ,  $S_{5B}$  e  $S_{6B}$ , respectivamente. Como o funcionamento dos interruptores do conversor Boost ocorre de forma complementar, os sinais de gatilho de  $S_{1B}$ ,  $S_{2B}$  e  $S_{3B}$  ( $V_{GS1B}$ ,  $V_{GS2B}$  e  $V_{GS3B}$ ) são gerados aplicando-se uma lógica *not* nos sinais de gatilho  $V_{GS4B}$ ,  $V_{GS5B}$  e  $V_{GS6B}$ , respectivamente, conforme referência ilustrativa da Figura 20.



Portanto, tomando como exemplo o controle da corrente da fase  $A$ , caso a referência  $i_{Ref-A}$  seja maior que a corrente  $i_{a(in)}$ , nível alto de pulso é enviado para a chave  $S_{4B}$  e nível baixo de pulso é enviado para a chave  $S_{1B}$ . Caso o contrário ocorra, nível baixo de pulso é enviado para a chave  $S_{4B}$  e nível alto de pulso é enviado para a chave  $S_{1B}$ . Os controles das correntes drenadas pelas outras fases seguem a mesma analogia.

Figura 20 Lógica de variação dos sinais de gatilho dos interruptores  $S_{1B}$  e  $S_{4B}$  do conversor Boost por Histerese.

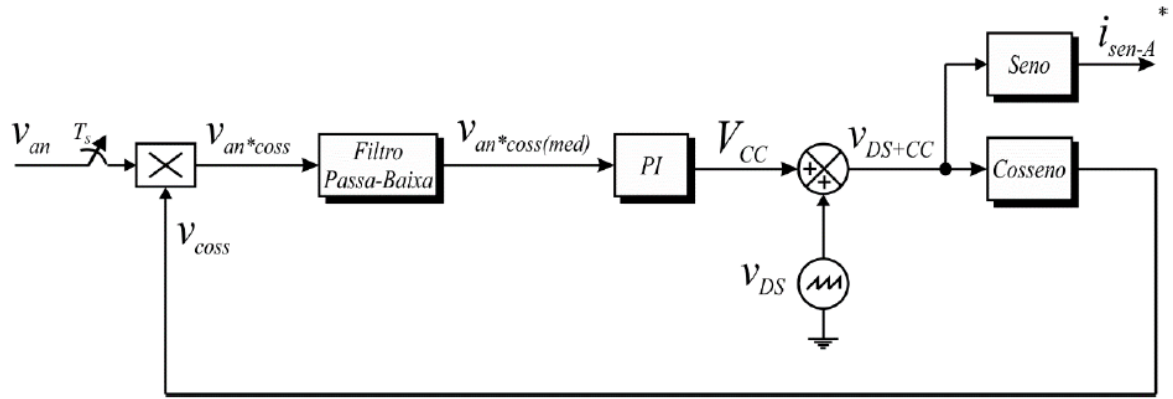


Fonte: (RODRIGUES, 2016).

### B. Princípio de Funcionamento do PLL

Tomando como exemplo a fase  $A$ , a Figura 21 demonstra o esquema de implementação do PLL. O sinal de saída do PLL ( $i_{sen-A}^*$ ) é gerado a partir do cálculo do seno de uma onda dente-de-serra ( $V_{DS}$ ). O valor da frequência da onda dente-de-serra define a frequência do sinal senoidal de saída. Portanto, para que  $i_{sen-A}^*$  apresente uma frequência de 60 Hz, é necessário configurar  $V_{DS}$  para esta mesma frequência.

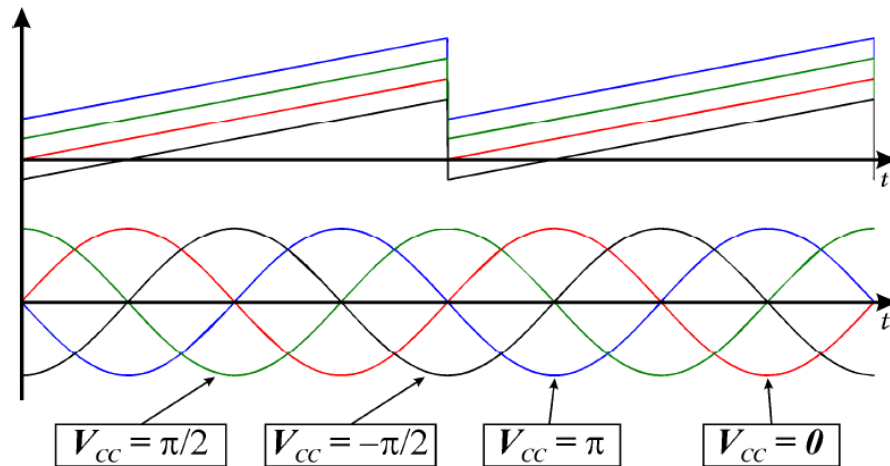
Figura 21 Diagrama esquemático do PLL implementado para a fase A.



Fonte: (RODRIGUES, 2016).

A mudança na fase  $i_{sen-A}^*$  dependerá da inclusão de um nível CC ( $V_{CC}$ ) em  $V_{DS}$ . A presença de um nível CC com valor positivo define que o seno de  $V_{DS}$  apresente um avanço de fase e um nível CC com valor negativo define que o seno de  $V_{DS}$  apresente um atraso de fase, conforme ilustrado na Figura 22.

Figura 22 Relação entre o nível CC da onda dente-de-serra e a fase da senóide de saída do PLL.

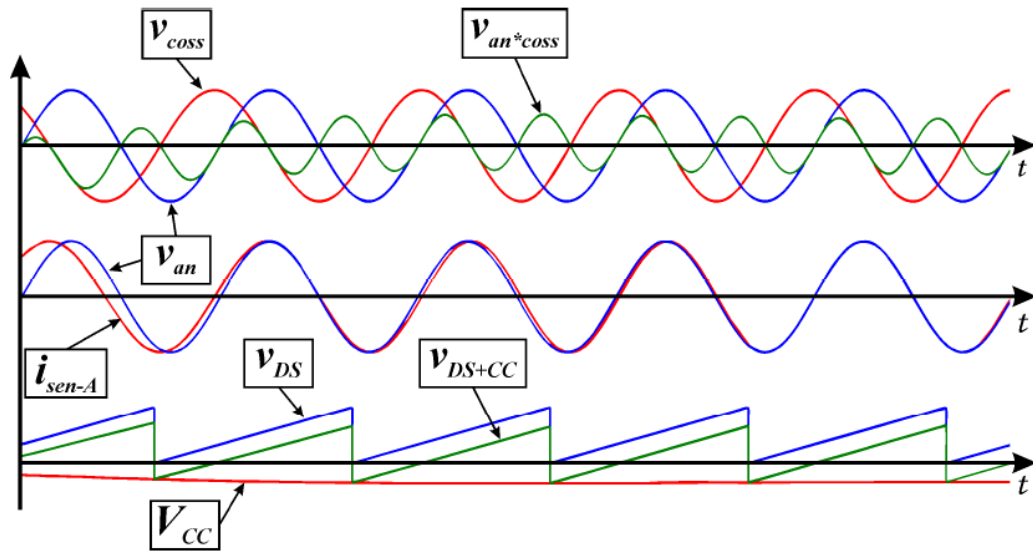


Fonte: (RODRIGUES, 2016).

A proporcionalidade entre o sinal  $V_{CC}$  adicionado a  $V_{DS}$  e a fase de  $i_{sen-A}^*$  será utilizada para controlar o sinal de saída do PLL, adiantando ou atrasando a referência senoidal de forma a sincroniza-la em fase com a tensão de fase.

O sinal  $V_{CC}$  é gerado através da ação de um controlador proporcional integral (PI), cuja entrada é o resultado da saída de um filtro passa-baixa. Este filtro é projetado de forma a obter o valor médio do seu sinal de entrada, sendo este composto pelo produto de um sinal cossenoidal ( $V_{coss}$ ) com o sinal correspondente à amostra da tensão de fase  $v_{an}$  com amplitude reduzida, conforme demonstrado na Figura 23.

Figura 23 Representação dos sinais internos gerados na implementação do PLL.



Fonte: (RODRIGUES, 2016).

Uma vez que o controlador PI opera buscando gerar uma saída de modo a tornar sua entrada nula e que o resultado da multiplicação de duas senóides somente apresentará valor médio nulo se estas senóides forem defasadas de  $90^\circ$  uma da outra, o controlador PI trabalhará de forma a gerar o sinal  $V_{CC}$  que somado à  $V_{DS}$  resulte no sinal  $V_{DS+CC}$  cujo cosseno é defasado de  $90^\circ$  da tensão de fase  $v_{an}$ . Portanto, o seno de  $V_{DS+CC}$  resultará em um sinal em fase com a tensão de alimentação, dando origem à referência  $i_{sen-A}^*$ . Vale salientar que o sinal  $V_{DS}$  é ajustado para atingir o valor máximo de  $2\pi$  no final de seu período, garantindo uma variação de  $0^\circ$  a  $360^\circ$  no ângulo da senóide que define a referência senoidal  $i_{sen-A}^*$ .

O princípio de funcionamento dos PLLs das fases B e C é análogo ao apresentado para a fase A.

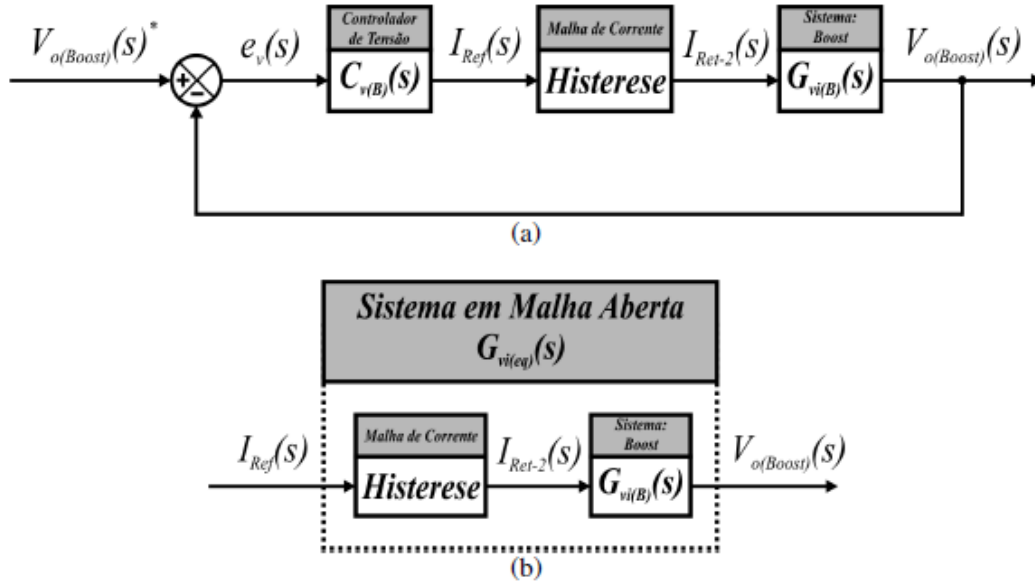
### C. Projeto dos Controladores

Para o projeto destes controladores, optou-se por seguir três passos: (i) Modelagem matemática e representação no Espaço de Estados; (ii) Utilização de um método de integração para solução do modelo matemático; e (iii) Solução do modelo matemático para os conversores operando em malha aberta. Todos estes passos são descritos na tese apresentada em [27].

O diagrama de blocos do sistema equivalente do conversor Boost por Histerese pode ser representado através da Figura 24, o qual permite projetar o controlador de tensão com base na análise da função de transferência equivalente do sistema em malha aberta  $G_{vi(eq)}(S)$ . Esta função relaciona a tensão controlada no capacitor de saída do conversor Boost ( $V_{o(Boost)}(S)$ ) –

variável controlada) com a manipulação das amplitudes das correntes de linha  $i_{a(Ret-2)}$ ,  $i_{b(Ret-2)}$  e  $i_{c(Ret-2)}$  impostas na entrada do conversor Boost a partir da variação das amplitudes das referências senoidais de corrente  $i_{Ref-A}$ ,  $i_{Ref-B}$  e  $i_{Ref-C}$  ( $I_{Ref}(S)$  – variável manipulada).

Figura 24 Diagrama de blocos do sistema equivalente do conversor Boost com controle por Histerese: (a) em malha fechada e (b) em malha aberta.



Fonte: (RODRIGUES, 2016).

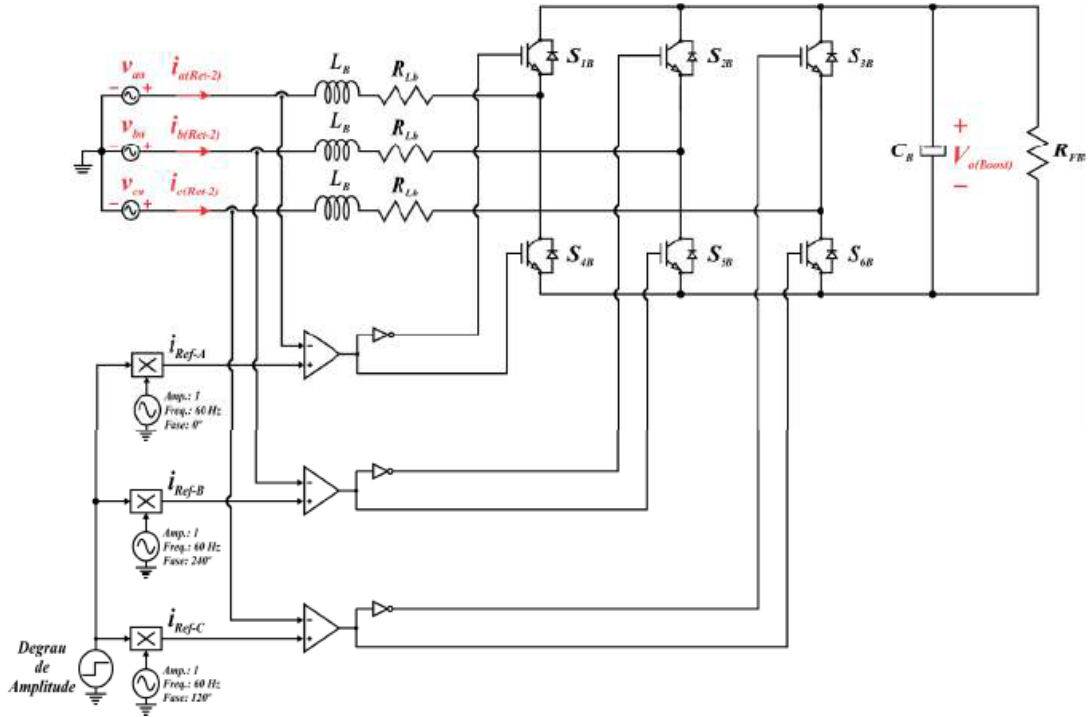
Definindo-se as variáveis manipuladas e controladas do sistema em malha aberta do conversor Boost, para a solução do modelo matemático e o consequente projeto do controlador de tensão, considerou-se o circuito apresentado na Figura 25 como sistema de análise. Após isto, foram verificadas as condições dos interruptores do circuito e levantadas as equações diferenciais que definem o comportamento do conversor.

Assim, as variáveis manipulada e controlada do sistema do conversor Boost, implementou-se um algoritmo na plataforma do software Matlab® responsável por realizar o método de integração trapezoidal e desenvolver a solução do modelo matemático do conversor Boost operando em malha aberta, conforme apresentado no Apêndice A da tese apresentada em [27].

Uma vez estabelecidas as condições que determinam a utilização das matrizes de sistema e de entrada, estabeleceu-se uma série de condições e verificou-se o comportamento da resposta da tensão no capacitor de saída do conversor, mediante a um degrau de amplitude. A Figura 26 ilustra o comportamento da resposta transitória da tensão no capacitor de saída do conversor Boost no instante da execução do degrau de amplitude das referências de corrente.

Percebe-se que a resposta do sistema em malha aberta apresenta uma característica bastante amortecida, podendo ser equiparada à resposta de um sistema de controle de primeira ordem.

Figura 25 Execução da solução do modelo matemático do conversor Boost por Histerese para o degrau nas amplitudes das referências de corrente.



Fonte: (RODRIGUES, 2016).

Considerando a resposta do sistema de primeira ordem, a Figura 26 fornece as informações necessárias para a estimativa da função de transferência do sistema em malha aberta do conversor Boost  $G_{vi(eq)}(S)$ , a qual relaciona a tensão  $V_o(Boost)$  com a variação das amplitudes das referências de corrente.

Através das informações obtidas pela Figura 26 e dos conceitos sobre sistemas de controle de 1ª ordem abordados em [29]-[31], obtém-se a função de transferência do sistema equivalente do conversor Boost operando em malha aberta:

$$G_{vi(eq)}(s) = K \cdot \frac{a}{s+a} \quad (\text{Eq. 20})$$

Sendo:

$$a = \frac{4}{\Delta T_s} \quad \text{e} \quad K = \frac{\Delta V_o(Boost)}{\Delta T_s} \quad (\text{Eq. 21})$$

Onde  $a$  é a frequência do polo do sistema de primeira ordem.

Com base na equação (20), a função de transferência do sistema em malha aberta do conversor Boost para a condição normal de suprimento da rede CA trifásica de alimentação é definida por:

$$G_{vi(eq)}(s) = 11,683 \cdot \frac{39,33}{s+39,33} \quad (\text{Eq. 22})$$

Para o projeto do controlador de tensão do conversor Boost utilizou-se a toolbox SISOTOOL do Matlab® (SISO – Single Input Single Output), que permite a visualização do lugar geométrico das raízes, dos diagramas de Bode e da resposta ao degrau para o sistema em malha fechada, sendo possível ainda promover a inserção de polos e zeros adicionais do controlador para fazer com que o sistema atenda às especificações de projeto para a resposta ao degrau. Analisando o lugar geométrico das raízes pela Figura 27, verifica-se que é necessário projetar um controlador de tensão que permita que o sistema em malha fechada do conversor Boost opere com erro em regime permanente nulo, margem de fase superior a 60° para que o sistema opere com resposta amortecida e estável, tempo de acomodação menor, frequência de passagem por 0 dB inferior a no mínimo um décimo da frequência de chaveamento do conversor.

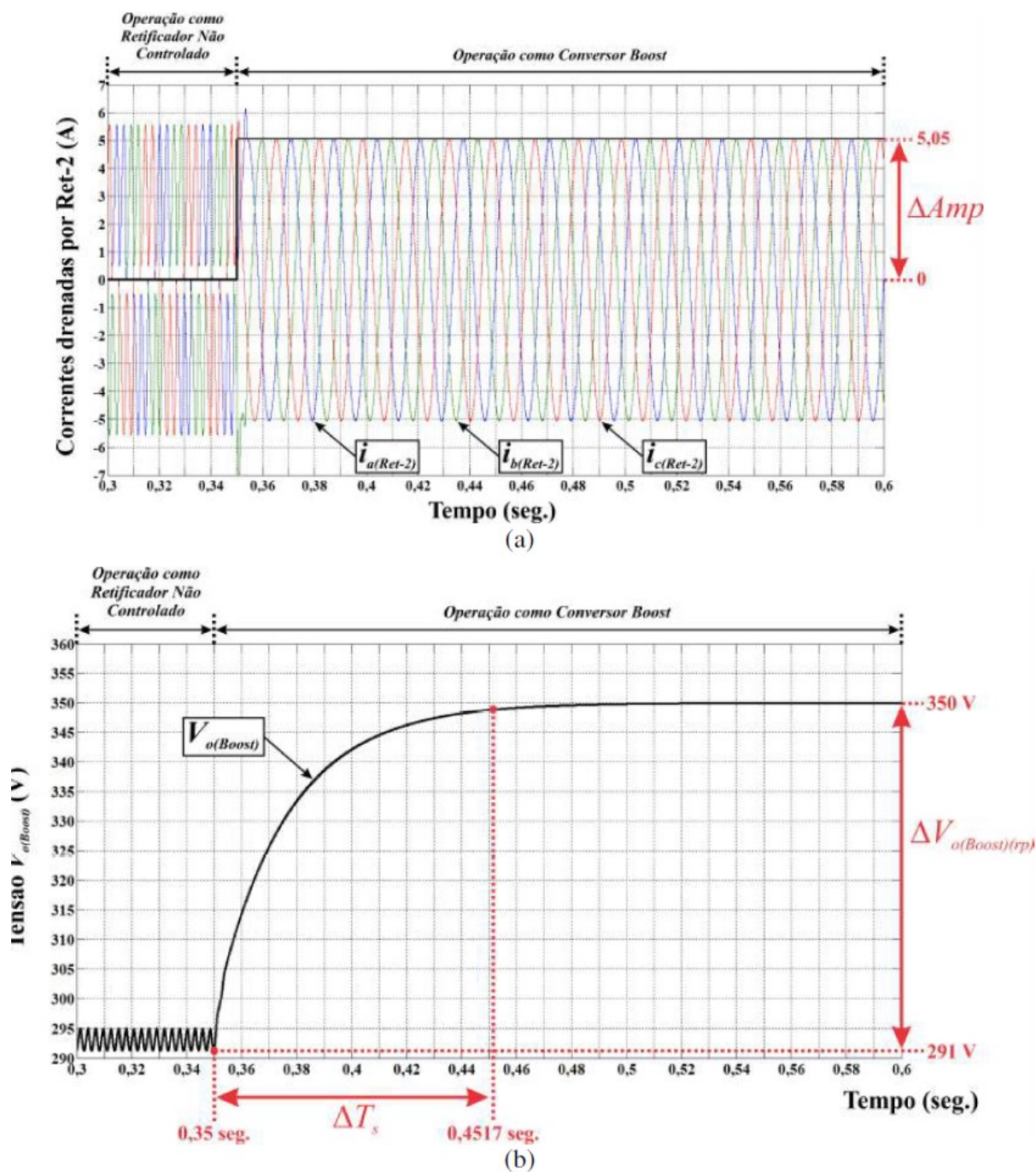
Após estas adequações a função de transferência do controlador de tensão do conversor Boost pode ser definida pela equação (23). O lugar geométrico das raízes, resposta em frequência e resposta ao degrau para o sistema em malha fechada compensado são apresentados pela Figura 28.

$$C_{v(B)}(s) = 50 \cdot \frac{(s+39,33)}{s \cdot (s+250)} \quad (\text{Eq. 23})$$

Percebe-se que o controlador de tensão projetado atende aos requisitos para o projeto do sistema em malha fechada compensado, uma vez que o erro em regime permanente da resposta ao degrau foi reduzido a zero; a margem de fase do sistema mantém-se com valor superior a 60° (70,9°); a resposta ao degrau apresenta um tempo para atingir 10% do seu valor final inferior a 12,8 milissegundos (3,4 milissegundos) e um tempo de acomodação inferior a 170,4 milissegundos (26,1 milissegundos); e a frequência de passagem por 0 dB permanece com valor relativamente baixo (86,8 rad/seg.), definindo um sistema capaz de atenuar os ruídos de alta frequência provenientes do chaveamento dos interruptores.

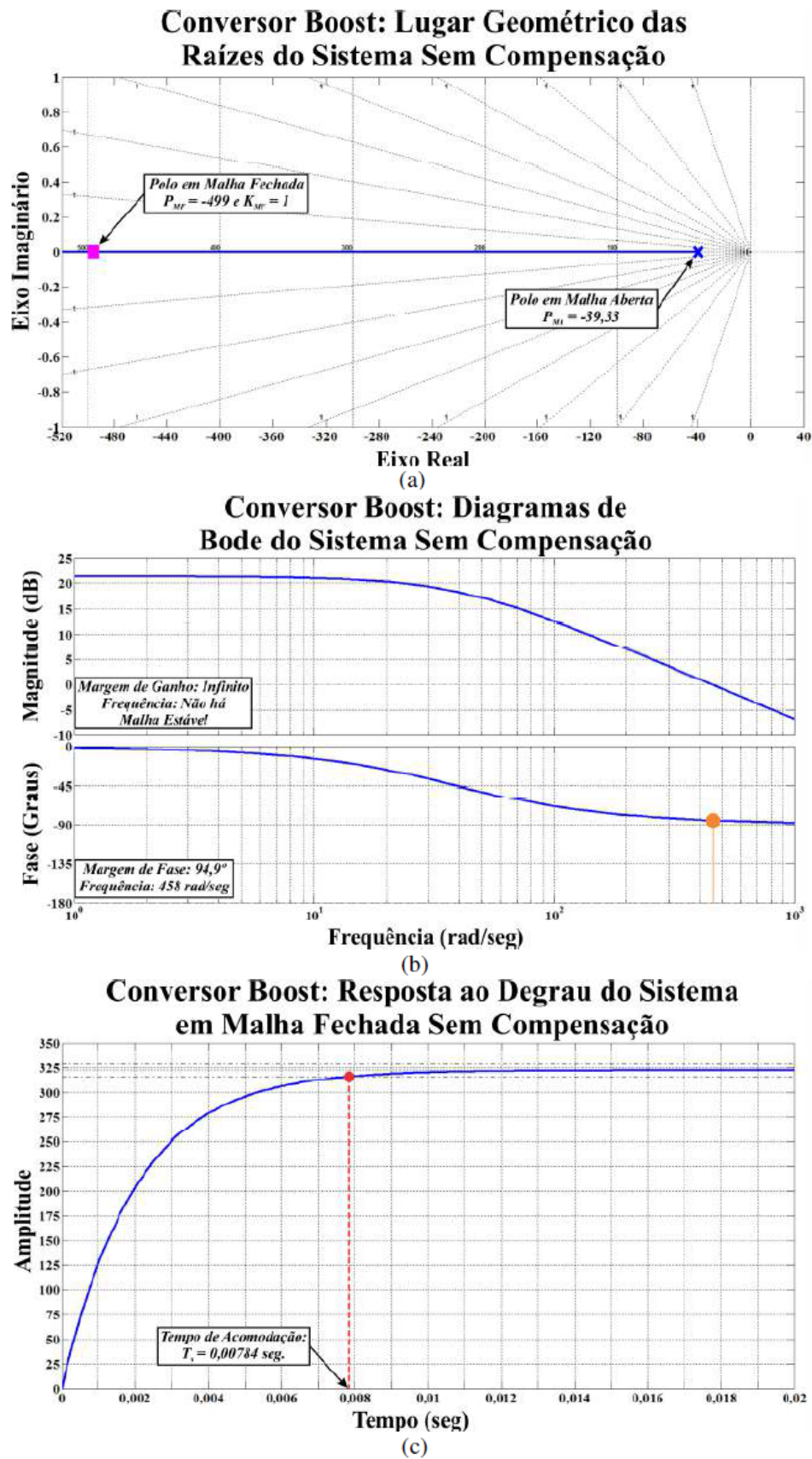


Figura 26 Formas de onda (a) das respostas das correntes drenadas por Ret-2 e (b) da resposta de  $V_o(\text{Boost})$  ao degrau de amplitude das referências de corrente.



Fonte: (RODRIGUES, 2016).

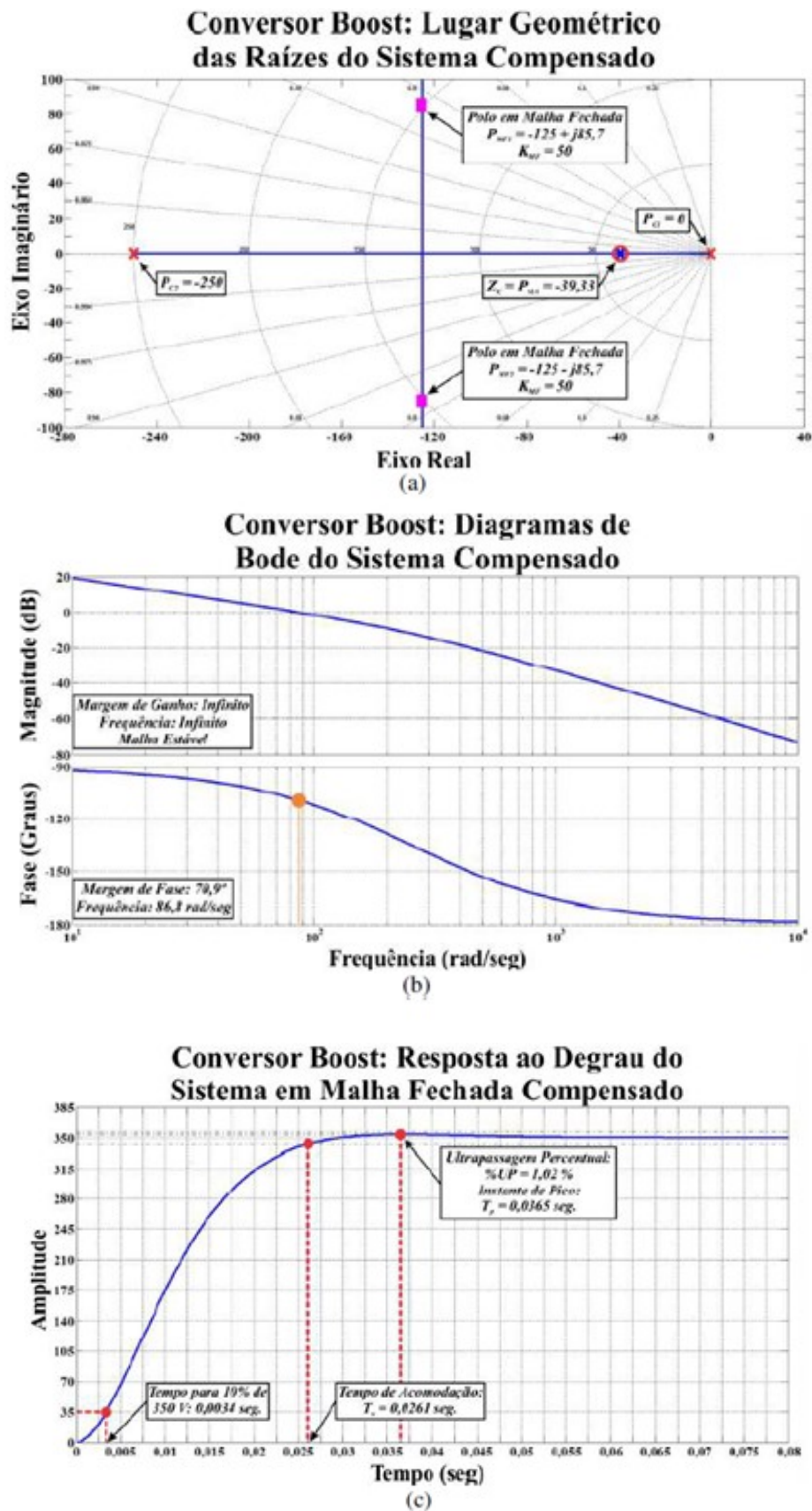
Figura 27 Sistema do conversor Boost por Histerese em malha fechada sem compensação: (a) lugar geométrico das raízes, (b) diagramas de Bode e (c) resposta ao degrau.



Fonte: (RODRIGUES, 2016).



Figura 28 Sistema do conversor Boost por Histerese em malha fechada compensado: (a) lugar geométrico das raízes, (b) diagramas de Bode e (c) resposta ao degrau.



Fonte: (RODRIGUES, 2016).

### D. Conclusões referente ao Contole por Histerese

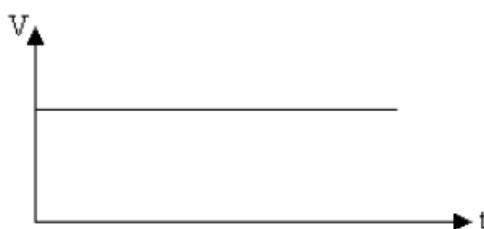
Nesta seção foi apresentado um resumo do equacionamento matemático da técnica de controle por Histerese para o conversor Boost que foi desenvolvido em [27]. Neste resumo foi demonstrado que as correntes de linha aquisicionadas são comparadas diretamente com as referências de corrente geradas através da utilização de PLLs para sincronismo com as tensões trifásicas de alimentação, sendo as amplitudes destas referências dependentes da informação fornecida pelo controlador de tensão utilizado no controle da tensão no capacitor de saída do conversor Boost.

### 2.3.3 Controle do Conversor Boost por PWM

Uma técnica largamente aplicada a conversores é a modulação por largura de pulso – PWM, do inglês *Pulse Width Modulation*, que consiste na comparação de dois sinais de tensão, um de baixa frequência (referência) e o outro de alta frequência (portadora), resultando em um sinal alternado com frequência fixa e largura de pulso variável [38].

Para se obter um sinal na saída do acionamento de um conversor da forma desejada, é necessário compará-lo com um sinal de tensão, chamado sinal de referência, que seja a imagem da tensão de saída buscada. Nos conversores CC-CC, a referência é um sinal de tensão contínuo, pois o que se deseja obter é justamente uma tensão contínua na saída do conversor, conforme Figura 29 [39].

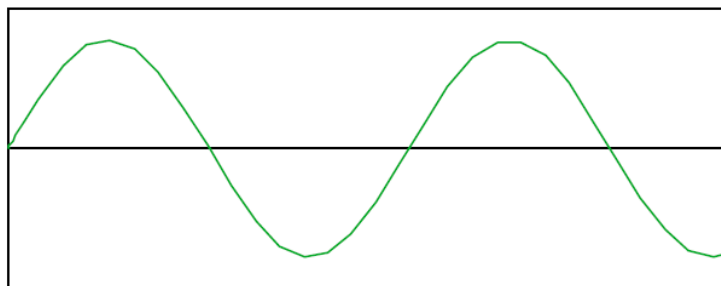
Figura 29 Sinal de referência para um conversor CC-CC.



Fonte: (CARRARA, 1993).

Já nos conversores CC-CA o sinal de referência é senoidal, pois o que se busca na saída é uma tensão alternada. Portanto, se é desejado uma frequência de 60Hz na saída, deve-se aplicar um sinal de referência com as mesmas características, conforme Figura 30 [39].

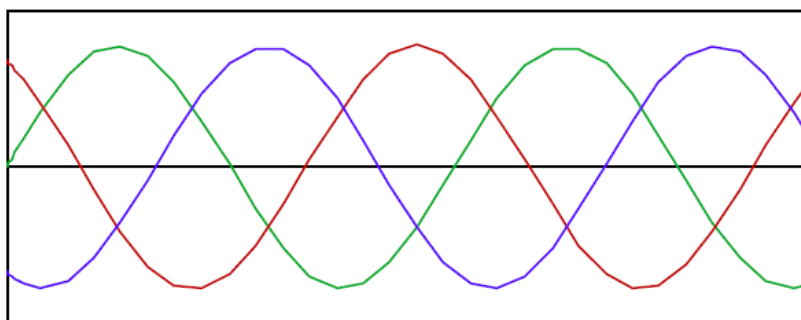
Figura 30 Sinal de referência para um conversor CC-CA.



Fonte: (CARRARA, 1993).

Em conversores CC-CA trifásicos existe a necessidade de utilização de três sinais senoidais defasados de  $120^\circ$ , conforme Figura 31.

Figura 31 Sinais de referência para um conversor CC-CA Trifásico.

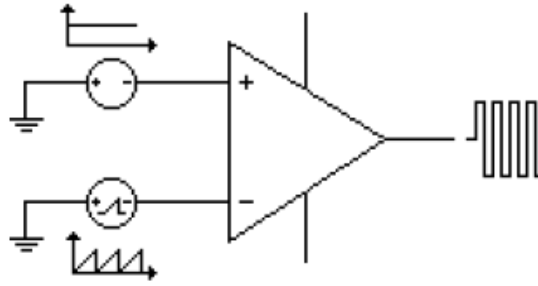


Fonte: (CARRARA, 1993).

O sinal de portadora é um sinal de alta frequência, na ordem de KHz, que é responsável pela definição da frequência de chaveamento e razão cíclica. A frequência deste sinal deve ser no mínimo 2 vezes maior que o sinal de referência (Teorema de Nyquist), mas na prática, é necessário pelo menos 10 vezes para que se tenha uma boa reprodução do sinal na saída do conversor [40]. Este sinal será responsável pela frequência de chaveamento dos interruptores (semicondutores) do circuito de potência do acionamento e geralmente são uma dente-de-serra ou triangular.

O modulador é o circuito responsável em comparar o sinal de referência com a portadora. A largura do pulso na saída do modulador varia de acordo com a amplitude do sinal de referência em comparação com o sinal portador. Tem-se assim a modulação por largura de pulso. Na Figura 32 tem-se um exemplo de circuito modulador.

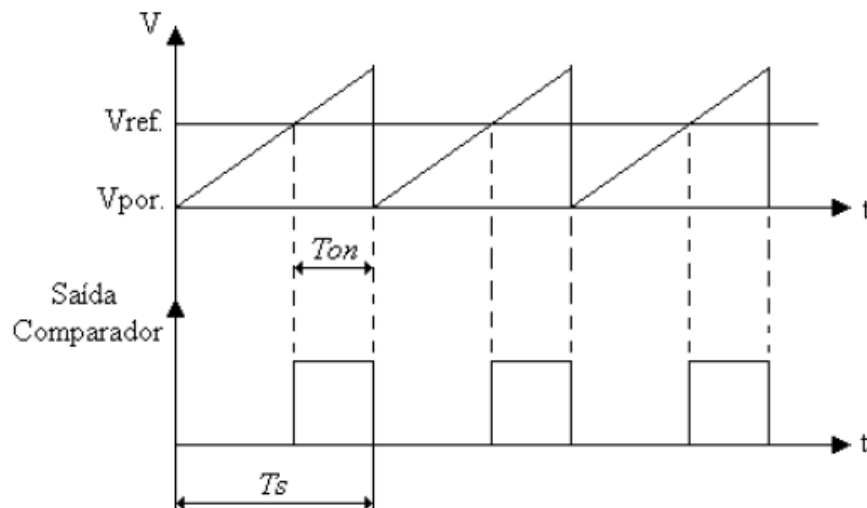
Figura 32 Geração de Sinal Modulado.



Fonte: (CARRARA, 1993).

As formas de onda nas entradas e saída do comparador, para um conversor CC-CC, estão demonstradas na Figura 33. Na Figura 34 vê-se as formas de onda para um conversor CC-CA.

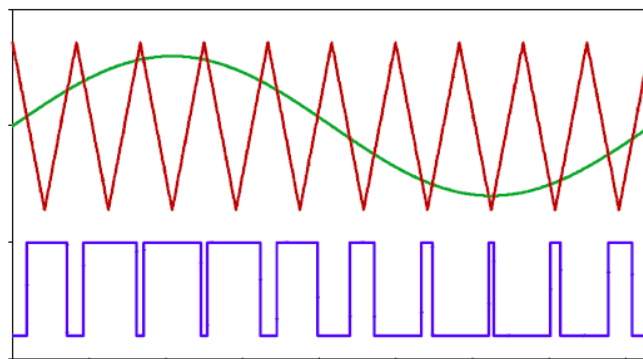
Figura 33 Sinal de saída do modulador: Conversor CC-CC.



Fonte: (CARRARA, 1993).

O controle por PWM implementado consta basicamente de duas malhas, a interna de corrente e a externa de tensão. Para o correto funcionamento desta estratégia de controle, são realizadas sete aquisições de sinais: os sinais das correntes de linha de entrada  $i_{a(in)}$ ,  $i_{b(in)}$  e  $i_{c(in)}$ ; os sinais das tensões fase-neutro  $v_{an}$ ,  $v_{bn}$  e  $v_{cn}$ ; e o sinal da tensão no capacitor  $C_B$  ( $V_{o(Boost)}$ ). É importante ressaltar que as aquisições das tensões de alimentação são realizadas para fins de referências de fase utilizadas pelos PLLs (Phase Lock Loop) visando estabelecer referências de corrente senoidais em fase com as tensões fase-neutro, assim como no controle por Histerese.

Figura 34 Sinal de saída do modulador: Conversor CC-CA.



Fonte: (CARRARA, 1993).

No que tange a imposição de correntes de linha de entrada e o fornecimento de uma tensão contínua de 350 V na entrada do conversor Full-Bridge, a Figura 36 e Figura 19 demonstram o diagrama esquemático do circuito de controle do conversor Boost com o referido controle por PWM.

Para a malha de tensão, afim de promover uma tensão de 350 V na entrada do conversor Full-Bridge, utiliza-se um controlador de tensão que processa o sinal de erro  $e_v$  entre a tensão de saída do conversor Boost  $V_{o(\text{Boost})}$  e a referência de tensão  $V_{o(\text{Boost})}^*$ , definida em 350 V. O sinal de saída  $k_v$  deste controlador de tensão é então multiplicado às referências senoidais digitais  $i_{\text{sen-A}}^*$ ,  $i_{\text{sen-B}}^*$  e  $i_{\text{sen-C}}^*$  geradas pelos PLLs de cada fase, de forma a variar a amplitude das referências de corrente objetivando compensar qualquer variação na tensão  $V_{o(\text{Boost})}$ .

Portanto, caso alguma queda na tensão de saída do conversor Boost ocorra (devido a um afundamento temporário nas tensões de alimentação, por exemplo), o controlador de tensão gera um sinal  $k_v$ , que ao ser multiplicado a  $i_{\text{sen-A}}^*$ ,  $i_{\text{sen-B}}^*$  e  $i_{\text{sen-C}}^*$ , promove o aumento da amplitude destas referências, fazendo com que o conversor Boost drene mais corrente da rede de modo a manter o processamento da potência de saída constante, garantindo que a tensão  $V_{o(\text{Boost})}$  permaneça no valor de referência. As referências finais de corrente  $i_{\text{Ref-A}}$ ,  $i_{\text{Ref-B}}$  e  $i_{\text{Ref-C}}$  são determinadas, portanto, pela multiplicação de  $i_{\text{sen-A}}^*$ ,  $i_{\text{sen-B}}^*$  e  $i_{\text{sen-C}}^*$ , respectivamente, pela saída  $k_v$  do controlador de tensão.

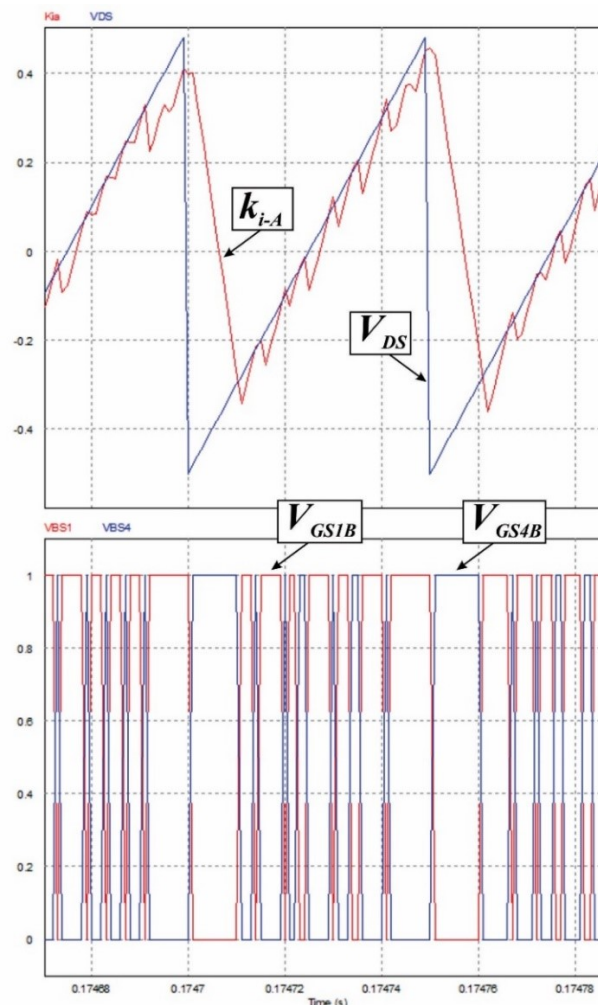
Com relação à malha de corrente, com o objetivo de promover a imposição das correntes de linha de entrada senoidais, utilizam-se controladores de corrente para cada fase, capazes de processarem os sinais de erro  $e_{i-A}$ ,  $e_{i-B}$  e  $e_{i-C}$  entre as correntes de linha de entrada  $i_{a(\text{in})}$ ,  $i_{b(\text{in})}$  e  $i_{c(\text{in})}$  e as referências de corrente  $i_{\text{Ref-A}}$ ,  $i_{\text{Ref-B}}$  e  $i_{\text{Ref-C}}$ , respectivamente. As saídas  $k_{i-A}$ ,  $k_{i-B}$  e  $k_{i-C}$  destes controladores são comparadas com uma onda dente-de-serra ( $V_{DS}^*$ ) na frequência de 20 kHz, promovendo a lógica de chaveamento dos interruptores do conversor Boost, conforme referência ilustrativa da Figura 35.

As saídas provenientes da comparação entre os sinais  $k_{i-A}$ ,  $k_{i-B}$  e  $k_{i-C}$  e  $V_{DS}^*$  dão origem aos sinais de gatilho  $V_{GS4B}$ ,  $V_{GS5B}$  e  $V_{GS6B}$  que são enviados às chaves  $S_{4B}$ ,  $S_{5B}$  e  $S_{6B}$ , respectivamente. Como o funcionamento dos interruptores do conversor Boost ocorre de forma complementar, os sinais de gatilho de  $S_{1B}$ ,  $S_{2B}$  e  $S_{3B}$  ( $V_{GS1B}$ ,  $V_{GS2B}$  e  $V_{GS3B}$ ) são gerados aplicando-se uma lógica not nos sinais de gatilho  $V_{GS4B}$ ,  $V_{GS5B}$  e  $V_{GS6B}$ , respectivamente.

Portanto, a título de exemplo, caso a corrente de linha de entrada  $i_{a(in)}$  apresente um valor menor que a referência  $i_{Ref-A}$ , o controlador de corrente interpreta essa diferença e aumenta a sua saída  $k_{i-A}$  de forma a promover o aumento da razão cíclica de operação do interruptor  $S_{4B}$  e a consequente diminuição da razão cíclica de trabalho do interruptor  $S_{1B}$ . Com isto, a corrente  $i_{a(Ret-2)}$  cresce de tal forma que, ao ser somada a  $i_{a(Ret-1)}$ , o resultado desta soma dá origem a uma corrente  $i_{a(in)}$  em conformidade com a referência de corrente  $i_{Ref-A}$ .

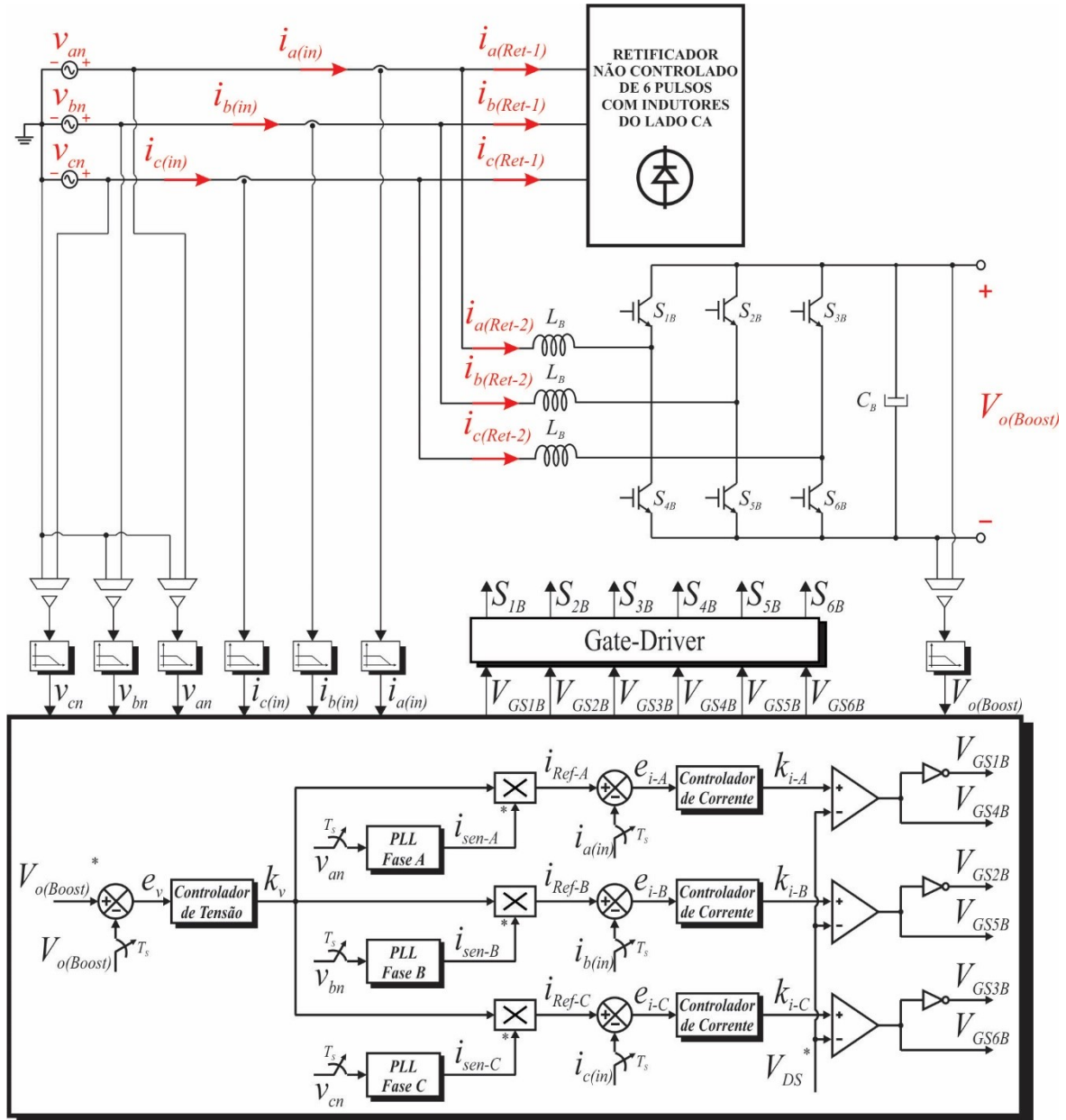
O princípio de funcionamento do PLL implementado no controle do conversor Boost por PWM é idêntico ao que foi implementado para o controle por Histerese na seção 2.3.2 e o projeto dos controladores segue a mesma linha de raciocínio.

Figura 35 Lógica de variação dos sinais de gatilho dos interruptores  $S_{1B}$  e  $S_{4B}$  do conversor Boost por PWM.



Fonte: Adaptado de (CARRARA, 1993) e (Rodrigues, 2016).

Figura 36 Diagrama esquemático do circuito de controle do conversor Boost por PWM.



Fonte: Adaptado de (CARRARA, 1993) e (Rodrigues, 2016).

## 2.4 Comparação Entre as Estratégias de Controle do Conversor Boost

Visando fazer uma comparação entre métodos de controle, conforme apresentado em [50] e com base nas informações referente aos controles por dq0, PWM e histerese que foram apresentados neste capítulo, construiu-se a Tabela 1 comparando-os.

Tabela 1 - Comparativo entre os métodos de controle do Conversor Boost

<b>HISTERESE</b>	<b>PWM</b>	<b>Dq0</b>
Frequência variável	Frequência fixa	Frequência fixa
Elevado fator de potência	Elevado fator de potência	Elevado fator de potência
Baixa THD	Baixa THD	Baixa THD
Análise matemática complexa	Análise matemática simplificada	Análise matemática complexa
Circuito de controle simplificado	Circuito de controle simplificado	Circuito de controle complexo
Utiliza PLL p/ sincronismo	Utiliza PLL p/ sincronismo	Não utiliza PLL p/ sincronismo
Controle mais rápido	Controle mais rápido	Controle mais lento

Fonte: Dados do próprio autor.

Tendo em vista a Tabela 1, observa-se que o controle por PWM para o conversor Boost, teoricamente, é mais viável do que os demais. Entretanto, para confirmar realmente se esta informação é procedente, análises de simulação computacional e resultados experimentais serão demonstradas em sequência para comparação.



---

## CAPÍTULO III

### 3 Resultados de Simulação Computacional

---

#### 3.1 Considerações Iniciais

Para validar os projetos dos tipos de controles para o Conversor Boost Trifásico do RHT apresentados no Capítulo 3, este capítulo apresenta os principais resultados de simulação computacional do RHT operando para a imposição de correntes de linha de entrada senoidais com baixo conteúdo harmônico e regulação da tensão no barramento CC, tanto para condições normais de suprimento da fonte trifásica de alimentação como para condições de afundamentos temporários de tensão e degraus de carga.

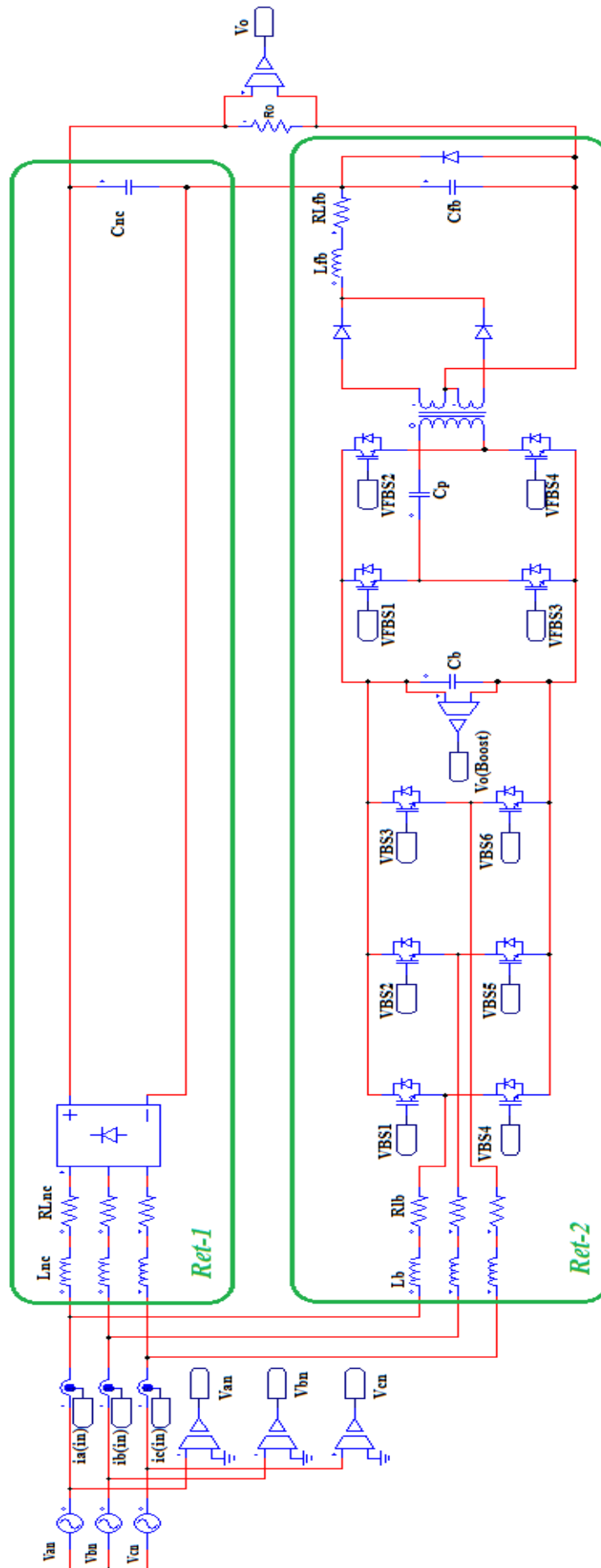
#### 3.2 Esquemático de Simulação

Para validar a teoria exposta no Capítulo 2, utilizou-se o software *PSim*® para avaliar as estratégias de controle e o comportamento do RHT. Através do esquemático do circuito de potência apresentado na Figura 37 é possível visualizar todo o sensoriamento necessário para o correto funcionamento do circuito de controle do RHT.

Assim como foi apresentado no Capítulo 2, os esquemáticos dos circuitos de controle ilustrados na Figura 38 demonstram as lógicas de controle implementadas para o conversor Boost, o conversor Full-Bridge e os PLLs (utilizados na geração das referências senoidais para os controles por Histerese e PWM).

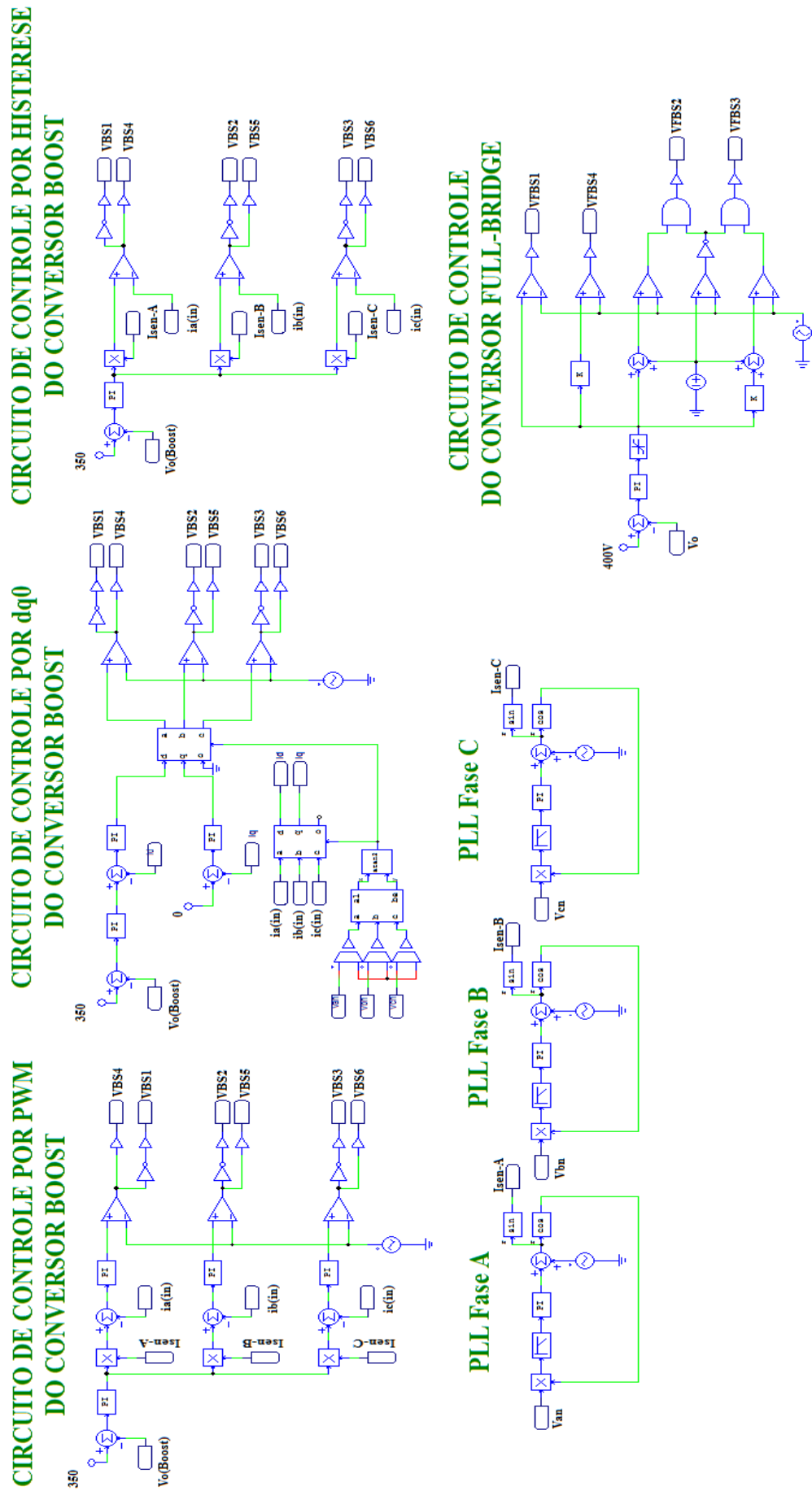
De posse dos circuitos de potência e de controle realizou-se as simulações computacionais que serão expostas na sequência. Tais simulações foram elaboradas para averiguar qual controle se adequaria melhor ao funcionamento do RHT, visando o controle da tensão no barramento CC, a imposição de correntes de linha de entrada senoidais com baixa distorção harmônica e um alto fator de potência.

Figura 37 Diagrama esquemático de simulação do circuito de potência do RHT no software PSim®.



Fonte: Adaptado de (RODRIGUES, 2016).

Figura 38 – Diagrama esquemático de simulação no software PSim® do circuito de controle do (a) conversor Boost por PWM, dq0 e Histerese; (b) do conversor Full-Bridge; e (c) dos PLLs.



Fonte: Adaptado de (RODRIGUES, 2016).

### 3.3 Resultados de Simulação do RHT sob Condições Normais de Suprimento da Rede Elétrica

Esta seção apresenta os principais resultados de simulação computacional referentes à operação do RHT, sob condições normais de suprimento da rede CA de alimentação. A Figura 39 demonstra como são realizadas as composições das correntes de linha de entrada das fases A, B e C, para os métodos de controle do conversor Boost por PWM, Histerese e dq0, respectivamente. Observa-se que as correntes de entrada são os resultados das combinações das correntes drenadas por cada fase de Ret-1 e de Ret-2. Percebe-se ainda, que são justamente as correntes de linha impostas por Ret-2 que determinam a forma de onda senoidal das correntes resultantes, demonstrando assim a importância de se ter um controle eficiente para os conversores de Ret-2, mais especificamente o conversor Boost, que é responsável por controlar a imposição de corrente de entrada de Ret-2 e consequentemente das correntes de linha de entrada do RHT.

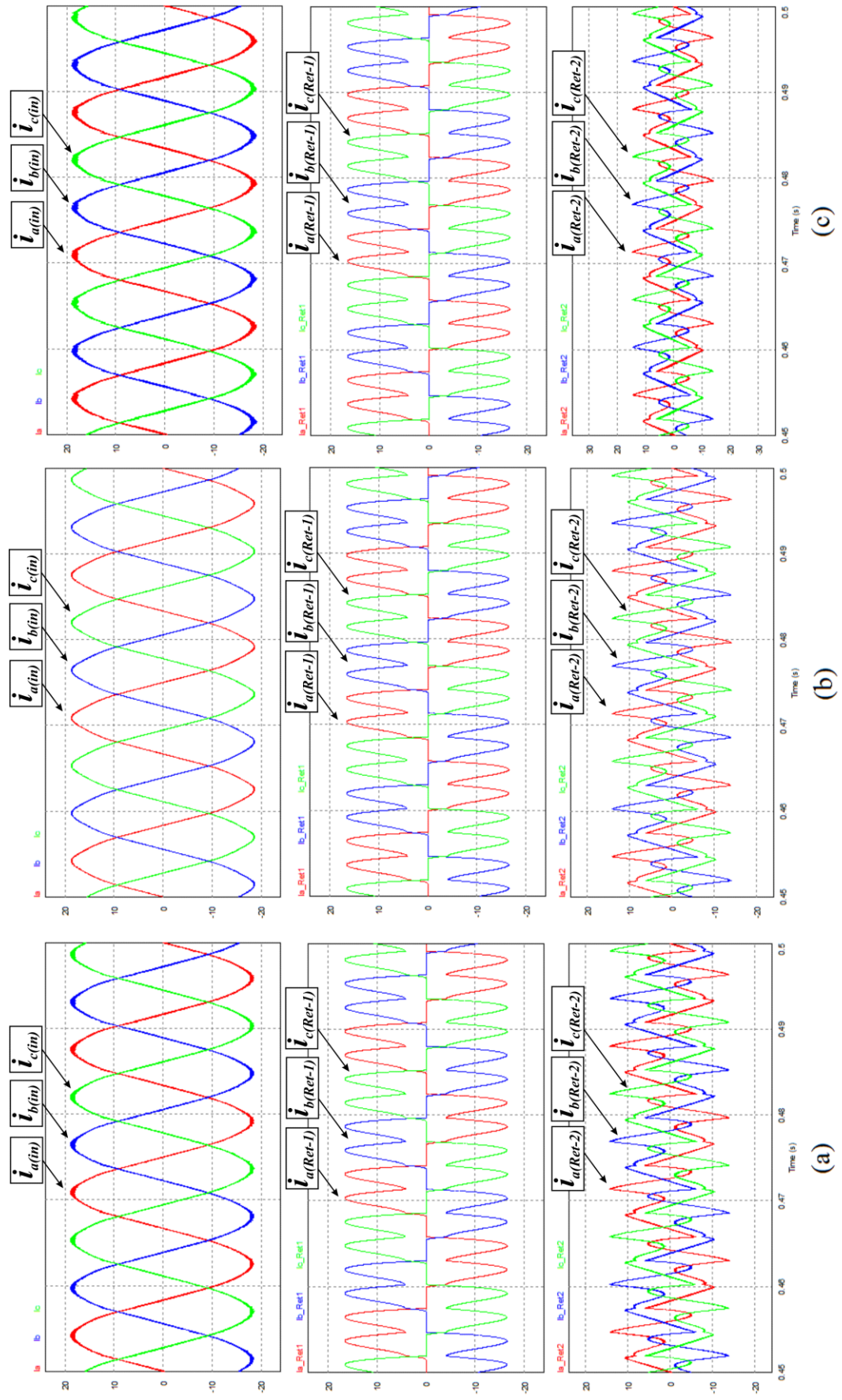
A Figura 40 ilustra as correntes de linha de entrada das três fases, demonstrando que as formas de onda das correntes são senoidais e em fase com a tensão de entrada, assegurando baixa distorção harmônica de corrente e elevado fator de potência para os três métodos de controle do conversor Boost implementados.

Somente a visualização da Figura 39 e da Figura 40 não permite mensurar e definir qual método de controle do conversor Boost consegue mitigar a maior quantidade de conteúdo harmônico das correntes de linha de entrada nem definir qual método possui o maior fator de potência (FP). Para este propósito foram coletados os vetores de pontos de cada sinal de corrente obtido no software PSim® e calculado sua THD através do código matemático [41], tendo como base a norma IEC 61000-3-2, desenvolvido no software Matlab® apresentado no Apêndice A e medido seu fator de potência no próprio software do PSim® que disponibiliza este recurso.

Porém, calcular com apenas um valor de carga no link CC não é suficiente para definir qual conversor é mais eficiente. Para tal, foram feitas 10 variações de carga no link CC, coletados os vetores de pontos das correntes de linha de entrada do RHT, calculados os valores dos THD's no Matlab® e os FP's no PSim®, anotados os valores e gerado os gráficos da Figura 41 e Figura 42.

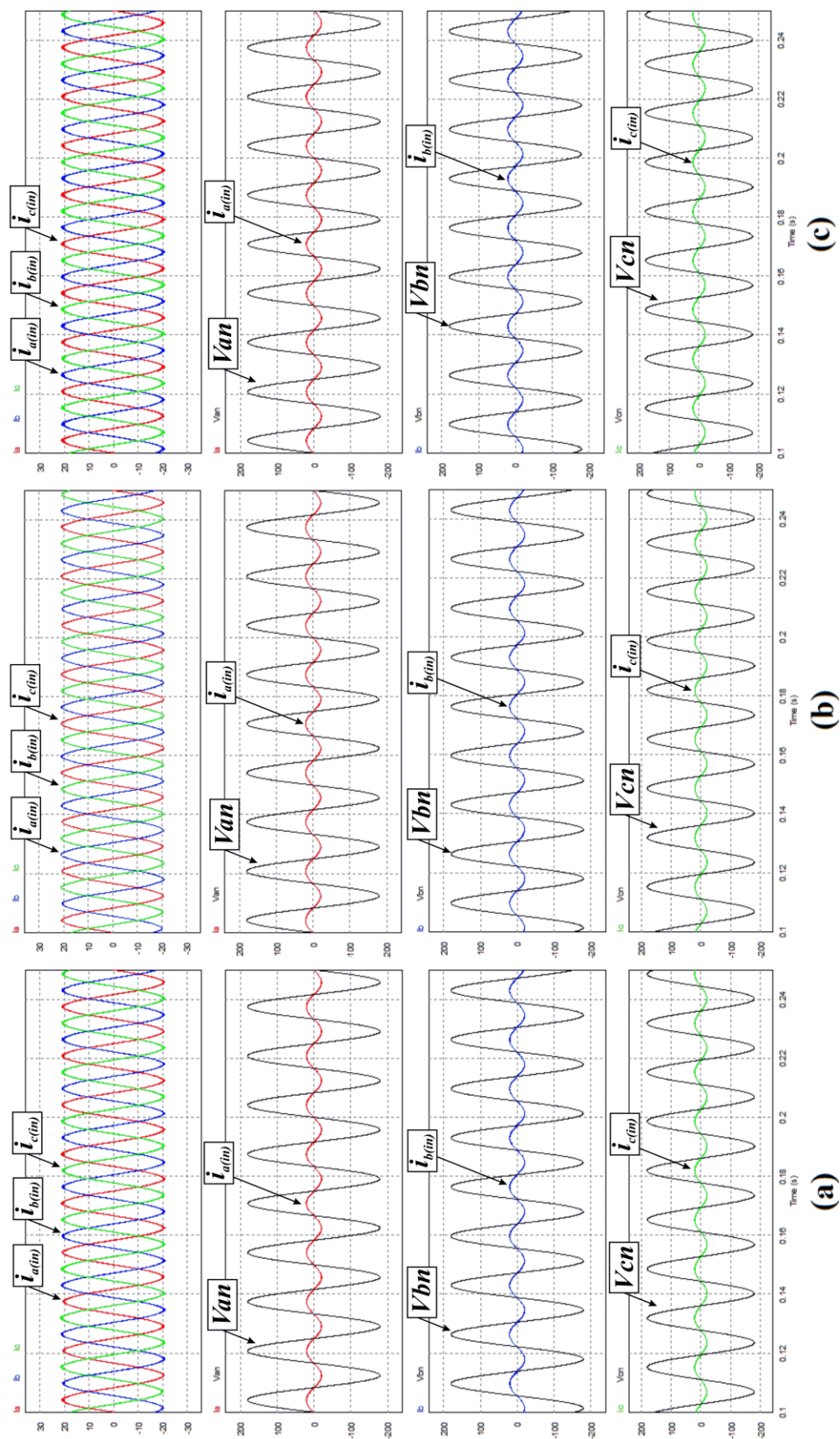
Figura 39 - Correntes  $i(in)$ ,  $i(Ret-1)$  e  $i(Ret-2)$  para as fases A,B e C para os métodos de controle do conversor Boost por

(a) PWM, (b) Histerese e (c) dq0.



Fonte: Dados do próprio autor.

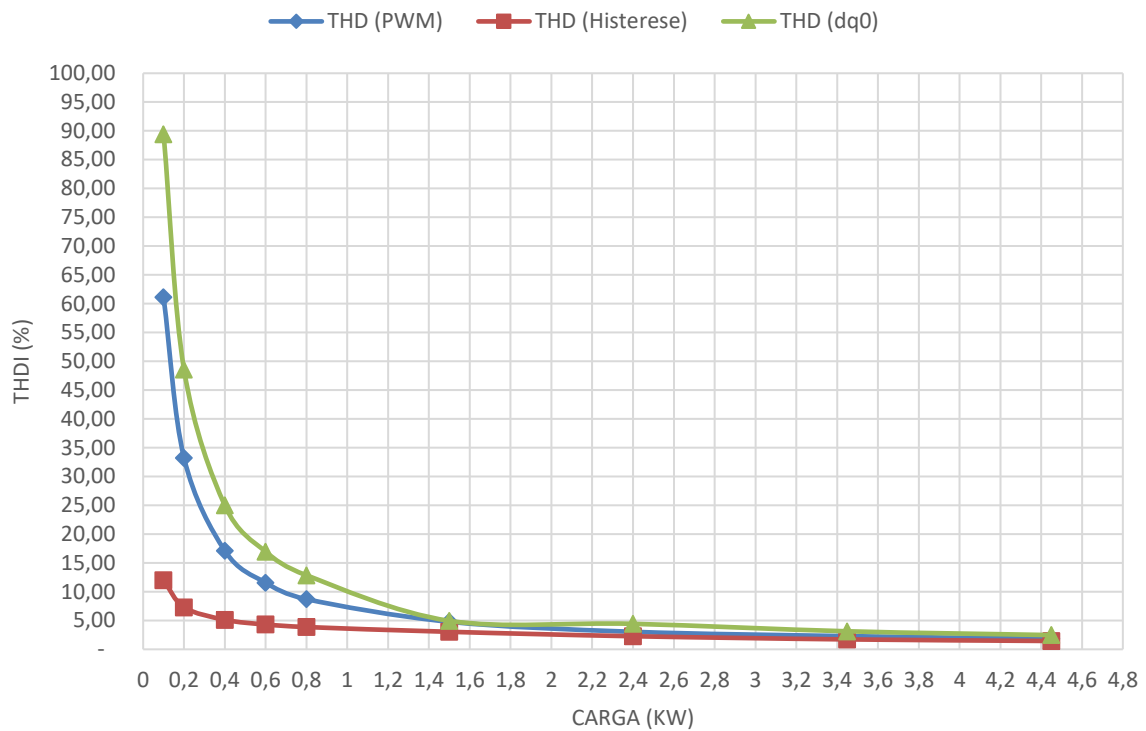
Figura 40 - Correntes de linha de alimentação das fases A, B e C e demonstração das correntes de linha em fase com as tensões F-N para os métodos de controle do conversor Boost por (a) PWM, (b) Histerese e (c) dq0.



Fonte: Dados do próprio autor.

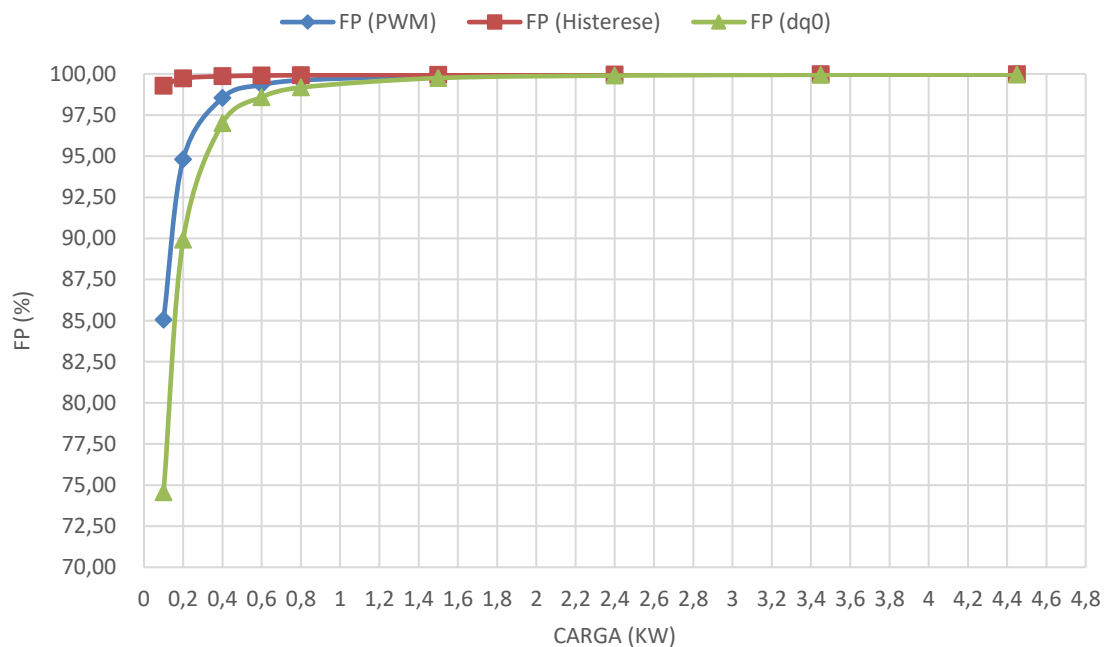


Figura 41 Gráfico de comparação da THD para os métodos de controle do conversor Boost por PWM, Histerese e dq0 quando submetidos a vários valores de cargas no link CC.



Fonte: Dados do próprio autor.

Figura 42 Gráfico de comparação do FP para os métodos de controle do conversor Boost por PWM, Histerese e dq0 quando submetidos a vários valores de cargas no link CC.

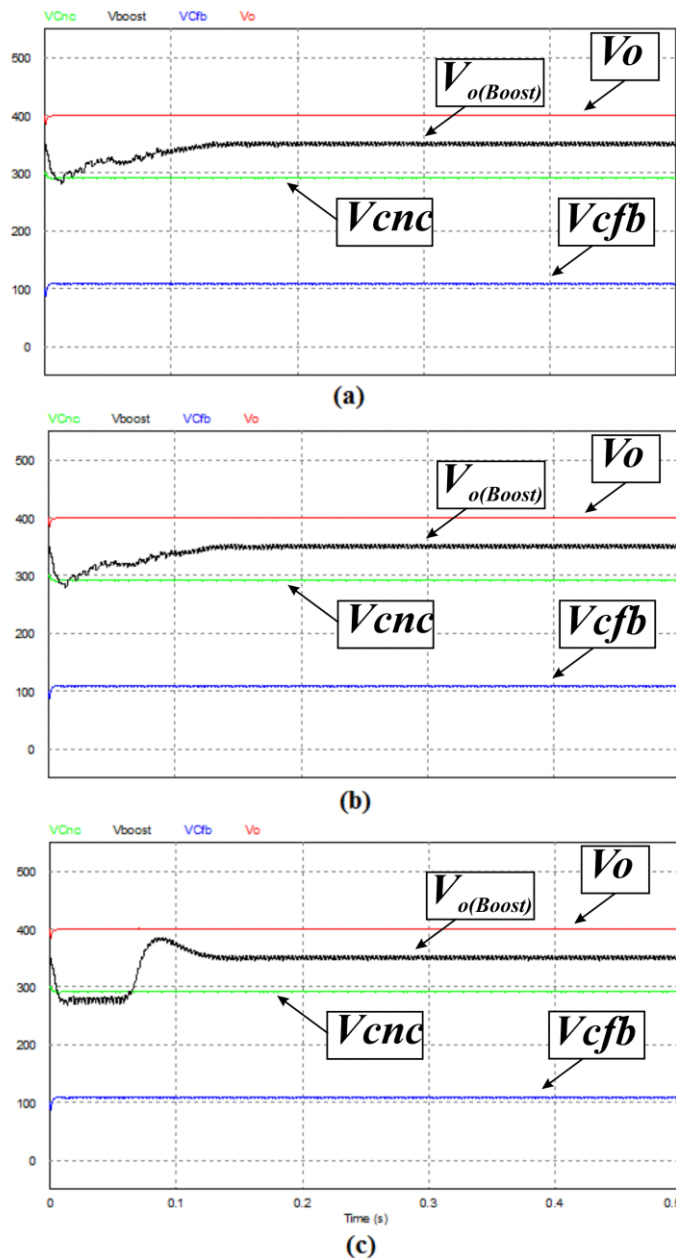


Fonte: Dados do próprio autor.

Com relação à compensação série de tensão no barramento CC, a Figura 43 demonstra as tensões nos capacitores CNC e CFB, a tensão de saída do conversor Boost e a tensão no barramento CC para os 3 métodos analisados de controle para o conversor Boost, comprovando

que, para condições normais de operação, a tensão de saída de Ret-1 (em torno de 293 V) somada à tensão de saída controlada de Ret- 2 (em torno de 107 V) resulta em uma tensão de 400 V no barramento CC, ficando evidente que desde que o conversor Boost imponha uma tensão de 350 V para a alimentação do conversor Full-Bridge, a tensão no barramento CC ficará estável em 400V. Isto permite um controle da tensão no barramento CC durante a ocorrência de um afundamento simétrico de aproximadamente 80% nas tensões trifásicas de alimentação, desde que a estrutura Ret-2 seja projetada para a ocorrência de tal distúrbio.

Figura 43 Tensão no barramento CC ( $V_o$ ), tensão de saída do conversor Boost ( $V_o(\text{Boost})$ ), tensão de saída de Ret-1 ( $V_{Cnc}$ ), e tensão de saída de Ret-2 ( $V_{Cfb}$ ) para os métodos de controle do conversor Boost por (a) PWM, (b) Histerese e (c) dq0.

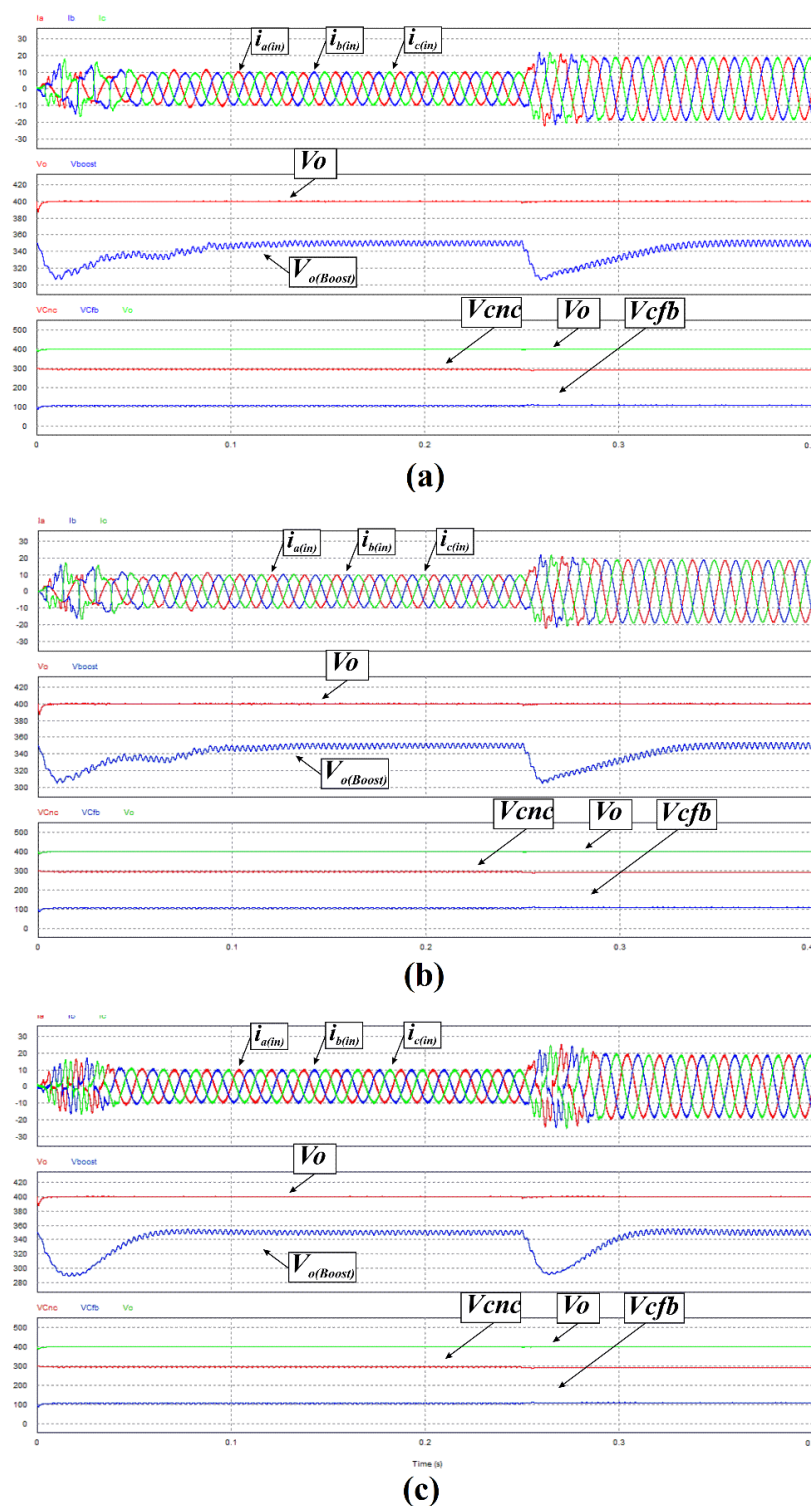


Fonte: Dados do próprio autor.



Para verificar o desempenho dinâmico do RHT, aplicou-se um degrau de carga de 2,4 kW para 4,5 kW e o resultado sobre o comportamento das correntes de linha de entrada, da tensão no barramento CC, da tensão de saída do conversor Boost e das tensões de saída do Ret-1 e Ret-2 é apresentado na Figura 44.

Figura 44 Resposta dinâmica durante um degrau de carga de 2,5 kW para 5 kW para os métodos de controle do conversor Boost por (a) PWM, (b) Histerese e (c) dq0.

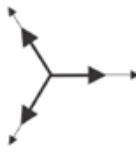




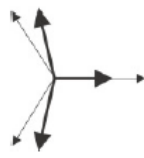

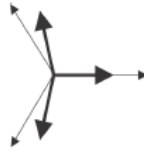
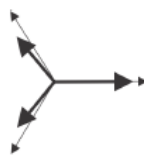
Fonte: Dados do próprio autor.

### 3.4 Resultados de Simulação do RHT sob Condições de Afundamentos de Tensão

A norma IEEE Std 1159 [42] classifica os afundamentos por duas grandezas: magnitude e duração. A norma não apresenta as condições de assimetria ou desequilíbrios que podem apresentar nas fases individuais. Curto circuitos, caracterizados por faltas trifásicas, bifásicas, bifásicas à terra e monofásicas respondem pela maioria das ocorrências dos afundamentos de tensão, entretanto, destaca-se também como causas destes distúrbios, partidas de grandes motores e descargas atmosféricas [43]. Assim, dependendo do tipo de curto-circuito, da conexão do transformador e da carga, Bollen [44], propõe um estudo detalhado apresentando os diferentes tipos de afundamentos de tensão, classificados em sete tipos, denominados de A, B, C, D, E, F e G. O afundamento Tipo A é causado por faltas simétricas e os demais, por faltas assimétricas [61]. A Tabela 2 ilustra a representação matemática para os sete tipos de afundamentos associados aos seus diagramas fasoriais, em que, o valor do parâmetro  $h$  ( $0 < h < 1$ ) define a magnitude das tensões de fase e o ângulo de fase [43].

Tabela 2 - Representação matemática para cada afundamento de tensão.

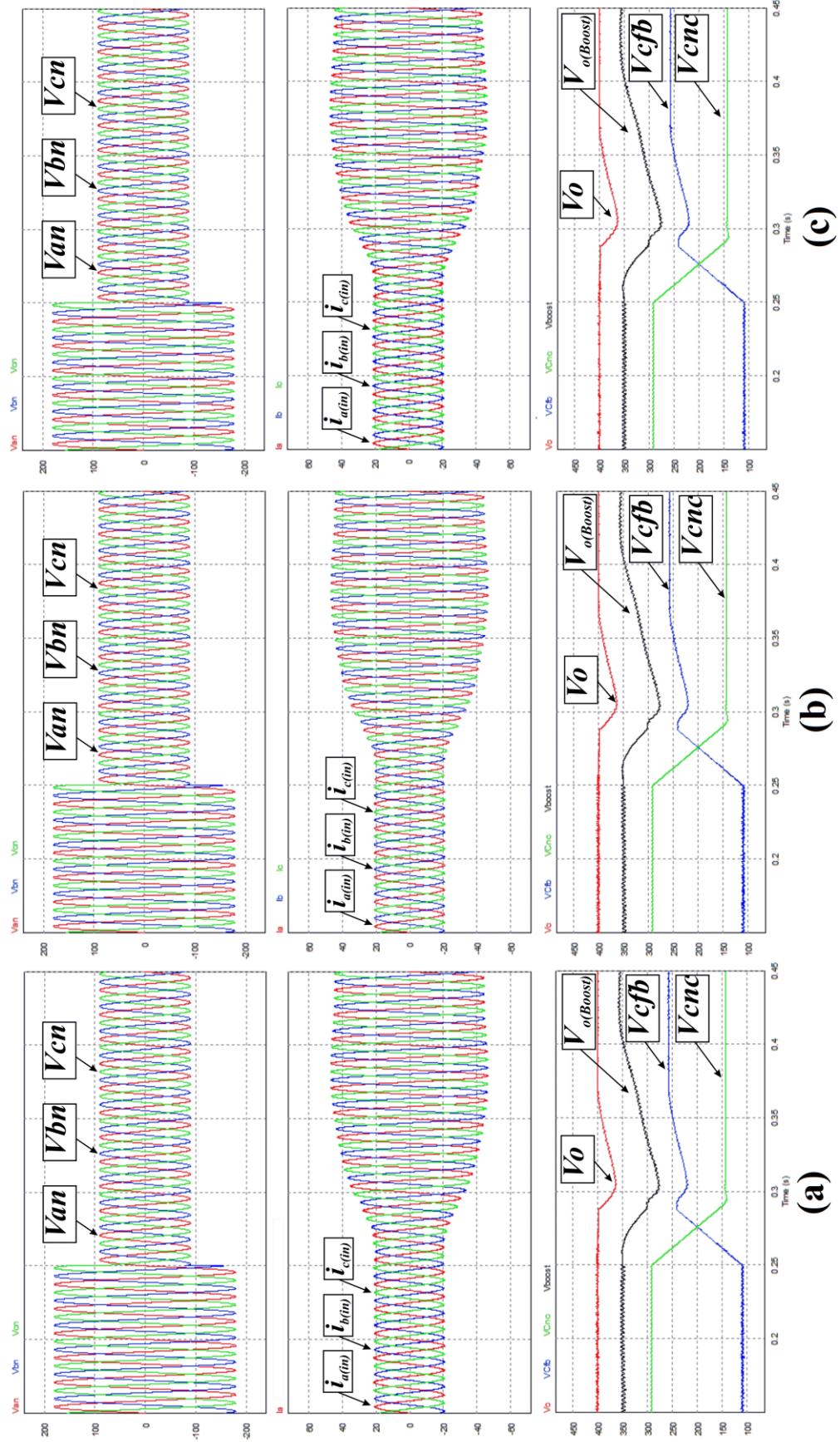
Tipo de Afundamento	Tensões de Fase	Diagrama Fasorial
Tipo A	$V_{an} = h \cdot V_p \cdot \text{sen}(\omega \cdot t)$	
	$V_{bn} = h \cdot V_p \cdot \text{sen}\left(\omega \cdot t - \frac{2 \cdot \pi}{3}\right)$	
	$V_{cn} = h \cdot V_p \cdot \text{sen}\left(\omega \cdot t + \frac{2 \cdot \pi}{3}\right)$	
Tipo B	$V_{an} = h \cdot V_p \cdot \text{sen}(\omega \cdot t)$	
	$V_{bn} = V_p \cdot \text{sen}\left(\omega \cdot t - \frac{2 \cdot \pi}{3}\right)$	
	$V_{cn} = V_p \cdot \text{sen}\left(\omega \cdot t + \frac{2 \cdot \pi}{3}\right)$	
Tipo C	$V_{an} = V_p \cdot \text{sen}(\omega \cdot t)$	
	$V_{bn} = \sqrt{\left(\frac{1}{2}\right)^2 + \left(\frac{\sqrt{3}}{2} \cdot h\right)^2} \cdot V_p \cdot \text{sen}\left\{\omega \cdot t + \left[\pi + \tan^{-1}\left(\sqrt{3} \cdot h\right)\right]\right\}$	
	$V_{cn} = \sqrt{\left(\frac{1}{2}\right)^2 + \left(\frac{\sqrt{3}}{2} \cdot h\right)^2} \cdot V_p \cdot \text{sen}\left\{\omega \cdot t + \left[\pi - \tan^{-1}\left(\sqrt{3} \cdot h\right)\right]\right\}$	

Tipo D	$V_{an} = h \cdot V_p \cdot \text{sen}(\omega \cdot t)$	
	$V_{bn} = \sqrt{\left(\frac{1}{2} \cdot h\right)^2 + \left(\frac{\sqrt{3}}{2}\right)^2} \cdot V_p \cdot \text{sen}\left\{\omega \cdot t + \left[\pi + \tan^{-1}\left(\frac{\sqrt{3}}{h}\right)\right]\right\}$	
	$V_{cn} = \sqrt{\left(\frac{1}{2} \cdot h\right)^2 + \left(\frac{\sqrt{3}}{2}\right)^2} \cdot V_p \cdot \text{sen}\left\{\omega \cdot t + \left[\pi - \tan^{-1}\left(\frac{\sqrt{3}}{h}\right)\right]\right\}$	
Tipo E	$V_{an} = V_p \cdot \text{sen}(\omega \cdot t)$	
	$V_{bn} = h \cdot V_p \cdot \text{sen}\left(\omega \cdot t - \frac{2 \cdot \pi}{3}\right)$	
	$V_{cn} = h \cdot V_p \cdot \text{sen}\left(\omega \cdot t + \frac{2 \cdot \pi}{3}\right)$	
Tipo F	$V_{an} = h \cdot V_p \cdot \text{sen}(\omega \cdot t)$	
	$V_{bn} = \sqrt{\left(\frac{1}{2} \cdot h\right)^2 + \left[\frac{1}{\sqrt{12}} \cdot (2+h)\right]^2} \cdot V_p \cdot \text{sen}\left\{\omega \cdot t + \left[\pi + \tan^{-1}\left(\frac{2 \cdot (2+h)}{\sqrt{12} \cdot h}\right)\right]\right\}$	
	$V_{cn} = \sqrt{\left(\frac{1}{2} \cdot h\right)^2 + \left[\frac{1}{\sqrt{12}} \cdot (2+h)\right]^2} \cdot V_p \cdot \text{sen}\left\{\omega \cdot t + \left[\pi - \tan^{-1}\left(\frac{2 \cdot (2+h)}{\sqrt{12} \cdot h}\right)\right]\right\}$	
Tipo G	$V_{an} = \frac{1}{3} \cdot (2+h) \cdot V_p \cdot \text{sen}(\omega \cdot t)$	
	$V_{bn} = \sqrt{\left[\frac{1}{6} \cdot (2+h)\right]^2 + \left(\frac{\sqrt{3}}{2} \cdot h\right)^2} \cdot V_p \cdot \text{sen}\left\{\omega \cdot t + \left[\pi + \tan^{-1}\left(\frac{2 \cdot \sqrt{3} \cdot h}{2+h}\right)\right]\right\}$	
	$V_{cn} = \sqrt{\left[\frac{1}{6} \cdot (2+h)\right]^2 + \left(\frac{\sqrt{3}}{2} \cdot h\right)^2} \cdot V_p \cdot \text{sen}\left\{\omega \cdot t + \left[\pi - \tan^{-1}\left(\frac{2 \cdot \sqrt{3} \cdot h}{2+h}\right)\right]\right\}$	

Fonte: (RODRIGUES, 2016).

Tomando por base a Tabela 2 [27], escolheu-se os mais severos afundamentos de tensão para serem averiguados, Tipo A e G. As Figura 45 e Figura 46 ilustram as formas de onda das tensões de fase ( $V_{an}$ ,  $V_{bn}$  e  $V_{cn}$ ); das correntes de linha de entrada ( $i_{a(in)}$ ,  $i_{b(in)}$  e  $i_{c(in)}$ ); das tensões no barramento CC ( $V_o$ ), na saída do conversor Boost ( $V_{o(Boost)}$ ), na saída de Ret-1 ( $V_{cnc}$ ) e na saída de Ret-2 ( $V_{cfb}$ ) para os métodos de controle do conversor Boost analisados (PWM, Histerese e dq0) para os afundamentos Tipo A e G, respectivamente.

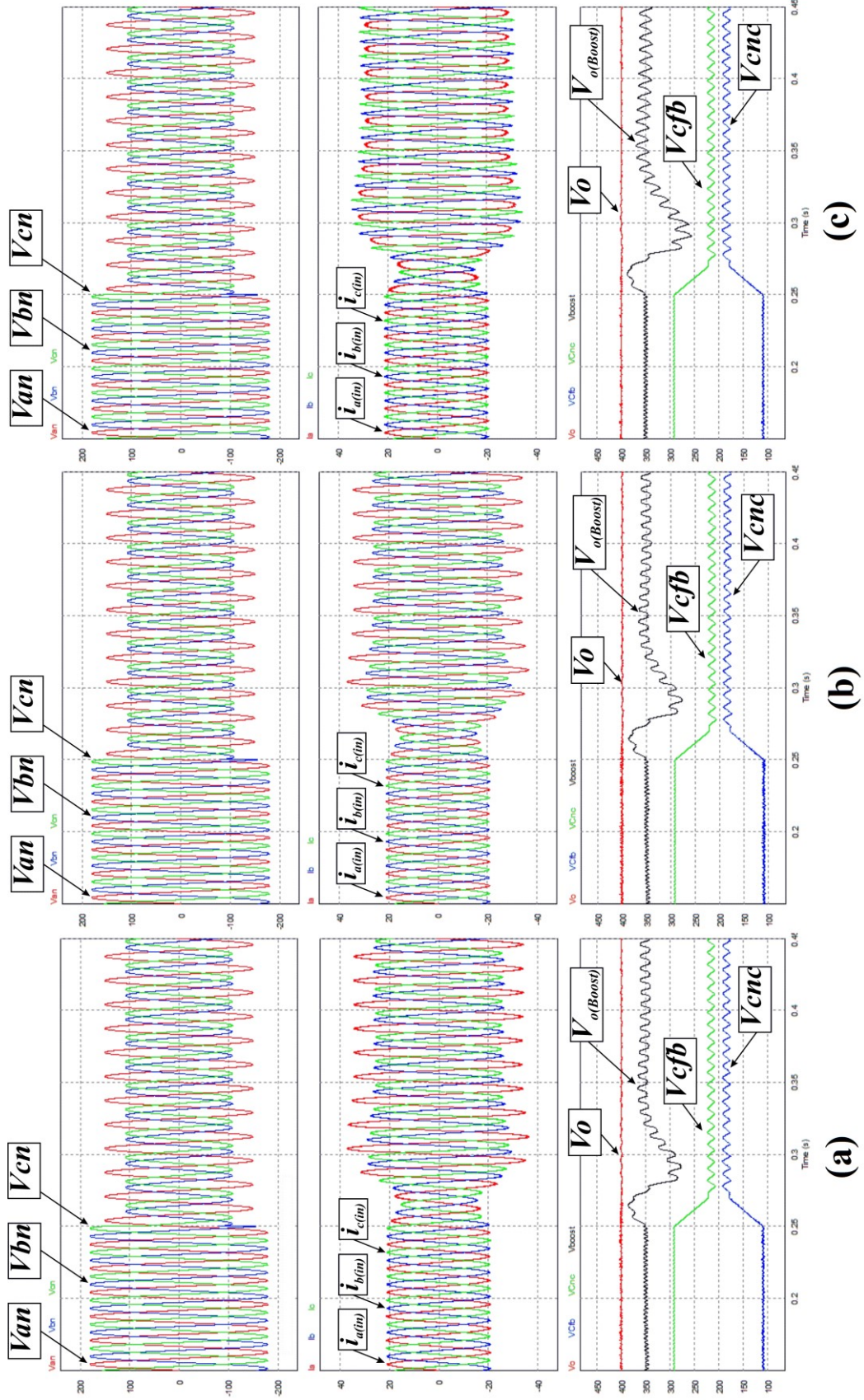
Figura 45 - Afundamento do Tipo A: Tensões de fase; correntes  $i_{a(in)}$ ,  $i_{b(in)}$  e  $i_{c(in)}$ ; tensões  $V_o$ ,  $V_{o(Boost)}$ ,  $V_{cnc}$  e  $V_{cjb}$  dos para os métodos de controle do conversor Boost por (a) PWM, (b) Histerese e (c) dq0.



. Fonte: Dados do próprio autor



Figura 46 - Afundamento do Tipo G: Tensões de fase; correntes  $i_a(in)$ ,  $i_b(in)$  e  $i_c(in)$ ; tensões  $V_o$ ,  $V_o(Boost)$ ,  $V_{Cnc}$  e  $V_{Cfb}$  dos para os métodos de controle do conversor Boost por (a) PWM, (b) Histerese e (c) dq0.



Fonte: Dados do próprio autor.

### 3.5 Considerações finais

Nota-se, nos resultados de simulação do RHT sob condições normais de suprimento da rede elétrica, que os controles analisados são rápidos o suficiente para estabelecer que a magnitude da corrente imposta pelo conversor Boost aumente acompanhando o aumento da corrente drenada pelo retificador não controlado, a ponto que as correntes de linha de entrada entrem em regime permanente a partir do segundo ciclo após o degrau, mantendo, portanto, a divisão de potência ativa processada entre as unidades retificadoras e a tensão no barramento CC. Pode-se observar que apesar da queda na tensão de saída do conversor Boost durante o transitório do degrau de carga, a tensão no barramento CC é mantida constante em 400 V antes, durante e após o degrau para os 3 métodos de controle do conversor Boost analisados, não demonstrando diferenças significativas entre eles.

Percebe-se na comparação da THD para os métodos de controle do conversor Boost que quando submetidos a valores próximos à carga nominal do RHT não há diferenças entre os métodos de controle. Entretanto, quando o RHT opera a partir da metade da carga nominal apenas o controle por Histerese mantém a THD menor que 4,3%, conforme recomendado pela norma IEC 61000-3-2. Para cargas abaixo de 2,4 kW nenhum dos controles consegue manter a THD dentro da norma. Porém, o controle por Histerese consegue destacar-se dos controles por dq0 e PWM, mantendo os menores níveis de distorção harmônica total de corrente.

Os três controles analisados do conversor Boost conseguem manter o FP acima de 98% quando submetidos a valores próximos à carga nominal do RHT (Figura 42). Já quando o RHT opera com cargas abaixo de 0,8 kW apenas os controles por Histerese e PWM conseguem manter o nível de FP conforme a norma recomenda. Para as variações de cargas de 0,1 a 4,5 kW, somente o controle por Histerese consegue manter em todos os valores o FP dentro da norma.

Em relação à tensão no barramento CC, tensão de saída do conversor Boost, tensão de saída de Ret-1, tensão de saída de Ret-2 e resposta dinâmica durante um degrau de carga de 2,5 kW para 5 kW, para os métodos analisados de controle do conversor Boost (Figura 43 e Figura 44 não há diferenças significativas entre os métodos, todos conseguem manter a tensão na saída do conversor Boost em 350 V e forma da corrente de linha de entrada senoidal, consequentemente, como a tensão de alimentação do conversor Full-Bridge se mantém estável, a tensão no barramento CC também se manterá estável em 400 V devido ao controle deste conversor.

Nota-se através da Figura 45 e Figura 46, que as estratégias de controle se demonstraram eficazes, no que diz respeito à compensação série de tensão no barramento CC, durante a

ocorrência de afundamentos temporários de tensão, de modo que, apesar da queda da tensão de saída de Ret-1, a tensão de saída de Ret-2 eleva-se, fornecendo um barramento CC com tensão constante de 400 V à carga. No que tange ao controle de corrente, a imposição de correntes de linha de entrada senoidais é realizada durante a ocorrência de afundamentos temporários de tensão, onde os PLLs (para os controles do conversor Boost por PWM e Histerese) são capazes de estabelecer referências senoidais em fase com as tensões de fase, mesmo durante a afundamentos de tensão assimétricos que implicam na variação do ângulo de fase das tensões de alimentação. Já para o controle do conversor Boost por dq0, a imposição de correntes de linha de entrada senoidais mostrou-se eficaz mesmo sem possuir PLLs para estabelecer referências senoidais para as correntes durante os afundamentos de tensão.

Desta forma, é possível concluir que os três controles estudados do conversor Boost podem ser utilizados para a aplicação no RHT. Vale ressaltar que o controle por histerese foi o que demonstrou melhores resultados para condições normais de suprimento da rede elétrica, e também foi o controle que apresentou menor THD e maior FP para diferentes valores de carga. Já para as condições de afundamentos de tensão e degrau de carga, os três métodos demonstraram-se eficazes, não havendo diferenças significativas entre eles.



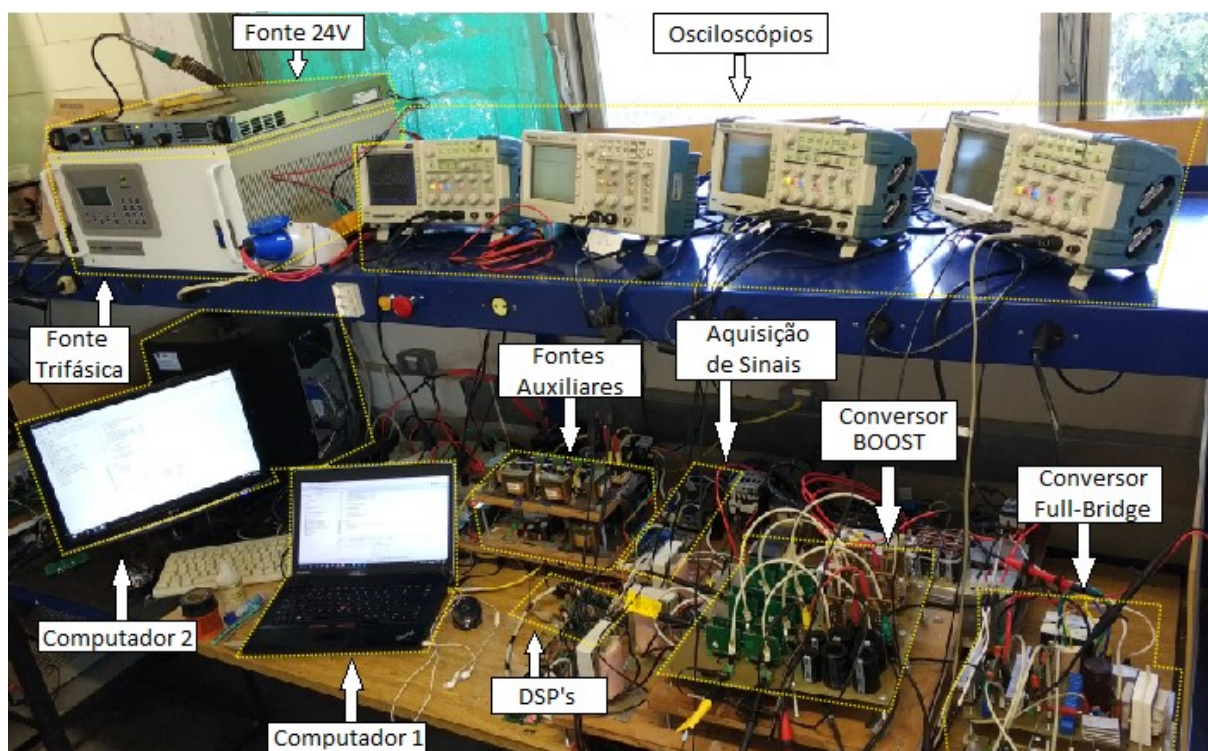
## CAPÍTULO IV

### 4 Resultados Experimentais

#### 4.1 Protótipo Experimental

Para validar as proposições desta dissertação, este capítulo apresenta o protótipo da Figura 47 que foi projetado para a potência nominal de 5 kW, entretanto, por limitações de carga, fontes e de chaves IGBT (Insulated Gate Bipolar Transistor), foi possível coletar resultados experimentais durante condições normais de suprimento da rede elétrica, apenas, para potências de 520 W e 1250 W. Apesar das limitações, os resultados experimentais demonstraram-se satisfatórios para validar as estratégias de controle por Histerese, PWM e dq0 para o RHT.

Figura 47 Protótipo do Retificador Híbrido Trifásico desenvolvido em laboratório.



Fonte: Dados do próprio autor.

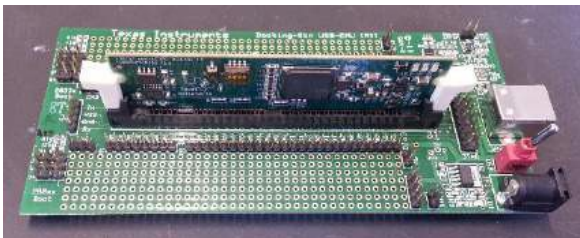
Alguns equipamentos e módulos foram utilizados em conjunto com o protótipo do RHT a fim de garantir o perfeito funcionamento da estrutura. Entre esses equipamentos e módulos, podem-se destacar os Módulos de Sensoriamento responsáveis por fornecer informações sobre os sinais de corrente e tensão sensoriados que são necessários para o controle; os Processadores



Digitais de Sinais (Digital Signal Processor – DSP's) utilizados para embarcar os algoritmos de controle dos conversores Boost e Full-Bridge do RHT; as Placas de Conversão de Sinais utilizadas para adequar os sinais de pulsos enviados pelos DSP's para níveis admissíveis pelos interruptores do circuito de potência do RHT; os Gate-Drivers responsáveis pelo acionamento e proteção dos interruptores; as Fontes Auxiliares utilizadas na alimentação dos módulos de sensoriamento e gate-drivers; um Controlador Lógico Programável (CLP) responsável por comandar o seccionamento do circuito de potência através de contatores; e uma Fonte Programável Trifásica utilizada para a alimentação do circuito de potência do RHT.

Ressalta-se que foram utilizados dois DSP's e dois computadores para implementação digital dos algoritmos de controle dos conversores Boost e Full-Bridge. A utilização de dois DSP's fez-se necessário devido ao limitado número de saídas PWM que o processador disponibiliza. Como o conversor Full-Bridge necessita da utilização de quatro portas PWM e o conversor Boost de seis, a utilização de apenas um processador não seria suficiente, pois o DSP disponibiliza apenas seis saídas PWM. É importante destacar que apenas para os controles do conversor Boost por PWM e  $dq0$  que são necessárias a utilização de saídas PWM do DSP, para o controle por Histerese não se faz o uso deste tipo de saída. O controle neste caso é feito utilizando apenas saídas digitais. Na Tabela 3 seguem características dos DSP's utilizados.

Tabela 3 - Especificações do DSP TMS320F28335 da TEXAS INSTRUMENTS®.

	Arquitetura de ponto flutuante de 32 bits
	Conversor analógico/digital (A/D) ultrarápido, na faixa de 80 ns
	512 KB de memória flash
	68 KB de memória RAM
	Frequência de clock de 150 MHz
	176 pinos conectores para possível comunicação com outros dispositivos

Fonte: Adaptado de (RODRIGUES, 2016).


A Tabela 4 demonstra as características do módulo de aquisição e condicionamento de sinais de corrente e de tensão. O módulo foi implementado nas dependências do NUPEP e possui dois sensores de efeito Hall, um de tensão e outro de corrente.

Uma vez que os gate-drivers utilizados no acionamento dos interruptores do circuito de potência do RHT trabalham com sinais de gatilho na faixa de 0 a 15 V e o DSP fornece sinais com amplitude entre 0 e 3,3 V, um módulo de conversão dos sinais, também desenvolvido nas dependências do NUPEP, se fez necessário para a conversão dos sinais de pulso enviados pelos DSP aos interruptores do circuito. A Tabela 5 demonstra as características do referido módulo.

A Fonte: Adaptado de (RODRIGUES, 2016).


Tabela 6 Tabela 6 demonstra as características do gate-driver utilizado para o acionamento dos interruptores dos conversores Boost e Full-Bridge.

Tabela 4 - Especificações do módulo para aquisição e condicionamento de sinais de corrente e de tensão.

	Máxima alimentação +15 (relação ao gnd)	15,2 V
	Máxima alimentação -15 (relação ao gnd)	-15,2 V
	Mínima alimentação +15 (relação ao gnd)	14,8 V
	Mínima alimentação -15 (relação ao gnd)	-14,8 V
	Máxima corrente eficaz nominal de medição	50 A
	Faixa de medição de corrente	-70 A a +70 A
	Máxima tensão eficaz nominal de medição	500 V
	Faixa de medição de tensão	-500 V a +500 V
	Faixa de tensão do sinal de saída	0 a 3,3 V
	Nível de offset	1,5 V

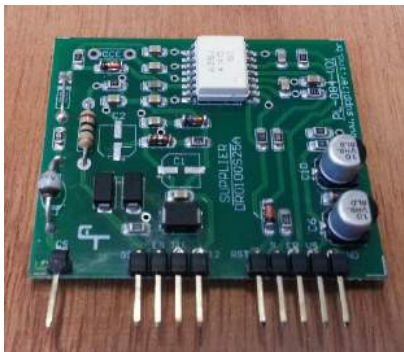
Fonte: Adaptado de (RODRIGUES, 2016).

Tabela 5 - Especificações do módulo de conversão dos sinais de saída do DSP de 0 a 3,3 V para 0 a 15 V.

	Portas de Entrada	12
	Faixa de tensão dos sinais de entrada	0 a 3,3 V
	Portas de Saída	12
	Faixa de tensão dos sinais de saída	0 a 15 V

Fonte: Adaptado de (RODRIGUES, 2016).


Tabela 6 - Especificações do Gate-Driver DRO100S25A da SUPPLIER®.

	Frequência máxima de comutação	100 kHz
	Corrente máxima de pico de saída	2,5 V
	Tensão de monitoramento entre coletor e emissor	1000 V
	Resistor de Gate	7,5 $\Omega$
	Tensão de teste de isolamento entre primário e secundário	2500 V
	Faixa de tensão de alimentação	14,4 V a 15,6 V
	Faixa de tensão de gate ligado	12,5 V a 18 V
	Faixa de tensão de gate desligado	-12 V a -7 V
	Faixa de tensão de referência para proteção de curto-circuito	6,5 V a 7,5 V

Fonte: Adaptado de (RODRIGUES, 2016).

Por fim, as informações técnicas referentes à fonte trifásica programável utilizada para a alimentação do circuito do RHT e para os ensaios envolvendo afundamentos temporários de tensão são apresentadas na Tabela 7.

Tabela 7 - Especificações da Fonte trifásica programável FCATHQ 450-22-100 da SUPPLIER®.

	
Tensão de alimentação de linha	220V $\pm$ 10% (entrada a 5 fios 3F+1N+1T)
Frequência de entrada	50Hz/60Hz
Tensão de saída	0-220V (linha), 0-127V (fase)
Corrente máxima de saída	12:00 AM
Potência máxima de saída	4,5 kVA
Frequência de saída	15-1000Hz (fundamental)
Número de harmônicos permitidos	51
Largura de banda da saída	0-3.000Hz
Controle individual das amplitudes e fases de saída	
Rampas programáveis de subida e descida	
Leituras de Tensão, Corrente, Potência e Fator de Potência	
Proteções de Curto-circuito, Sobrecarga, Térmica e Sobretensão no Barramento CC	
Programação de afundamentos bruscos até o valor de 80%, 70%, 40% e 0% da tensão nominal, com duração programada e podendo iniciar e finalizar a qualquer ângulo da fase de alimentação;	

Fonte: Adaptado de (RODRIGUES, 2016).

## 4.2 Implementação dos Algoritmos de Controle

No que tange a implementação dos algoritmos de controle e a configuração dos principais registradores do DSP TMS320F28335® da TEXAS INSTRUMENTS® que definem o correto funcionamento das estratégias de controle do RHT, este tópico detalha as principais ações tomadas para a geração dos códigos de controle. Para obter os resultados que serão apresentados nos tópicos seguintes, foram implementados duas configurações de *Setup* no protótipo.

Como o RHT possui dois conversores, dois códigos de controle são necessários para controlá-los. Para o conversor Full-Bridge, um único código foi utilizado para testar os três controles do conversor Boost. Conforme já mencionado, foram utilizados dois DSP's e dois computadores, em simultâneo, para implementação digital dos algoritmos de controle dos conversores Boost e Full-Bridge. No Computador 1 foram implementadas as três estratégias de controle do conversor Boost e no Computador 2 a estratégia de controle do conversor Full-Bridge.

#### 4.2.1 Estratégia de Controle do Computador 2 – Conversor Full-Bridge

Além da configuração dos registradores que definem o Clock de operação do processador do DSP e da declaração das variáveis de controle definidas segundo o diagrama esquemático da estratégia de controle do conversor Full-Bridge, apresentado na Figura 6, foi realizada a configuração dos registradores responsáveis pela habilitação dos pinos de propósito geral (GPIO) que podem ser definidos como pinos de entrada digital ou pinos de saída digital ou pinos de saída PWM.

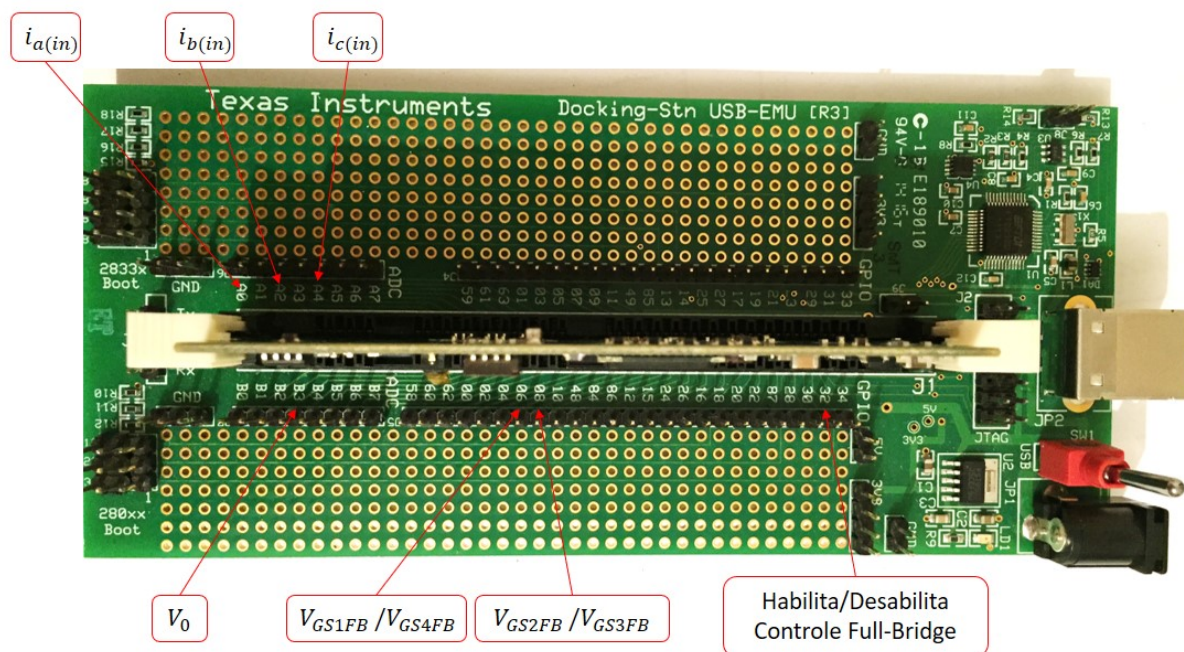
Conforme observado na Figura 48, os pinos 06 e 08 foram habilitados como pinos de saída PWM e foram configurados para fornecerem os sinais de gatilho dos interruptores S1FB/S4FB e S2FB/S3FB do conversor Full-Bridge, respectivamente, seguindo a lógica de Phase-Shift implementada na estratégia de controle. O pino 32, por sua vez, foi configurado como pino de entrada digital e foi utilizado para habilitar/desabilitar o controle do conversor Full-Bridge através de uma chave analógica conectada externamente ao DSP.

Em seguida foi necessário realizar a configuração dos registradores que determinam a habilitação dos pinos das entradas de conversão analógico-digital (ADC) que foram definidos para receber os sinais de corrente e tensão sensorizados. Os pinos A0, A2 e A4 foram configurados para receber os sinais sensorizados  $i_{a(in)}$ ,  $i_{b(in)}$  e  $i_{c(in)}$ , respectivamente, e o pino B3 foi configurado para receber o sinal sensorizado  $V_0$ , conforme ilustrado na Figura 48.

A estratégia de controle do conversor Full-Bridge, por sua vez, é implementada dentro de uma função de interrupção que é chamada sempre que ocorre a geração, por parte do ADC, das amostras sensorizadas. Desta forma, toda vez que uma amostra é gerada para cada um dos sinais de tensão e corrente sensorizados, o algoritmo de controle implementado na interrupção é executado e os sinais de gatilho dos interruptores do conversor Full-Bridge são gerados.



Figura 48 Atribuições dos pinos de GPIO configurados no algoritmo de controle do Conversor Full-Bridge embarcado no DSP.



Fonte: Adaptado de (RODRIGUES, 2016).

Conforme pode ser verificado no algoritmo de controle apresentado no Apêndice A, além da elaboração de linhas de códigos para definir a chamada da estratégia de controle, da configuração das pinos digitais de propósito geral, da configuração das saída PWM e das implementações das equações de diferenças do controlador de tensão do conversor Full-Bridge, ao final do algoritmo foram desenvolvidas também linhas de códigos que desabilitam os sinais de gatilhos dos interruptores dos circuitos do conversor Full-Bridge em condições de sobrecorrentes e curtos-circuitos.

#### 4.2.2 Estratégia de Controle do Computador 1 – Conversor Boost

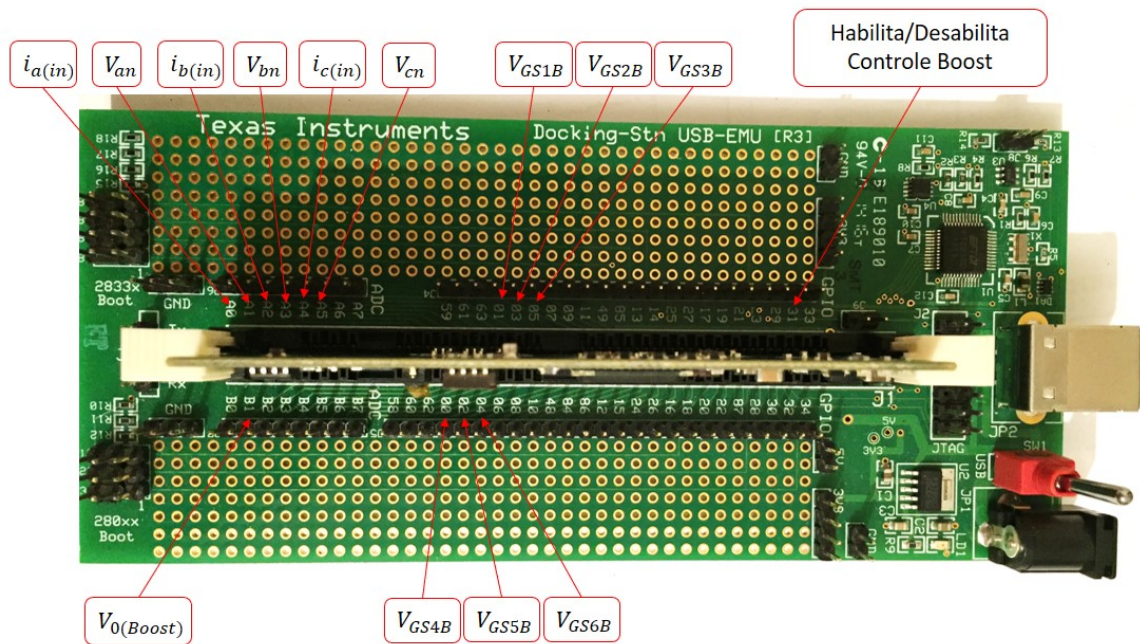
O algoritmo de controle do conversor Boost é bastante similar ao do conversor Full-Bridge. O que diferencia os códigos são as declarações de variáveis, listagem dos pinos de GPIO que são utilizados, aquisição de tensão (que não tem no Full-Bridge) e o código de controle do conversor Boost.

Para o conversor Boost, duas configurações de GPIO's foram utilizadas, uma para o controle por Histerese e outra para o controle PWM e dq0. Como os controles por PWM e dq0 necessitam de um GPIO configurado como PWM para acionar cada interruptor, as configurações precisaram ser alteradas em relação ao controle por Histerese. Abaixo são explicadas as diferenças das duas configurações.

### A. Configurações de Hardware do Conversor Boost por Histerese

Segundo o diagrama esquemático da estratégia de controle do conversor Boost, para o controle por Histerese, apresentado na Figura 19, observa-se na Figura 49 que os pinos 00, 01, 02, 03, 04 e 05 foram habilitados como pinos de saída digital e foram configurados pelo algoritmo de controle para fornecerem os sinais de pulsos enviados para os interruptores S4B, S1B, S5B, S2B, S6B e S3B do conversor Boost, respectivamente. O pino 31, por sua vez, foi configurado como pin de entrada digital e foi utilizado para habilitar/desabilitar o controle do conversor Boost através de chave analógica conectada externamente ao DSP. Os pinos A0, A1, A2, A3, A4 e A5 foram configurados para receber os sinais sensoriados  $i_{a(in)}$ ,  $V_{an}$ ,  $i_{b(in)}$ ,  $V_{bn}$ ,  $i_{c(in)}$  e  $V_{cn}$ , respectivamente. O pino B1 foi configurado para receber o sinal sensoriado  $V_o(\text{Boost})$ , conforme pode ser verificado no algoritmo de controle apresentado no Apêndice C.

Figura 49 Atribuições dos pinos de GPIO configurados no algoritmo de controle do Conversor Boost controlado por Histerese embarcado no DSP.



Fonte: Adaptado de (RODRIGUES, 2016).

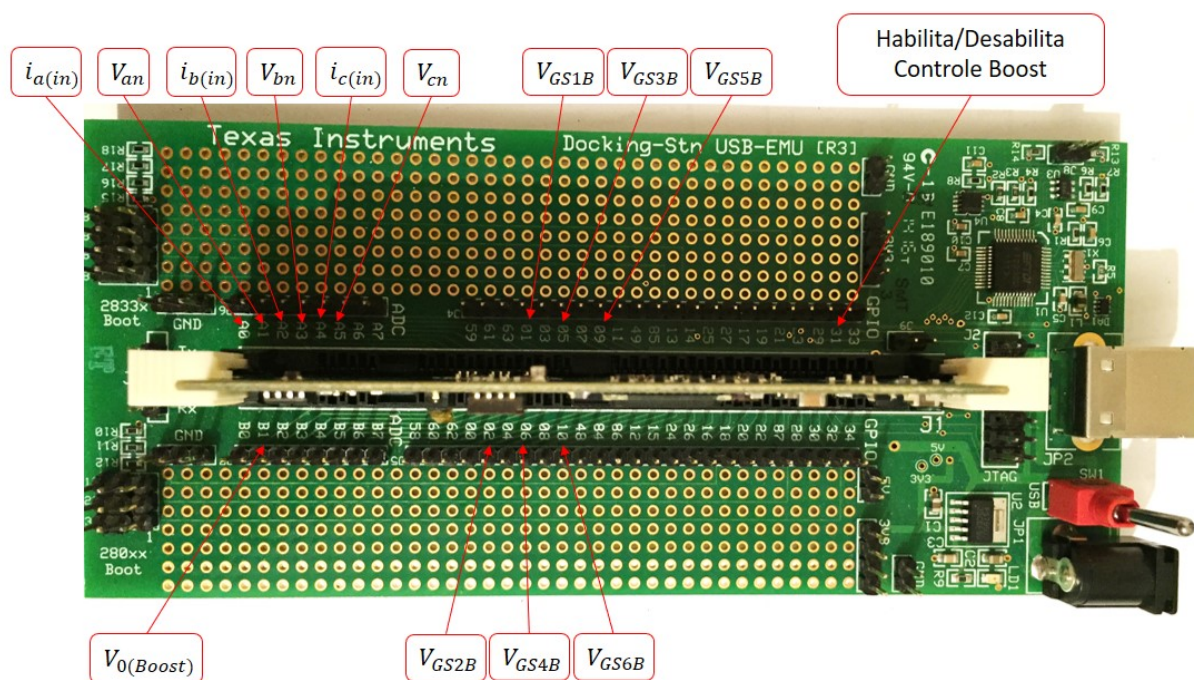
### B. Configurações de Hardware do Conversor Boost por PWM e dq0

A diferença dos controles por PWM e dq0 para Histerese, quando visto pela ótica do Hardware, se dá somente nos GPIO's de acionamento dos interruptores, as demais GPIO's são as mesmas.



Segundo os diagramas esquemáticos das estratégias de controle do conversor Boost, para os controles por PWM e dq0, apresentados nas Figura 14 e Figura 36, a configuração de hardware do DSP pode ser configurada conforme Figura 50, onde os pinos 01, 02, 05, 06, 09 e 10 foram habilitados como pinos de saída digital e foram configurados pelo algoritmo de controle para fornecerem os sinais de pulsos enviados para os interruptores S1B, S2B, S3B, S4B, S5B e S6B do conversor Boost, respectivamente. O pino 31, por sua vez, foi configurado como pin de entrada digital e foi utilizado para habilitar/desabilitar o controle do conversor Boost através de chave analógica conectada externamente ao DSP. Os pinos A0, A1, A2, A3, A4 e A5 foram configurados para receber os sinais sensoriados  $i_{a(in)}$ ,  $V_{an}$ ,  $i_{b(in)}$ ,  $V_{bn}$ ,  $i_{c(in)}$  e  $V_{cn}$ , respectivamente, e o pino B1 foi configurado para receber o sinal sensoriado  $V_o(\text{Boost})$ , conforme pode ser verificado no algoritmo de controle apresentado nos Apêndices B e D.

Figura 50 Atribuições dos pinos de GPIO configurados no algoritmo de controle do Conversor Boost controlado por PWM e dq0 embarcado no DSP.

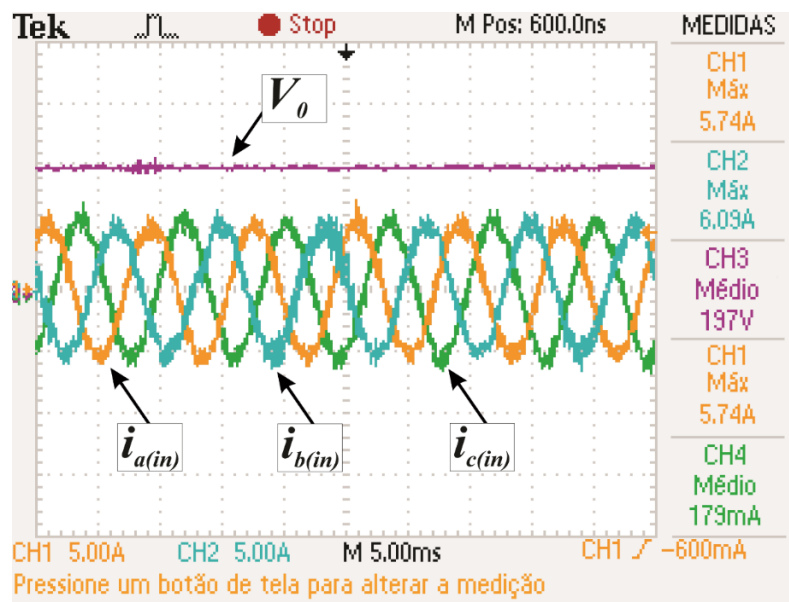


Fonte: Adaptado de (RODRIGUES, 2016).

#### 4.3 Resultados Experimentais do RHT Operando com Potência de 520 W

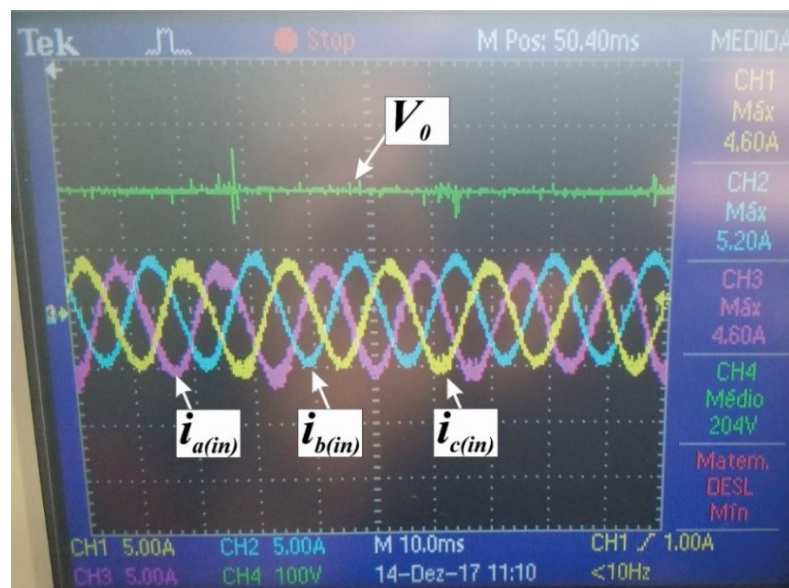
A Figura 51, Figura 52 e Figura 53 apresentam a tensão de saída do RHT e as correntes de linha de entrada das fases A, B e C utilizando os controles por Histerese, PWM e dq0, respectivamente, operando com carga de 520 W.

Figura 51 Tensão de Saída do RHT e correntes de linha de alimentação das fases A, B e C utilizando o controle por Histerese operando com carga de 520 W



Fonte: Dados do próprio autor.

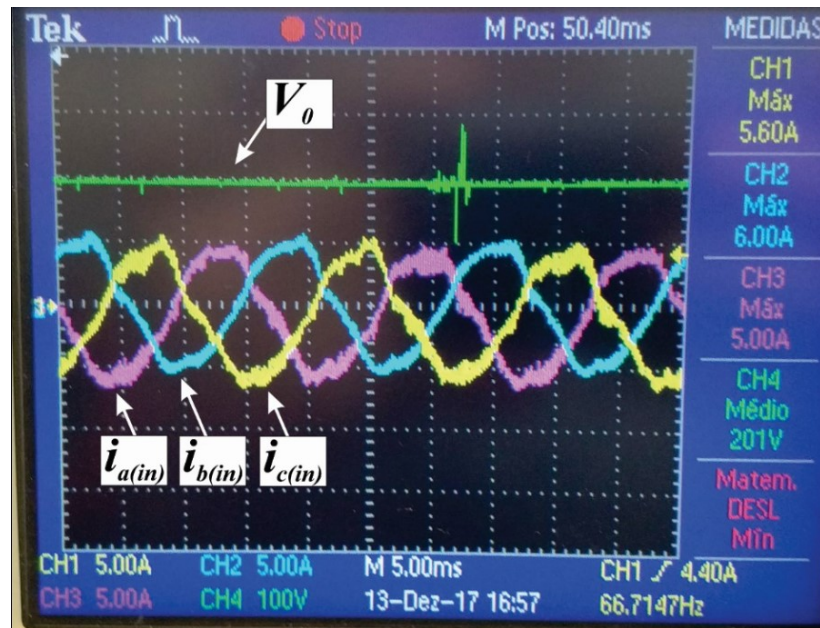
Figura 52 Tensão de Saída do RHT e correntes de linha de alimentação das fases A, B e C utilizando o controle por PWM operando com carga de 520 W



Fonte: Dados do próprio autor.



Figura 53 Tensão de Saída do RHT e correntes de linha de alimentação das fases A, B e C utilizando o controle por dq0 operando com carga de 520 W

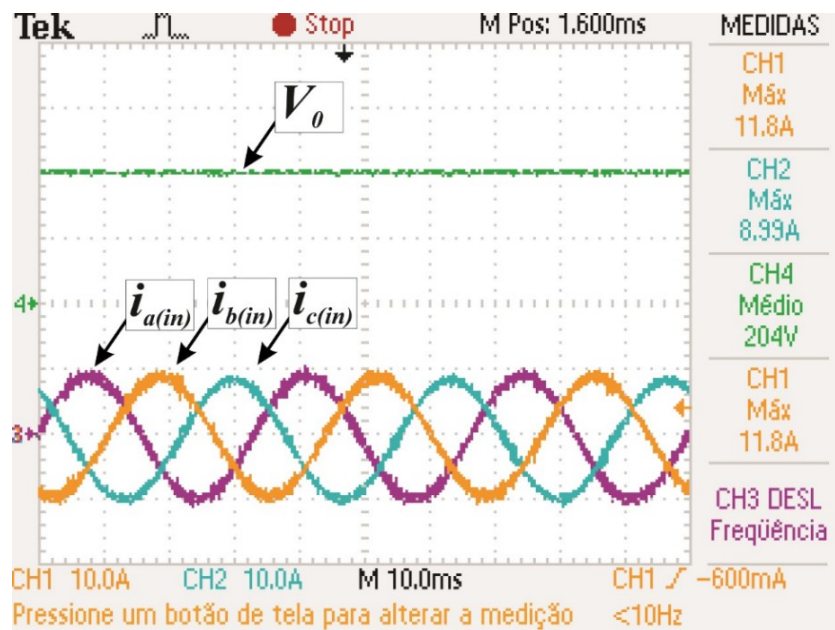


Fonte: Dados do próprio autor.

#### 4.4 Resultados Experimentais do RHT Operando com Potência de 1250 W

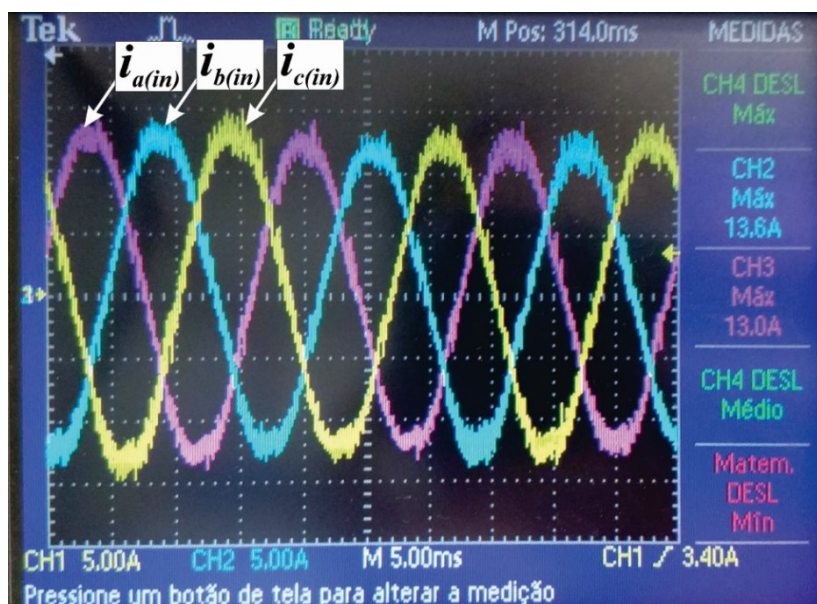
A Figura 54, Figura 55 e Figura 56 apresentam a tensão de saída do RHT e as correntes de linha de entrada das fases A, B e C utilizando os controle por Histerese, PWM e dq0, respectivamente, operando com carga de 1250 W.

Figura 54 Tensão de Saída do RHT e correntes de linha de alimentação das fases A, B e C utilizando o controle por Histerese operando com carga de 1250 W



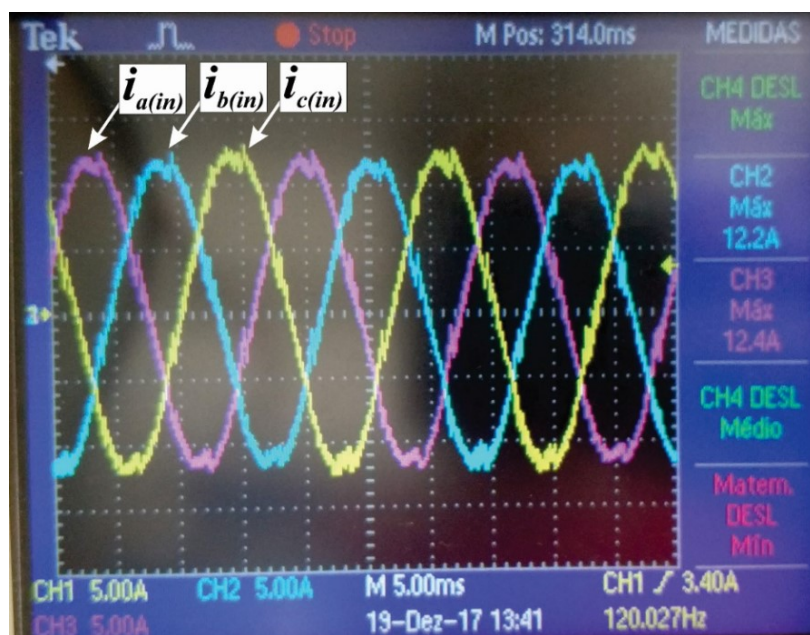
Fonte: Dados do próprio autor.

Figura 55 Tensão de Saída do RHT e correntes de linha de alimentação das fases A, B e C utilizando o controle por PWM operando com carga de 1250 W



Fonte: Dados do próprio autor.

Figura 56 Tensão de Saída do RHT e correntes de linha de alimentação das fases A, B e C utilizando o controle por dq0 operando com carga de 1250 W



Fonte: Dados do próprio autor.

#### 4.5 Considerações finais

Neste capítulo foram apresentados os resultados experimentais obtidos a partir do protótipo do RHT proposto, operando em condições normais de suprimento da rede elétrica com cargas de 520 W e 1250 W com metade da tensão de saída: 200 V.

Os resultados experimentais obtidos foram satisfatórios, comprovando que os três controles do conversor Boost, implementados, funcionam para o RHT e são capazes de impor correntes de linha de entrada com forma de onda muito próximas da senoidal e em fase com as tensões F-N.

Foi possível verificar que o Boost é capaz de fornecer uma tensão de alimentação para o conversor Full-Bridge constante, nos três tipos de controles implementados, para que consequentemente a estrutura em questão possa fornecer suportabilidade a afundamentos temporários de tensão através da técnica de compensação série de tensão no barramento CC. Entretanto testes de afundamentos de tensão não foram realizados.

Não foi possível verificar se o conteúdo harmônico e o fator de potência estão em conformidade com a norma IEC 61000-3-2 para condições normais de operação, pois as limitações físicas do protótipo não permitiram demais testes.

Por fim, em conformidade com as conclusões estabelecidas através dos resultados de simulação computacionais apresentados no Capítulo 3, os resultados experimentais realmente comprovaram que os controles implementados podem ser utilizados no RHT. Porém, conclusões em relação a comparações entre os três métodos de controle não podem ser tomadas devido aos poucos resultados experimentais adquiridos. Entretanto, analisando visualmente os resultados apresentados, o controle por histerese é o que apresenta uma melhor forma de onda da corrente de entrada, mais próxima da senoidal, para os dois valores de carga que o RHT foi submetido.

---

## CAPÍTULO V

### 5 Conclusões

---

Com a finalidade de sintetizar os estudos desenvolvidos e os principais resultados alcançados, uma avaliação conclusiva acerca dos trabalhos realizados durante a pesquisa em pauta é apresentada neste capítulo final.

Assim sendo, foi apresentado nesta dissertação a análise, o desenvolvimento teórico e a comparação dos métodos de controle por: (i) PWM; (ii) Histerese; e (iii) dq0, de um conversor Boost trifásico quando aplicado a uma estrutura retificadora híbrida trifásica que realiza a imposição de correntes de linha de entrada senoidais e a regulação de tensão no barramento CC, tanto para condições normais de suprimento da rede elétrica como para condições de afundamentos temporários de tensão na rede CA.

Conforme evidenciado nos resultados de simulações computacionais, o controle do conversor Boost por Histerese foi o que demonstrou melhores resultados para condições normais de suprimento da rede elétrica, sendo também o controle que apresentou menor THD e maior FP para diferentes valores de carga. Já para as condições de afundamentos de tensão e degrau de carga, os três métodos demonstraram-se eficazes, não havendo diferenças significativas entre eles.

Os resultados experimentais, retirados em um protótipo de 5 kW desenvolvido em laboratório, demonstraram que a estratégia de controle por Histerese digital embarcada no DPS TMS320F28335 da Texas Instruments® garante que o conversor Boost estabeleça a imposição de correntes de linha senoidais na entrada do RHT.

Entretanto testes de afundamentos de tensão não foram realizados e não foi possível verificar se o conteúdo harmônico e o fator de potência estão em conformidade com a norma IEC 61000-3-2 para condições normais de operação, pois as limitações físicas do protótipo não permitiram demais testes.

Por fim, foi possível averiguar nesta dissertação que em simulações computacionais, o controle por histerese utilizado na tese de Rodrigues [27] para o conversor Boost trifásico com correção de fator de potência e alta densidade de potência da estrutura retificadora híbrida trifásica, em questão, quando comparado aos controles por PWM e por dq0 apresenta diferenças ao ponto de interferir na qualidade das correntes de linha de entrada e na regulação de tensão no barramento CC quando submetidos aos distúrbios de afundamentos de tensão e degraus de carga, pontos estes que são importantes para definir que este RHT atende aos requisitos para

utilização em microrredes. Entretanto, experimentalmente, não foi possível obter dados suficientes para concluir as afirmações das simulações computacionais.

Como investigações futuras recomenda-se analisar e comparar a THD e o FP do RHT para os três métodos de controle implementados. Para que assim os gráficos de simulação computacional da Figura 41 e Figura 42 sejam obtidos experimentalmente. Além destes resultados, é importante averiguar também a suportabilidade destes controles a afundamentos de tensão, para que assim uma conclusão possa ser tomada sobre qual o melhor controle para se utilizar com o RHT.

Além disto, referente à estrutura do RHT, é preciso desenvolver um estudo visando a bi-direcionalidade do fluxo de potência da estrutura em uma microrrede, tendo em vista tanto a estrutura e o controle dos conversores de potência. Para realizar esta implementação é necessário estudar modelos de conversor Full-Bridge bi-direcional, pois o restante da estrutura como o conversor Boost e o conversor Não-Controlado já possuem uma estrutura física bi-direcional, merecendo ser alterado somente o controle para tornar esta hipótese possível.

Referente aos tipos de controles, sugere-se utilizar o PLL implementado no controle por dq0 juntamente com o controle por Histerese. Como este PLL é mais simples e como ele possui menos linhas de códigos ele seria, teoricamente, mais rápido e tornaria assim o controle mais preciso.

Por fim, recomenda-se verificar a velocidade dos controladores PI's que foram utilizados, pois nota-se na Figura 13 Lógica de variação dos sinais de gatilho dos interruptores S1B e S4B do conversor Boost por dq0. e Figura 35 Lógica de variação dos sinais de gatilho dos interruptores S1B e S4B do conversor Boost por PWM. que há sobrechaveamentos no sinal originado pela lógica de controle, ou seja, a frequência do sinal está muito maior do que a esperada. Percebe-se que este sobrechaveamento ocorre quando se utilizam controladores PWM, pois na lógica de controle por histerese, que não os utiliza, isto não ocorre, enquanto que nos controles por dq0 e PWM que utilizam este controlador isto ocorre. O que pode estar causando isto é a frequência da onda dente-de-serra, a velocidade dos controladores PI's utilizados ou o offset da própria onda dente-de-serra. Uma alternativa seria utilizar o controlador PI ressonante.



---

## CAPÍTULO VI

### 6 Referências Bibliográficas

---

- [1] CORRÊA, J. M. "Desenvolvimento e implementação de uma micro-rede avançada de alta frequência para integração de fontes alternativas de energia". Tese (Doutorado) - Curso de Engenharia Elétrica, Universidade Federal de Santa Maria, Santa Maria, 2006.
- [2] BORBELY, A.; KREIDER, J. F. "Distributed Generation: The Power Paradigm for the New Millennium". CRC Press, 2001, 416 p.  
<https://doi.org/10.1201/9781420042399>
- [3] JOOS, G. et al. "The potential of distributed generation to provide ancillary services". Proceedings of the 2000 IEEE Power Engineering Society Summer Meeting, Seattle, WA, USA. July 2000. Vol. 2, pp. 1762-1767.
- [4] DUGAN, R. C. et al. "Interconnecting single-phase backup generation to the utility distribution system". Report of the Oak Ridge National Laboratory, Oak Ridge, TN, USA. No. ORNL/TM-2001/243. November 2001, pp. 1-6.
- [5] FRIEDMAN, N. R. "Distributed energy resources interconnection systems: technology and research needs". Report of the National Renewable Energy Laboratory (NREL); NREL/SR-560-32459; Golden, CO, USA; Sept. 2002, 163 p.
- [6] LASSETER, R. H. "MicroGrids". Proceedings of the 2002 IEEE Power Engineering Society Winter Meeting. New York, NY, USA. Jan. 2002. Vol. 1, pp. 305-308.  
<https://doi.org/10.1109/PESW.2002.985003>
- [7] SMALLWOOD, C. L. "Distributed generation in autonomous and non-autonomous micro grids". Proceedings of the IEEE 46 Annual Electric Power Conference. Colorado Springs, CO, USA. May 2002. Pp. D1-1 – D1-6.
- [8] VENKATARAMANAN, G.; ILLINDALA, M. "Microgrids and sensitive loads". Proceedings of the 2002 IEEE Power Engineering Society Winter Meeting, New York, NY, USA. Jan. 2002. Vol. 1, pp. 315-322.
- [9] PAPATHANASSIOU, S. et al. "Operation of a prototype microgrid system based on micro-sources equipped with fast-acting power electronics interfaces". Proceedings of the 31 Power Electronics Specialists Conference – PESC'04. Aachen, Germany, June 2004, pp. 2521-2526.
- [10] WU, T. F. et al. "DC-Bus Voltage Control With a Three-Phase Bidirectional Inverter for DC Distribution Systems". IEEE Transactions on Power Electronics, vol. 28, no. 4, Apr. 2013, pp. 1890-1899.  
<https://doi.org/10.1109/TPEL.2012.2206057>

- [11] SALOMONSSON, D.; SANNINO, A. “Low-Voltage DC Distribution System for Commercial Power Systems With Sensitive Electronic Loads”. IEEE Transactions on Power Delivery, vol. 22, no. 3, Jul. 2007, pp. 1620-1627.  
<https://doi.org/10.1109/TPWRD.2006.883024>
- [12] RICCHIUTO, D. et al. “Overview of Multi-DC-Bus Solutions for DC Microgrids”. 2013 4th IEEE International Symposium on Power Electronics for Distributed Generation Systems (PEDG), Rogers, Jul. 2013, pp. 1-8.  
<https://doi.org/10.1109/PEDG.2013.6785637>
- [13] HARTONO, B. S.; BUDIYANTO, Y.; SETIABUDY, R. “Review of Microgrid Technology”. 2013 International Conference on QiR (Quality in Research), Yogyakarta, Jun. 2013, pp. 127-132.  
<https://doi.org/10.1109/QiR.2013.6632550>
- [14] KROPOSKI, B.; BASSO, T.; DEBLASIO, R. “Microgrid Standards and Technologies”. 2008 IEEE Power and Energy Society General Meeting - Conversion and Delivery of Electrical Energy in the 21st Century, Pittsburgh, Jul. 2008, pp. 1-4.  
<https://doi.org/10.1109/PES.2008.4596703>
- [15] VILATHGAMUWA, D. M.; CHIANG, L. P.; WEI, L. Y. “Protection of microgrids during utility voltage sags”. IEEE Transactions on Industrial Electronics, vol. 53, no. 5, Oct. 2006, pp. 1427–1436.  
<https://doi.org/10.1109/TIE.2006.882006>
- [16] MEDEIROS, K. P. “Estratégia de Controle para Retificadores Boost PWM Bidirecionais Monofásicos e Trifásicos”. Dissertação de Mestrado, UFCG, 2010.
- [17] SINGH, B. et al. “A review of three-phase improved power quality AC-DC converters”. IEE Transactions on Industrial Electronics, v. 51, n. 3, p. 641 – 660, Jun 2004.  
<https://doi.org/10.1109/TIE.2004.825341>
- [18] PEREIRA, A. A. “Conversor Forward Auto-Ressonante PWM Operando com Fator de Potência Unitário”. Dissertação de Mestrado, UFU, 1995.
- [19] RODRIGUES, D. B.; SILVA, P. R. "Grid Connected DC distribution network deploying high power density rectifier for DC voltage stabilization". IEEE Applied Power Electronics Conference and Exposition (APEC), Mar. 2016, pp. 3585–3590.
- [20] COSTA, A. V. et al. “New Hybrid High-Power Rectifier With Reduced THDI and Voltage-Sag Ride-Through Capability Using Boost Converter”. IEEE Transactions on Industry Applications, vol. 49, no. 6, Nov.-Dec. 2013, pp. 242-2436.  
<https://doi.org/10.1109/TIA.2013.2262914>
- [21] LIMA, G. B. "Proposta de Retificadores Híbridos com Suportabilidade a Afundamentos de Tensão Utilizando Técnica de Compensação Série de Tensão no Barramento CC". 2015. 205

- f. Tese (Doutorado) - Curso de Engenharia Elétrica, Universidade Federal de Uberlândia, Uberlândia, 2015.
- [22] REDL, R. Reducing distortion in boost rectifiers with automatic control. Applied Power Electronics Conference and Exposition, pp. 74-80, 1997.  
<https://doi.org/10.1109/APEC.1997.581436>
- [23] MELO, P. F. et al. Modified SEPIC converter for high-power-factor rectifier and universal input voltage applications. IEEE Transactions on Power Electronics, vol. 25, no. 2, Fev. 2010.
- [24] KOLAR, J. W.; FRIEDLI, T. The essence of three-phase PFC rectifier systems. IEEE 33rd International Telecommunications Energy Conference, pp. 1-27, 2011.  
<https://doi.org/10.1109/INTLEC.2011.6099838>
- [25] ALVES, R. L.; BARBI, I. Analysis and implementation of a hybrid high-powerfactor three-phase unidirectional rectifier. IEEE Transactions on Power Electronics, vol. 24, no. 3, pp. 632-640, Mar. 2009.  
<https://doi.org/10.1109/TPEL.2008.2010219>
- [26] FONT, C. H. I.; BARBI, I. A high power hybrid three-phase rectifier with regenerate capability. Eletrônica de Potência, vol. 17, no. 1, pp. 419-428, Fev. 2012.
- [27] RODRIGUES, D. B. "Retificador híbrido trifásico com fator de potência unitário, alta densidade de potência e ampla faixa de regulação de tensão no barramento em corrente contínua para conexão em microrredes". 2016. 236 f. Tese (Doutorado) - Curso de Engenharia Elétrica, Universidade Federal de Uberlândia, Uberlândia, 2016.
- [28] BARBI, I. Teoria Fundamental do Motor de Indução. Florianópolis: Editora da UFSC-ELETROBRAS, 1985.
- [29] NISE, N. S. "Engenharia de Sistemas de Controle". 6 ed., Editora LTC, 2009.
- [30] OGATA, K. "Engenharia de Controle Moderno". 3 ed., Rio de Janeiro: LTC, 2000.
- [31] DORF, R. C. et. al. "Sistemas de Controle Moderno". 12 ed., Rio de Janeiro: LTC, 2013.
- [32] BODE, G. H.; HOLMES, D. G. "Implementation of Three Level Hysteresis Current Control for a Single Phase Voltage Source Inverter". IEEE APEC 2000, pp. 33-38.  
<https://doi.org/10.1109/PESC.2000.878796>
- [33] GEGNER, J.; LEE, C. Q. "Linear Peak Current Mode Control: A simple active power factor correction control technique for continuous conduction mode". PESC 1996, vol. 1, pp. 196-202.  
<https://doi.org/10.1109/PESC.1996.548581>
- [34] REDL, R.; ERISMAN, B. P. "Reducing distortion in peak-current-controlled Boost power factor correctors". IEEE IPEC 1994, pp. 576-583.



- [35] SUN, J.; BASS, R. M. "Modeling and practical design issues for average current control". IEEE APEC 1999, pp. 980-986  
<https://doi.org/10.1109/APEC.1999.750488>
- [36] TANG, W.; LEE, F. C.; RIDLEY, R. B. "Small-signal modeling of average current-mode control". IEEE Transactions on Power Electronics, vol. 8, no. 2, 1993, pp. 112-119.  
<https://doi.org/10.1109/63.223961>
- [37] TEVISO, C. H. G. "Conversor Sepic auto-ressonante ZVS-ZCS-PWM isolado com fator de potência unitário". Uberlândia, 1994. Dissertação de mestrado – UFU.
- [38] FUKUDA, S.; SUZUKI, H. "Harmonic Evaluation of Carrier-Based PWM Methods Using Harmonic Distortion Determining Factor". PDD-Nagaoka 97 Conference Proceedings, pp. 259-264, 1997.
- [39] CARRARA, G. et al. "Optimal PWM for the Control of Multilevel Voltage Source Inverter". 5 European Conf. on Power Electronics and Applications (EPE'93), vol. 4, pp. 255-259, 1993.
- [40] GIARETTA, A. R. "Análise de propostas de estratégias de controle para algumas topologias de multiconversores monofásicos". Dissertação de Mestrado, Escola Politécnica da Universidade de São Paulo, 2009.  
<https://doi.org/10.11606/D.3.2009.tde-26032009-172100>
- [41] KAZMIERKOWSKI, M. P.; MALESANI, L. Current control techniques for three-phase voltage-source PWM converters: a survey. IEEE Transactions on Industrial Electronics, Piscataway, v.45, n.5, p.691-703, Oct. 1998. doi: 10.1109.41.720325.
- [42] IEEE Std 1159-1995 – IEEE Recommended Practice for Monitoring Electric Power Quality, New York.
- [43] DA COSTA, A. V. "Proposta De Técnica Para Aumento De Suportabilidade A Afundamentos Temporários De Tensão Em Acionamentos De Velocidade Variável", 2013. 200 f. Tese (Doutorado) - Curso de Engenharia Elétrica, Universidade Federal de Uberlândia, Uberlândia, 2014.
- [44] BOLLEN, M. H. J. Understanding Power Quality Problems: Voltage Sags and Interruptions. New York: IEEE Press, 2000.
- [45] KAZMIERKOWSKI, M. P.; KRISHNAN, R.; BLAABJERG, F. Control in Power Electronics: Selected Problems. 1 ed. Waltham, Academic Press, 2002, 544p. ISBN 0124027725.
- [46] KAZMIERKOWSKI, M. P.; DZIENIAKOWSKI, M. A. Review of current regulation techniques for three-phase PWM inverters. In: Industrial electronics Society annual conference,

- 20, Bologna, 1994. Conference Record, Piscataway: IEEE, 1994, v.1, p.567-575. doi: 10.1109/IECON.1994.397839.
- [47] MALESANI, L.; MATTAVELLI, P.; TOMASIN, P. High-performance hysteresis modulation technique for active filters. *IEEE Transactions on Power Electronics*, Piscataway, v.12, n.5, p.876-884, Sept. 1997. doi: 10.1109.63.623006.
- [48] BORGONOVO, D., "Modelagem e Controle de Retificadores PWM Trifásicos Empregando a Transformação de Park", 2001. 175 f. Dissertação (Mestrado) - Curso de Engenharia Elétrica, Universidade Federal de Santa Catarina, Florianópolis, 2001.
- [49] GALELLI, D., " Controle por histerese com frequência quase constante de um pré-regulador boost", 2005. Dissertação (Mestrado) - Curso de Engenharia Elétrica, Universidade Federal de Uberlândia, Uberlândia, 2005.
- [50] HUBER, L., KUMAR, M., JOVANOVIĆ M., " Implementation and Performance Comparison of Five DSP-Based Control Methods for Three-Phase Six-Switch Boost PFC Rectifier". *Applied Power Electronics Conference and Exposition (APEC)*, 2015 IEEE.
- [51] MELO, F. C., "Projeto e Desenvolvimento de um Novo Inversor Solar de Estágio Único sem Transformador Adequado para Aplicações de Baixa Potência". Tese (Doutorado) - Curso de Engenharia Elétrica, Universidade Federal de Uberlândia, Uberlândia, 2017.

## Apêndice A – Código de Controle do RHT Embarcado no DPS TMS320F28335 para Controle do Conversor Full-Bridge

```
/*
*****
// This code is created by SimCoder Version 9.1 for TI F28335 Hardware Target
// SimCoder is copyright by Powersim Inc., 2009-2011
// Date: December 14, 2017 15:44:41
***** Full Bridge *****/

#include <math.h>
#include "PS_bios.h"
typedef float DefaultType;
#define GetCurTime() PS_GetSysTimer()

interrupt void Task();
interrupt void Task_1();

DefaultType fGblPLL_Block = 0.0;
DefaultType fC4 = 0.5;
DefaultType fTI_ADC2, fZOH21, fTI_ADC2_2, fZOH36, fTI_ADC2_4, fZOH38, fTI_ADC2_11, fZOH10;
DefaultType fTI_DIN1_1, fVDC31, fZOH8, fZOH9;

//##### INÍCIO DECLARAÇÃO VARIÁVEIS #####
int start_FB;
int teste_offset = 1;
float Vref = 50;
float Imax = 15;
float Dmax = 0.45;

// Malha aberta
float delta;
float time = 20;
float Fa = 50000;

// VARIÁVEIS CONTROLE DO FULL BRIDGE
float ErroFB = 0;
float ErroFB_Ant = 0;
float Kfb = 0;
float Kfb_Ant = 0;

// PI Tensão Boost: K = 0.01 e T = 0.001 seg., Amostragem: 50 kHz
float K_PI_Tensao_FB = 0.01;
float T_PI_Tensao_FB = 0.001;
float b0;
float b1;

// AQUISIÇÕES
float Vo = 0;
float Ia = 0;
float Ib = 0;
float Ic = 0;

// Ganhos Sensores
float G_Ia = 18.23;
float G_Ib = 18.5;
float G_Ic = 18;
float G_Vo = 358;

float offset_Ia = 0;
float offset_Ib = 0;
float offset_Ic = 0;
float offset_Vo = 0;

//##### INÍCIO DA INTERRUPÇÃO 0 #####
interrupt void Task()
```

```

{
//PS_SetDigitOutBitB((Uint32)1 << (33 - 32));//Teste de tempo de código (Pino 33)

PS_EnableIntr();
fTI_ADC2 = PS_GetDcAdc(0);
fTI_ADC2_2 = PS_GetDcAdc(2);
fTI_ADC2_4 = PS_GetDcAdc(4);
fTI_ADC2_11 = PS_GetDcAdc(11);
fTI_DIN1_1 = (PS_GetDigitInB() & ((Uint32)1 << (32 - 32))) ? 1 : 0;
fZOH21 = fTI_ADC2;
fZOH36 = fTI_ADC2_2;
fZOH38 = fTI_ADC2_4;
fZOH10 = fTI_ADC2_11;
{

start_FB = fTI_DIN1_1;

// Calculo das variaveis dos PI do Boost
b0 = K_PI_Tensao_FB*((1/T_PI_Tensao_FB)*(1/Fa)/2) + 1);
b1 = K_PI_Tensao_FB*((1/T_PI_Tensao_FB)*(1/Fa)/2) - 1);

//##### AQUISIÇÕES #####
if (teste_offset == 1)
{
offset_Ia = fZOH21;
offset_Ib = fZOH36;
offset_Ic = fZOH38;
offset_Vo = fZOH10;
}
else
{
Ia = (fZOH21 - offset_Ia)*G_Ia;
Ib = (fZOH36 - offset_Ib)*G_Ib;
Ic = (fZOH38 - offset_Ic)*G_Ic;
Vo = (fZOH10 - offset_Vo)*G_Vo;
}

//##### INÍCIO CONTROLE - FULLBRIDGE #####
if(start_FB == 1)
{
ErroFB_Ant = ErroFB;
ErroFB = Vref - Vo;
//Kfb_Ant = Kfb;
Kfb = Kfb + b0*ErroFB + b1*ErroFB_Ant;

if (Kfb >= Dmax)
{Kfb = Dmax;}
if (Kfb <= 0)
{Kfb = 0;}
}

if(start_FB == 0)
{
ErroFB=0;
ErroFB_Ant = 0;
Kfb = 0;
Kfb_Ant = 0;
}

//##### INÍCIO PROTEÇÃO #####
if ((Ia >= Imax) || (Ib >= Imax) || (Ic >= Imax))
{Kfb = 0;}
if ((Ia <= -Imax) || (Ib <= -Imax) || (Ic <= -Imax))
{Kfb = 0;}
//##### FIM PROTEÇÃO #####

fGblPLL_Block = Kfb;

```

```

    }
    PS_ExitTimer1Intr();
//PS_ClearDigitOutBitB((Uint32)1 << (33 - 32));//Teste de tempo de código (Pino 33)
}
interrupt void Task_1()
{
    PS_EnableIntr();
    PS_SetPwm4Rate(fGblPLL_Block);
    PS_PwmSetPhase(5, fC4);
    PS_SetPwm5Rate(fGblPLL_Block);
    PS_ExitPwm4General();
}

void Initialize(void)
{
    PS_SysInit(30, 10);
    PS_StartStopPwmClock(0);
    PS_InitTimer(0, 0xffffffff);

    PS_InitPwm(4, 0, 20000*1, (1e-6)*1e6, PWM_TWO_OUT, 1878);
    PS_SetPwmPeakOffset(4, 1, 0, 1.0/1);
    PS_SetPwmIntrType(4, ePwmNoAdc, 1, 0);
    PS_SetPwmVector(4, ePwmNoAdc, Task_1);
    PS_SetPwm4Rate(0);
    PS_StartPwm(4);

    PS_InitPwm(5, 0, 20000*1, (1e-6)*1e6, PWM_TWO_OUT, 1878);
    PS_SetPwmPeakOffset(5, 1, 0, 1.0/1);
    PS_SetPwmIntrType(5, ePwmNoAdc, 1, 0);
    PS_SetPwm5Rate(0);
    PS_StartPwm(5);

    PS_ResetAdcConvSeq();
    PS_SetAdcConvSeq(eAdcCascade, 0, 1.0);
    PS_SetAdcConvSeq(eAdcCascade, 2, 1.0);
    PS_SetAdcConvSeq(eAdcCascade, 4, 1.0);
    PS_SetAdcConvSeq(eAdcCascade, 11, 1.0);
    PS_AdcInit(0, !0);

    PS_InitDigitIn(32, 100);

    PS_InitDigitOut(33);
    PS_InitDigitOut(34);

    PS_InitTimer(1,20);
    PS_SetTimerIntrVector(1, Task);
    PS_StartStopPwmClock(1);
}
void main()
{
    Initialize();
    PS_EnableIntr();
    PS_EnableDbgm();
    for (;;) {
        }
}

```

## Apêndice B – Código de Controle do RHT Embarcado no DPS TMS320F28335 para Controle do Conversor Boost – PWM

```
/******  
// This code is created by SimCoder Version 9.1 for TI F28335 Hardware Target  
// SimCoder is copyright by Powersim Inc., 2009-2011  
// Date: December 13, 2017 10:12:11  
***** PWM *****/  
  
#include <math.h>  
#include "PS_bios.h"  
typedef float DefaultType;  
#define GetCurTime() PS_GetSysTimer()  
  
interrupt void Task();  
interrupt void Task_1();  
  
DefaultType fGblPLL_Block = 0.0;  
DefaultType fGblPLL_Block_1 = 0.0;  
DefaultType fGblPLL_Block_2 = 0.0;  
DefaultType fGblPLL_Block_3 = 0.0;  
DefaultType fGblPLL_Block_4 = 0.0;  
DefaultType fGblPLL_Block_5 = 0.0;  
  
DefaultType fTI_ADC2, fZOH21, fTI_ADC2_1, fZOH22, fTI_ADC2_2, fZOH36, fTI_ADC2_3, fZOH37;  
DefaultType fTI_ADC2_4, fZOH38, fTI_ADC2_5, fZOH39, fTI_ADC2_9, fZOH47, fTI_DIN1, fVDC31;  
DefaultType fZOH8, fZOH9;  
  
//##### INÍCIO DECLARAÇÃO VARIÁVEIS #####  
int start_boost;  
int controle = 1;  
int teste_offset = 1;  
float Vref = 200;  
float Imax = 10;  
float Kv_max = 4;  
float Kv_max2 = 4;  
float Ki_max = 6;  
  
// FILTRO 2ª ORDEM do PLL: K = 1, amort = 0.8 e fc = 12  
float b0_pll = 5.6780391E-007;  
float b1_pll = 1.1356078E-006;  
float b2_pll = 5.6780391E-007;  
float a1_pll = -1.9975879;  
float a2_pll = 0.99759017;  
  
// PI do PLL: K = 1 e T = 0.01  
float b0_PI_pll = 1.001;  
float b1_PI_pll = -0.999;  
  
// PLL FASE A  
float x_plla_ant2 = 0;  
float x_plla_ant1 = 0;  
float x_plla = 0;  
float y_plla_ant2 = 0;  
float y_plla_ant1 = 0;  
float y_plla = 0;  
  
float erro_plla_ant1 = 0;  
float erro_plla = 0;  
  
float ang_a = 0;  
float alfa_a = 0;  
float alfa2_a = 0;  
float PI_2 = 6.283185307179586476;  
float sen_alfa_a = 0;  
float cos_alfa_a = 0;
```

```
// PLL FASE B
float x_pll_b_ant2 = 0;
float x_pll_b_ant1 = 0;
float x_pll_b = 0;

float y_pll_b_ant2 = 0;
float y_pll_b_ant1 = 0;
float y_pll_b = 0;

float erro_pll_b_ant1 = 0;
float erro_pll_b = 0;

float ang_b = 0;
float alfa_b = 0;
float alfa2_b = 0;
float sen_alfa_b = 0;
float cos_alfa_b = 0;

// PLL FASE C
float x_pll_c_ant2 = 0;
float x_pll_c_ant1 = 0;
float x_pll_c = 0;

float y_pll_c_ant2 = 0;
float y_pll_c_ant1 = 0;
float y_pll_c = 0;

float erro_pll_c_ant1 = 0;
float erro_pll_c = 0;

float ang_c = 0;
float alfa_c = 0;
float alfa2_c = 0;
float sen_alfa_c = 0;
float cos_alfa_c = 0;

// VARIÁVEIS CONTROLE BOOST
float Iref_A;
float Iref_B;
float Iref_C;

float ErroV = 0;
float ErroV_Ant = 0;
float Kv = 0;

float Kv_Ant = 0;
float ErroI_A = 0;
float ErroI_A_Ant = 0;
float Ki_a = 0;
float Ki_a_Ant = 0;

float ErroI_B = 0;
float ErroI_B_Ant = 0;
float Ki_b = 0;
float Ki_b_Ant = 0;

float ErroI_C = 0;
float ErroI_C_Ant = 0;
float Ki_c = 0;
float Ki_c_Ant = 0;

float K1 = 0;
float K2 = 0;
float K3 = 0;
float K4 = 0;
float K5 = 0;
float K6 = 0;
```

```
// PI Tensão: K = 0.01 e T = 0.02 seg., Amostragem: 50 kH
float K_PI_Tensao_Boost = 0.01;
float T_PI_Tensao_Boost = 0.02;
float b0_v;
float b1_v;

// PI Corrente d: K = 0.5 e T = 0.0008 seg., Amostragem: 50 kH
float K_PI_Corrente_Boost = 0.5;
float T_PI_Corrente_Boost = 0.0008;
float b0_i;
float b1_i;

// AQUISIÇÕES
float Van = 0;
float Vbn = 0;
float Vcn = 0;
float Vo_B = 0;

float Ia = 0;
float Ib = 0;
float Ic = 0;

// Ganhos Sensores
float G_Ia = 18.23;
float G_Ib = 18.5;
float G_Ic = 18;
float G_Vo_B = 356;

float offset_Ia = 0;
float offset_Ib = 0;
float offset_Ic = 0;

float offset_Van = 0;
float offset_Vbn = 0;
float offset_Vcn = 0;
float offset_Vo_B = 0;

//##### INÍCIO DA INTERRUPÇÃO 0 #####
interrupt void Task()
{
//PS_SetDigitOutBitB((Uint32)1 << (33 - 32));//Teste de tempo de código (Pino 33)

    PS_EnableIntr();
    fTI_ADC2 = PS_GetDcAdc(0);
    fTI_ADC2_1 = PS_GetDcAdc(1);
    fTI_ADC2_2 = PS_GetDcAdc(2);
    fTI_ADC2_3 = PS_GetDcAdc(3);
    fTI_ADC2_4 = PS_GetDcAdc(4);
    fTI_ADC2_5 = PS_GetDcAdc(5);
    fTI_ADC2_9 = PS_GetDcAdc(9);
    fTI_DIN1 = (PS_GetDigitInA() & ((Uint32)1 << 31)) ? 1 : 0;
    fZOH21 = fTI_ADC2;
    fZOH22 = fTI_ADC2_1;
    fZOH36 = fTI_ADC2_2;
    fZOH37 = fTI_ADC2_3;
    fZOH38 = fTI_ADC2_4;
    fZOH39 = fTI_ADC2_5;
    fZOH47 = fTI_ADC2_9;
    {
        start_boost = fTI_DIN1;
        delta = Kv_max2/(time*Fa);

        // Calculo das variaveis dos PI do Boost
        b0_v = K_PI_Tensao_Boost*(((1/T_PI_Tensao_Boost)*(1/Fa)/2) + 1);
        b1_v = K_PI_Tensao_Boost*(((1/T_PI_Tensao_Boost)*(1/Fa)/2) - 1);

        b0_i = K_PI_Corrente_Boost*(((1/T_PI_Corrente_Boost)*(1/Fa)/2) + 1);
```



```

b1_i = K_PI_Corrente_Boost*((1/T_PI_Corrente_Boost)*(1/Fa)/2) - 1);

//##### AQUISIÇÕES #####
if (teste_offset == 1)
{
    offset_Ia = fZOH21;
    offset_Van = fZOH22;
    offset_Ib = fZOH36;
    offset_Vbn = fZOH37;
    offset_Ic = fZOH38;
    offset_Vcn = fZOH39;
    offset_Vo_B = fZOH47;
}
else
{
    Ia = -(fZOH21 - offset_Ia)*G_Ia;
    Van = -(fZOH22 - offset_Van);
    Ib = -(fZOH36 - offset_Ib)*G_Ib;
    Vbn = -(fZOH37 - offset_Vbn);
    Ic = -(fZOH38 - offset_Ic)*G_Ic;
    Vcn = -(fZOH39 - offset_Vcn);
    Vo_B = (fZOH47 - offset_Vo_B)*G_Vo_B;
}

//##### INÍCIO IMPLEMENTAÇÃO PLL #####
//***** PLL Fase A *****
//----- Filtro Segunda Ordem -----
x_plla_ant2 = x_plla_ant1;
x_plla_ant1 = x_plla;
x_plla = Van* cos_alfa_a;

y_plla_ant2 = y_plla_ant1;
y_plla_ant1 = y_plla;
y_plla = -a1_pll*y_plla_ant1 - a2_pll*y_plla_ant2 + b0_pll*x_plla +
b1_pll*x_plla_ant1 + b2_pll*x_plla_ant2;

//-----PI-----
erro_plla_ant1 = erro_plla;
erro_plla = y_plla;
alfa_a = alfa_a + b0_PI_pll*erro_plla + b1_PI_pll*erro_plla_ant1;

ang_a = ang_a + PI_2/(Fa/60);

if (ang_a >= PI_2)
{ang_a = ang_a - PI_2;}

alfa2_a = alfa_a + ang_a;

cos_alfa_a = cos(alfa2_a);
sen_alfa_a = sin(alfa2_a);

//***** PLL Fase B *****
//----- Filtro Segunda Ordem -----
x_pll_b_ant2 = x_pll_b_ant1;
x_pll_b_ant1 = x_pll_b;
x_pll_b = Vbn* cos_alfa_b;

y_pll_b_ant2 = y_pll_b_ant1;
y_pll_b_ant1 = y_pll_b;
y_pll_b = -a1_pll*y_pll_b_ant1 - a2_pll*y_pll_b_ant2 + b0_pll*x_pll_b +
b1_pll*x_pll_b_ant1 + b2_pll*x_pll_b_ant2;

//-----PI-----
erro_pll_b_ant1 = erro_pll_b;
erro_pll_b = y_pll_b;
alfa_b = alfa_b + b0_PI_pll*erro_pll_b + b1_PI_pll*erro_pll_b_ant1;

ang_b = ang_b + PI_2/(Fa/60);

```

```

if (ang_b >= PI_2)
    {ang_b = ang_b - PI_2;}

alfa2_b = alfa_b + ang_b;

cos_alfa_b = cos(alfa2_b);
sen_alfa_b = sin(alfa2_b);

//***** PLL Fase C *****
//----- Filtro Segunda Ordem -----
x_pll_ant2 = x_pll_ant1;
x_pll_ant1 = x_pll;
x_pll = Vcn* cos_alfa_c;

y_pll_ant2 = y_pll_ant1;
y_pll_ant1 = y_pll;
y_pll = -a1_pll*y_pll_ant1 - a2_pll*y_pll_ant2 + b0_pll*x_pll +
b1_pll*x_pll_ant1 + b2_pll*x_pll_ant2;

//-----PI-----
erro_pll_ant1 = erro_pll;
erro_pll = y_pll;
alfa_c = alfa_c + b0_PI_pll*erro_pll + b1_PI_pll*erro_pll_ant1;

ang_c = ang_c + PI_2/(Fa/60);

if (ang_c >= PI_2)
    {ang_c = ang_c - PI_2;}

alfa2_c = alfa_c + ang_c;

cos_alfa_c = cos(alfa2_c);
sen_alfa_c = sin(alfa2_c);

//***** INÍCIO CONTROLE - BOOST *****
if (start_boost == 1)
{
    if (controle == 0)
    {
        Kv = Kv + delta;
        if (Kv >= Kv_max2)
        {
            controle = 1;
        }
    }
    if (controle == 1)
    {
        // PI tensão Boost
        ErroV_Ant = ErroV;
        ErroV = Vref - Vo_B;
        Kv_Ant = Kv;
        Kv = Kv_Ant + b0_v*ErroV + b1_v*ErroV_Ant;

        // Limitação Kv
        if (Kv >= Kv_max)
            {Kv = Kv_max;}
        if (Kv <= 0)
            {Kv = 0;}

        Iref_A = sen_alfa_a * Kv;
        Iref_B = sen_alfa_b * Kv;
        Iref_C = sen_alfa_c* Kv;

        ErroI_A_Ant = ErroI_A;
        ErroI_B_Ant = ErroI_B;
        ErroI_C_Ant = ErroI_C;
    }
}

```

```

        ErroI_A = Iref_A - Ia;
        ErroI_B = Iref_B - Ib;
        ErroI_C = Iref_C - Ic;

        Ki_a_Ant = Ki_a;
        Ki_b_Ant = Ki_b;
        Ki_c_Ant = Ki_c;

        Ki_a = Ki_a_Ant + b0_i*ErroI_A + b1_i*ErroI_A_Ant;
        Ki_b = Ki_b_Ant + b0_i*ErroI_B + b1_i*ErroI_B_Ant;
        Ki_c = Ki_c_Ant + b0_i*ErroI_C + b1_i*ErroI_C_Ant;

        // Limitação Ki
        if (Ki_a >= Ki_max)
            {Ki_a = Ki_max;}
        if (Ki_a <= -Ki_max)
            {Ki_a = -Ki_max;}

        if (Ki_b >= Ki_max)
            {Ki_b = Ki_max;}
        if (Ki_b <= -Ki_max)
            {Ki_b = -Ki_max;}

        if (Ki_c >= Ki_max)
            {Ki_c = Ki_max;}
        if (Ki_c <= -Ki_max)
            {Ki_c = -Ki_max;}

        K1 = Ki_a;
        K2 = Ki_a;
        K3 = Ki_b;
        K4 = Ki_b;
        K5 = Ki_c;
        K6 = Ki_c;
    }
}
if (start_boost == 0)
{
    ErroV=0;
    ErroV_Ant=0;
    Kv=0;
    Kv_Ant=0;
    ErroI_A=0;
    ErroI_A_Ant=0;
    Ki_a=0;
    Ki_a_Ant=0;
    ErroI_B=0;
    ErroI_B_Ant=0;
    Ki_b=0;
    Ki_b_Ant=0;
    ErroI_C=0;
    ErroI_C_Ant=0;
    Ki_c=0;
    Ki_c_Ant=0;
    K1 = Ki_max;
    K2 = -Ki_max;
    K3 = Ki_max;
    K4 = -Ki_max;
    K5 = Ki_max;
    K6 = -Ki_max;
}
//##### INÍCIO PROTEÇÃO #####
if ((Ia >= Imax) || (Ib >= Imax) || (Ic >= Imax))
{
    K1 = Ki_max;
    K2 = -Ki_max;
    K3 = Ki_max;
    K4 = -Ki_max;
}

```

```

        K5 = Ki_max;
        K6 = -Ki_max;
    }
    if ((Ia <= -Imax) || (Ib <= -Imax) || (Ic <= -Imax))
    {
        K1 = Ki_max;
        K2 = -Ki_max;
        K3 = Ki_max;
        K4 = -Ki_max;
        K5 = Ki_max;
        K6 = -Ki_max;
    }
    //##### FIM PROTEÇÃO #####

    fGblPLL_Block = K1;
    fGblPLL_Block_1 = K2;
    fGblPLL_Block_2 = K3;
    fGblPLL_Block_3 = K4;
    fGblPLL_Block_4 = K5;
    fGblPLL_Block_5 = K6;
}
PS_ExitTimer1Intr();

//PS_ClearDigitOutBitB((Uint32)1 << (33 - 32));//Teste de tempo de código (Pino 33)
}

interrupt void Task_1()
{
    PS_EnableIntr();
    PS_SetPwm2Rate(fGblPLL_Block_1);
    PS_SetPwm3Rate(fGblPLL_Block_2);
    PS_SetPwm4Rate(fGblPLL_Block_3);
    PS_SetPwm1Rate(fGblPLL_Block);
    PS_SetPwm5Rate(fGblPLL_Block_4);
    PS_SetPwm6Rate(fGblPLL_Block_5);
    PS_ExitPwm2General();
}

void Initialize(void)
{
    PS_SysInit(30, 10);
    PS_StartStopPwmClock(0);
    PS_InitTimer(0, 0xffffffff);
    PS_InitPwm(2, 0, 20000*1, (1e-6)*1e6, PWM_TWO_OUT, 34642);
    PS_SetPwmPeakOffset(2, 10, (-5), 1.0/10);
    PS_SetPwmIntrType(2, ePwmNoAdc, 1, 0);
    PS_SetPwmVector(2, ePwmNoAdc, Task_1);
    PS_SetPwm2Rate(0);
    PS_StartPwm(2);

    PS_InitPwm(3, 0, 20000*1, (1e-6)*1e6, PWM_TWO_OUT, 34642);
    PS_SetPwmPeakOffset(3, 10, (-5), 1.0/10);
    PS_SetPwmIntrType(3, ePwmNoAdc, 1, 0);
    PS_SetPwm3Rate(0);
    PS_StartPwm(3);

    PS_InitPwm(4, 0, 20000*1, (1e-6)*1e6, PWM_TWO_OUT, 34642);
    PS_SetPwmPeakOffset(4, 10, (-5), 1.0/10);
    PS_SetPwmIntrType(4, ePwmNoAdc, 1, 0);
    PS_SetPwm4Rate(0);
    PS_StartPwm(4);

    PS_InitPwm(1, 0, 20000*1, (1e-6)*1e6, PWM_TWO_OUT, 34642);
    PS_SetPwmPeakOffset(1, 10, (-5), 1.0/10);
    PS_SetPwmIntrType(1, ePwmNoAdc, 1, 0);
    PS_SetPwm1Rate(0);
    PS_StartPwm(1);
}

```

---

```
PS_InitPwm(5, 0, 20000*1, (1e-6)*1e6, PWM_TWO_OUT, 34642);
PS_SetPwmPeakOffset(5, 10, (-5), 1.0/10);
PS_SetPwmIntrType(5, ePwmNoAdc, 1, 0);
PS_SetPwm5Rate(0);
PS_StartPwm(5);

PS_InitPwm(6, 0, 20000*1, (1e-6)*1e6, PWM_TWO_OUT, 34642);
PS_SetPwmPeakOffset(6, 10, (-5), 1.0/10);
PS_SetPwmIntrType(6, ePwmNoAdc, 1, 0);
PS_SetPwm6Rate(0);
PS_StartPwm(6);

PS_ResetAdcConvSeq();
PS_SetAdcConvSeq(eAdcCascade, 0, 1.0);
PS_SetAdcConvSeq(eAdcCascade, 1, 1.0);
PS_SetAdcConvSeq(eAdcCascade, 2, 1.0);
PS_SetAdcConvSeq(eAdcCascade, 3, 1.0);
PS_SetAdcConvSeq(eAdcCascade, 4, 1.0);
PS_SetAdcConvSeq(eAdcCascade, 5, 1.0);
PS_SetAdcConvSeq(eAdcCascade, 9, 1.0);
PS_AdcInit(0, !0);

PS_InitDigitIn(31, 100);

PS_InitDigitOut(33);
PS_InitDigitOut(34);

PS_InitTimer(1,20);
PS_SetTimerIntrVector(1, Task);
PS_StartStopPwmClock(1);
}

void main()
{
    Initialize();
    PS_EnableIntr();
    PS_EnableDbgm();
    for (;;) {
    }
}
```

## Apêndice C – Código de Controle do RHT Embarcado no DPS TMS320F28335 para Controle do Conversor Boost – Histerese

```
/******  
// This code is created by SimCoder Version 9.1 for TI F28335 Hardware Target  
// SimCoder is copyright by Powersim Inc., 2009-2011  
// Date: December 16, 2017 04:08:15  
***** Histerese *****/  
  
#include <math.h>  
#include "PS_bios.h"  
typedef float DefaultType;  
#define GetCurTime() PS_GetSysTimer()  
  
interrupt void Task();  
  
DefaultType fGblPLL_Block = 0.0;  
DefaultType fGblPLL_Block_1 = 0.0;  
DefaultType fGblPLL_Block_2 = 0.0;  
DefaultType fGblPLL_Block_3 = 0.0;  
DefaultType fGblPLL_Block_4 = 0.0;  
DefaultType fGblPLL_Block_5 = 0.0;  
DefaultType fGblPLL_Block_6 = 0.0;  
DefaultType fC4 = 0.5;  
DefaultType fTI_ADC2, fZOH21, fTI_ADC2_1, fZOH22, fTI_ADC2_2, fZOH36, fTI_ADC2_3, fZOH37;  
DefaultType fTI_ADC2_4, fZOH38, fTI_ADC2_5, fZOH39, fTI_ADC2_9, fZOH47, fTI_ADC2_11;  
DefaultType fZOH10, fTI_DIN1, fTI_DIN1_1, fPLL_Block, fPLL_Block_1, fPLL_Block_2,  
fPLL_Block_3;  
DefaultType fPLL_Block_4, fPLL_Block_5, fVDC31, fZOH8, fZOH9;  
  
//##### INÍCIO DECLARAÇÃO VARIÁVEIS #####  
int start_boost;  
int controle = 0;  
int start_FB;  
int teste_offset = 1;  
float Vref = 200;  
float Vref_B = 200;  
float Imax = 10;  
float Kb_max = 5;  
float Kb_max2 = 4.2;  
float Dmax = 0.45;  
  
// FILTRO 2ª ORDEM pll: K = 1, amort = 0.8 e fc = 12 Hz, Amostragem: 50 kHz  
float b0_pll = 5.6780391E-007;  
float b1_pll = 1.1356078E-006;  
float b2_pll = 5.6780391E-007;  
float a1_pll = -1.9975879;  
float a2_pll = 0.99759017;  
  
// PI pll: K = 1 e T = 0.01 seg., Amostragem: 50 kHz  
float b0_PI_pll = 1.001;  
float b1_PI_pll = -0.999;  
  
// PLL FASE A  
float x_plla_ant2 = 0;  
float x_plla_ant1 = 0;  
float x_plla = 0;  
float y_plla_ant2 = 0;  
float y_plla_ant1 = 0;  
float y_plla = 0;  
float erro_plla_ant1 = 0;  
float erro_plla = 0;  
float ang_a = 0;  
float alfa_a = 0;  
float alfa2_a = 0;  
float PI_2 = 6.283185307179586476;
```

```
float sen_alfa_ant = 0;
float sen_alfa_a = 0;
float cos_alfa_a = 0;

// PLL FASE B
float x_pll_b_ant2 = 0;
float x_pll_b_ant1 = 0;
float x_pll_b = 0;
float y_pll_b_ant2 = 0;
float y_pll_b_ant1 = 0;
float y_pll_b = 0;
float erro_pll_b_ant1 = 0;
float erro_pll_b = 0;
float ang_b = 0;
float alfa_b = 0;
float alfa2_b = 0;
float sen_alfa_b = 0;
float cos_alfa_b = 0;

// PLL FASE C
float x_pll_c_ant2 = 0;
float x_pll_c_ant1 = 0;
float x_pll_c = 0;
float y_pll_c_ant2 = 0;
float y_pll_c_ant1 = 0;
float y_pll_c = 0;
float erro_pll_c_ant1 = 0;
float erro_pll_c = 0;
float ang_c = 0;
float alfa_c = 0;
float alfa2_c = 0;
float sen_alfa_c = 0;
float cos_alfa_c = 0;

// VARIÁVEIS CONTROLE DO BOOST
float Iref_A;
float Iref_B;
float Iref_C;
float ErroB=0;
float ErroB_Ant=0;
float ErroB_Ant2=0;
float Kb=0;
float Kb_Ant=0;
float Kb_Ant2=0;
float S1B = 0;
float S2B = 0;
float S3B = 0;
float S4B = 0;
float S5B = 0;
float S6B = 0;

// PI Tensão Boost: K = 0.1 e T = 0.02 seg., Amostragem: 50 kHz
float b0_b = 0.10005;
float b1_b = -0.09995;

// VARIÁVEIS CONTROLE DO FULL-BRIDGE
float ErroFB=0;
float ErroFB_Ant=0;
float ErroFB_Ant2=0;
float Kfb=0;
float Kfb_Ant=0;
float Kfb_Ant2=0;

// PI Tensão Full-Bridge: K = 0.01 e T = 0.001 seg., Amostragem: 50 kHz
float b0_fb = 0.01001;
float b1_fb = -0.00999;
```



```
//Aquisições
float Van = 0;
float Vbn = 0;
float Vcn = 0;
float Vo_B = 0;
float Vo = 0;
float Ia = 0;
float Ib = 0;
float Ic = 0;

// Ganhos Sensores
float G_Ia = 18.23;
float G_Van = 275;
float G_Ib = 18.5;
float G_Ic = 18;
float G_Vo_B = 354;
float G_Vo = 725;
float offset_Ia = 0;
float offset_Ib = 0;
float offset_Ic = 0;
float offset_Van = 0;
float offset_Vbn = 0;
float offset_Vcn = 0;
float offset_Vo_B = 0;
float offset_Vo = 0;
int cont = 0;
double mult = 0;

//##### INÍCIO DA INTERRUPÇÃO 0 #####
interrupt void Task()
{
//    PS_SetDigitOutBitB((Uint32)1 << (33 - 32));
    PS_EnableIntr();
    fTI_ADC2 = PS_GetDcAdc(0);
    fTI_ADC2_1 = PS_GetDcAdc(1);
    fTI_ADC2_2 = PS_GetDcAdc(2);
    fTI_ADC2_3 = PS_GetDcAdc(3);
    fTI_ADC2_4 = PS_GetDcAdc(4);
    fTI_ADC2_5 = PS_GetDcAdc(5);
    fTI_ADC2_9 = PS_GetDcAdc(9);
    fTI_ADC2_11 = PS_GetDcAdc(11);
    fTI_DIN1 = (PS_GetDigitInA() & ((Uint32)1 << 31)) ? 1 : 0;
    fTI_DIN1_1 = (PS_GetDigitInB() & ((Uint32)1 << (32 - 32))) ? 1 : 0;
    fZOH21 = fTI_ADC2;
    fZOH22 = fTI_ADC2_1;
    fZOH36 = fTI_ADC2_2;
    fZOH37 = fTI_ADC2_3;
    fZOH38 = fTI_ADC2_4;
    fZOH39 = fTI_ADC2_5;
    fZOH47 = fTI_ADC2_9;
    fZOH10 = fTI_ADC2_11;
    {
        start_boost = fTI_DIN1;
        start_FB = fTI_DIN1_1;
        delta = Kb_max2/(time*Fa);

//##### AQUISIÇÕES #####

        if (teste_offset == 1)
        {
            offset_Ia = fZOH21;
            offset_Van = fZOH22;
            offset_Ib = fZOH36;
            offset_Vbn = fZOH37;
            offset_Ic = fZOH38;
            offset_Vcn = fZOH39;
            offset_Vo_B = fZOH47;
            offset_Vo = fZOH10;
        }
    }
}
```

```

}
else
{
    Ia = -(fZOH21 - offset_Ia)*G_Ia;
    Van = -(fZOH22 - offset_Van);
    Ib = -(fZOH36 - offset_Ib)*G_Ib;
    Vbn = -(fZOH37 - offset_Vbn);
    Ic = -(fZOH38 - offset_Ic)*G_Ic;
    Vcn = -(fZOH39 - offset_Vcn);
    Vo_B = (fZOH47 - offset_Vo_B)*G_Vo_B;
    Vo = (fZOH10 - offset_Vo)*G_Vo;
}

//##### INÍCIO IMPLEMENTAÇÃO PLL #####
//***** PLL Fase A *****
//----- Filtro Segunda Ordem -----
x_plla_ant2 = x_plla_ant1;
x_plla_ant1 = x_plla;
x_plla = Van* cos_alfa_a;
y_plla_ant2 = y_plla_ant1;
y_plla_ant1 = y_plla;
y_plla = -a1_pll*y_plla_ant1 - a2_pll*y_plla_ant2 + b0_pll*x_plla +
b1_pll*x_plla_ant1 + b2_pll*x_plla_ant2;

//-----PI-----
erro_plla_ant1 = erro_plla;
erro_plla = y_plla;
alfa_a = alfa_a + b0_PI_pll*erro_plla + b1_PI_pll*erro_plla_ant1;
ang_a = ang_a + PI_2/833;
if (ang_a >= PI_2)
{
    ang_a = ang_a - PI_2;
}
alfa2_a = alfa_a + ang_a;
sen_alfa_ant = sen_alfa_a;
cos_alfa_a = cos(alfa2_a);
sen_alfa_a = sin(alfa2_a);
mult = sen_alfa_ant*sen_alfa_a;

//***** PLL Fase B *****
//----- Filtro Segunda Ordem -----
x_pll_b_ant2 = x_pll_b_ant1;
x_pll_b_ant1 = x_pll_b;
x_pll_b = Vbn* cos_alfa_b;
y_pll_b_ant2 = y_pll_b_ant1;
y_pll_b_ant1 = y_pll_b;
y_pll_b = -a1_pll*y_pll_b_ant1 - a2_pll*y_pll_b_ant2 + b0_pll*x_pll_b +
b1_pll*x_pll_b_ant1 + b2_pll*x_pll_b_ant2;

//-----PI-----
erro_pll_b_ant1 = erro_pll_b;
erro_pll_b = y_pll_b;
alfa_b = alfa_b + b0_PI_pll*erro_pll_b + b1_PI_pll*erro_pll_b_ant1;
ang_b = ang_b + PI_2/833;
if (ang_b >= PI_2)
{
    ang_b = ang_b - PI_2;
}
alfa2_b = alfa_b + ang_b;
cos_alfa_b = cos(alfa2_b);
sen_alfa_b = sin(alfa2_b);

//***** PLL Fase C *****
//----- Filtro Segunda Ordem -----
x_pll_c_ant2 = x_pll_c_ant1;
x_pll_c_ant1 = x_pll_c;
x_pll_c = Vcn* cos_alfa_c;
y_pll_c_ant2 = y_pll_c_ant1;
y_pll_c_ant1 = y_pll_c;
y_pll_c = -a1_pll*y_pll_c_ant1 - a2_pll*y_pll_c_ant2 + b0_pll*x_pll_c +
b1_pll*x_pll_c_ant1 + b2_pll*x_pll_c_ant2;

```

```
//-----PI-----
erro_pll_c_ant1 = erro_pll_c;
erro_pll_c = y_pll_c;
alfa_c = alfa_c + b0_PI_pll*erro_pll_c + b1_PI_pll*erro_pll_c_ant1;
ang_c = ang_c + PI_2/833;
if (ang_c >= PI_2)
{
    ang_c = ang_c - PI_2;
}
alfa2_c = alfa_c + ang_c;
cos_alfa_c = cos(alfa2_c);
sen_alfa_c = sin(alfa2_c);

//##### INÍCIO CÁLCULO VALOR DE PICO #####
cont = cont + 1;
if(cont == 208)
{
    pico = Van*G_Van;
    if(pico <= 0)
    {
        pico = -pico;
    }
}
if(mult <= 0)
{
    cont = 0;
}
if(pico < 150)
{
    PS_SetDigitOutBitB((Uint32)1 << (33 - 32));
}
else
{
    PS_ClearDigitOutBitB((Uint32)1 << (33 - 32));
}

//##### INÍCIO CONTROLE BOOST #####
if (start_boost == 1)
{
    if (controle == 0)
    {
        Kb = Kb + delta;
        if (Kb >= Kb_max2)
        {
            controle = 1;
        }
    }
    if (controle == 1)
    {
        // PI
        ErroB_Ant = ErroB;
        ErroB = Vref_B - Vo_B;
        Kb = Kb + b0_b*ErroB + b1_b*ErroB_Ant;

        // Limitação Kb
        if (Kb >= Kb_max)
        {
            Kb = Kb_max;
        }
        if (Kb <= 0)
        {
            Kb = 0;
        }
    }
    Iref_A = sen_alfa_a * Kb;
    Iref_B = sen_alfa_b * Kb;
    Iref_C = sen_alfa_c * Kb;
    if(Iref_A > Ia)
    {
        S1B = 0;
        S2B = 1;
    }
    else
    {
        S1B = 1;
        S2B = 0;
    }
    if(Iref_B > Ib)
    {
        S3B = 0;
    }
}
```

```

        S4B = 1;
    }
    else
    {
        S3B = 1;
        S4B = 0;
    }
    if(Iref_C > Ic)
    {
        S5B = 0;
        S6B = 1;
    }
    else
    {
        S5B = 1;
        S6B = 0;
    }
}
if (start_boost == 0)
{
    S1B = 0;
    S2B = 0;
    S3B = 0;
    S4B = 0;
    S5B = 0;
    S6B = 0;
    ErroB = 0;
    ErroB_Ant = 0;
    Kb = 0;
    Kb2 = 0;
    controle = 0;
}

//##### INÍCIO CONTROLE FULL-BRIDGE #####
if (start_FB == 1)
{
    // PI
    ErroFB_Ant = ErroFB;
    ErroFB = Vref - Vo;
    Kfb = Kfb + b0_fb*ErroFB + b1_fb*ErroFB_Ant;

    if (Kfb >= Dmax)
        {Kfb = Dmax;}
    if (Kfb <= 0)
        {Kfb = 0;}
}
if (start_FB == 0)
{
    Kfb = 0;
    ErroFB = 0;
    ErroFB_Ant = 0;
    Kfb = 0;
}

//##### INÍCIO PROTEÇÃO #####
if ((Ia >= Imax) || (Ib >= Imax) || (Ic >= Imax))
{
    S1B = 0;
    S2B = 0;
    S3B = 0;
    S4B = 0;
    S5B = 0;
    S6B = 0;
    Kfb = 0;
    Kb = 0;
}
if ((Ia <= -Imax) || (Ib <= -Imax) || (Ic <= -Imax))
{

```

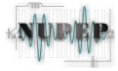
```

        S1B = 0;
        S2B = 0;
        S3B = 0;
        S4B = 0;
        S5B = 0;
        S6B = 0;
        Kfb = 0;
        Kb = 0;
    }
    //##### FIM PROTEÇÃO #####

    fPLL_Block = S1B;
    fPLL_Block_1 = S2B;
    fPLL_Block_2 = S3B;
    fPLL_Block_3 = S4B;
    fPLL_Block_4 = S5B;
    fPLL_Block_5 = S6B;
    fGblPLL_Block_6 = Kfb;
    PS_SetPwm4Rate(fGblPLL_Block_6);
    PS_PwmSetPhase(5, fC4);
    PS_SetPwm5Rate(fGblPLL_Block_6);
}
(fPLL_Block ==0)? PS_ClearDigitOutBitA((Uint32)1 << 1): PS_SetDigitOutBitA((Uint32)1 << 1);
(fPLL_Block_1==0)? PS_ClearDigitOutBitA((Uint32)1 << 0) : PS_SetDigitOutBitA((Uint32)1 << 0);
(fPLL_Block_2==0)? PS_ClearDigitOutBitA((Uint32)1 << 3) : PS_SetDigitOutBitA((Uint32)1 << 3);
(fPLL_Block_3==0)? PS_ClearDigitOutBitA((Uint32)1 << 2) : PS_SetDigitOutBitA((Uint32)1 << 2);
(fPLL_Block_4==0)? PS_ClearDigitOutBitA((Uint32)1 << 5) : PS_SetDigitOutBitA((Uint32)1 << 5);
(fPLL_Block_5==0)? PS_ClearDigitOutBitA((Uint32)1 << 4) : PS_SetDigitOutBitA((Uint32)1 << 4);
PS_ExitTimer1Intr();
}

void Initialize(void)
{
    PS_SysInit(30, 10);
    PS_StartStopPwmClock(0);
    PS_InitTimer(0, 0xffffffff);
    PS_InitPwm(4, 0, 25000*1, 0*1e6, PWM_TWO_OUT, 9793);
    PS_SetPwmPeakOffset(4, 1, 0, 1.0/1);
    PS_SetPwmIntrType(4, ePwmNoAdc, 1, 0);
    PS_SetPwmVector(4, ePwmNoAdc, Task);
    PS_SetPwm4Rate(0);
    PS_StartPwm(4);
    PS_InitPwm(5, 0, 25000*1, 0*1e6, PWM_TWO_OUT, 9793);
    PS_SetPwmPeakOffset(5, 1, 0, 1.0/1);
    PS_SetPwmIntrType(5, ePwmNoAdc, 1, 0);
    PS_SetPwm5Rate(0);
    PS_StartPwm(5);
    PS_ResetAdcConvSeq();
    PS_SetAdcConvSeq(eAdcCascade, 0, 1.0);
    PS_SetAdcConvSeq(eAdcCascade, 1, 1.0);
    PS_SetAdcConvSeq(eAdcCascade, 2, 1.0);
    PS_SetAdcConvSeq(eAdcCascade, 3, 1.0);
    PS_SetAdcConvSeq(eAdcCascade, 4, 1.0);
    PS_SetAdcConvSeq(eAdcCascade, 5, 1.0);
    PS_SetAdcConvSeq(eAdcCascade, 9, 1.0);
    PS_SetAdcConvSeq(eAdcCascade, 11, 1.0);
    PS_AdcInit(0, !0);
    PS_InitDigitIn(31, 100);
    PS_InitDigitIn(32, 100);
    PS_InitDigitOut(1);
    PS_InitDigitOut(0);
    PS_InitDigitOut(3);
    PS_InitDigitOut(2);
    PS_InitDigitOut(5);
    PS_InitDigitOut(4);
    PS_InitDigitOut(33);
    PS_InitDigitOut(34);
    PS_InitTimer(1,20);
}

```



---

```
    PS_SetTimerIntrVector(1, Task);
    PS_StartStopPwmClock(1);
}

void main()
{
    Initialize();
    PS_EnableIntr();
    PS_EnableDbgm();
    for (;;){}
}
```

## Apêndice D – Código de Controle do RHT Embarcado no DPS

### TMS320F28335 para Controle do Conversor Boost – dq0

```

/*****
// This code is created by SimCoder Version 9.1 for TI F28335 Hardware Target
// SimCoder is copyright by Powersim Inc., 2009-2011
// Date: December 14, 2017 11:36:40
*****/

***** BOOST dq0 6 PWM *****/

#include <math.h>
#include "PS_bios.h"
typedef float DefaultType;
#define GetCurTime() PS_GetSysTimer()

interrupt void Task();
interrupt void Task_1();

DefaultType fGblPLL_Block = 0.0;
DefaultType fGblPLL_Block_1 = 0.0;
DefaultType fGblPLL_Block_2 = 0.0;
DefaultType fGblPLL_Block_3 = 0.0;
DefaultType fGblPLL_Block_4 = 0.0;
DefaultType fGblPLL_Block_5 = 0.0;

DefaultType fTI_ADC2, fZOH21, fTI_ADC2_1, fZOH22, fTI_ADC2_2, fZOH36, fTI_ADC2_3, fZOH37;
DefaultType fTI_ADC2_4, fZOH38, fTI_ADC2_5, fZOH39, fTI_ADC2_9, fZOH47, fTI_DIN1, fVDC31;
DefaultType fZOH8, fZOH9;

/***** INÍCIO DECLARAÇÃO VARIÁVEIS *****/
int start_boost;
int controle = 1;
int teste_offset = 1;

// 200V - 76ohms
float Vref = 200;
float Imax = 20;
float Kv_max = 20;
float Kv_max2 = 20;
float Ki_max = 20;

// Malha aberta
float delta;
float time = 20;
float Fa = 50000;

// VARIÁVEIS CONTROLE BOOST
float alfa = 0;
float beta = 0;
float Teta = 0;
float Id = 0;
float Iq = 0;

// PI Tensão Boost: K = 0.01 e T = 0.0008 seg., Amostragem: 50 kHz
float K_PI_Tensao_Boost = 0.01;
float T_PI_Tensao_Boost = 0.0008;
float b0_v;
float b1_v;

// PI Corrente Boost: K = 0.5 e T = 0.0008seg., Amostragem: 50 kHz
float K_PI_Corrente_Boost = 0.5;
float T_PI_Corrente_Boost = 0.0008;
float b0_i;
float b1_i;

float ErroV = 0;

```



---

```

float ErroV_Ant = 0;
float Kv = 0;
float Kv_Ant = 0;

float ErroI_d = 0;
float ErroI_d_Ant = 0;
float Ki_d = 0;
float Ki_d_Ant = 0;

float ErroI_q = 0;
float ErroI_q_Ant = 0;
float Ki_q = 0;
float Ki_q_Ant = 0;

float Ki_a = 0;
float Ki_b = 0;
float Ki_c = 0;

float K1 = 0;
float K2 = 0;
float K3 = 0;
float K4 = 0;
float K5 = 0;
float K6 = 0;

// AQUISIÇÕES
float Van = 0;
float Vbn = 0;
float Vcn = 0;
float Vo_B = 0;

float Ia = 0;
float Ib = 0;
float Ic = 0;

// Ganhos Sensores
float G_Ia = 18.23;
float G_Ib = 18.5;
float G_Ic = 18;
float G_Vo_B = 354;

float offset_Ia = 0;
float offset_Ib = 0;
float offset_Ic = 0;

float offset_Van = 0;
float offset_Vbn = 0;
float offset_Vcn = 0;
float offset_Vo_B = 0;

//##### INÍCIO DA INTERRUPÇÃO 0 #####
interrupt void Task()
{
//PS_SetDigitOutBitB((Uint32)1 << (33 - 32));//Teste de tempo de código (Pino 33)

    PS_EnableIntr();
    fTI_ADC2 = PS_GetDcAdc(0);
    fTI_ADC2_1 = PS_GetDcAdc(1);
    fTI_ADC2_2 = PS_GetDcAdc(2);
    fTI_ADC2_3 = PS_GetDcAdc(3);
    fTI_ADC2_4 = PS_GetDcAdc(4);
    fTI_ADC2_5 = PS_GetDcAdc(5);
    fTI_ADC2_9 = PS_GetDcAdc(9);
    fTI_DIN1 = (PS_GetDigitInA() & ((Uint32)1 << 31)) ? 1 : 0;
    fZOH21 = fTI_ADC2;
    fZOH22 = fTI_ADC2_1;
    fZOH36 = fTI_ADC2_2;
    fZOH37 = fTI_ADC2_3;

```

```

fZOH38 = fTI_ADC2_4;
fZOH39 = fTI_ADC2_5;
fZOH47 = fTI_ADC2_9;
{

    start_boost = fTI_DIN1;

    // Calculo das variaveis dos PI do Boost
    b0_v = K_PI_Tensao_Boost*((1/T_PI_Tensao_Boost)*(1/Fa)/2) + 1);
    b1_v = K_PI_Tensao_Boost*((1/T_PI_Tensao_Boost)*(1/Fa)/2) - 1);

    b0_i = K_PI_Corrente_Boost*((1/T_PI_Corrente_Boost)*(1/Fa)/2) + 1);
    b1_i = K_PI_Corrente_Boost*((1/T_PI_Corrente_Boost)*(1/Fa)/2) - 1);

    //##### AQUISIÇÕES #####
    if (teste_offset == 1)
    {
        offset_Ia = fZOH21;
        offset_Van = fZOH22;
        offset_Ib = fZOH36;
        offset_Vbn = fZOH37;
        offset_Ic = fZOH38;
        offset_Vcn = fZOH39;
        offset_Vo_B = fZOH47;
    }
    else
    {
        Ia = -(fZOH21 - offset_Ia) * G_Ia;
        Van = -(fZOH22 - offset_Van);
        Ib = -(fZOH36 - offset_Ib) * G_Ib;
        Vbn = -(fZOH37 - offset_Vbn);
        Ic = -(fZOH38 - offset_Ic) * G_Ic;
        Vcn = -(fZOH39 - offset_Vcn);
        Vo_B = (fZOH47 - offset_Vo_B) * G_Vo_B;
    }

    // Transformada abc para alfa-beta
    alfa = 0.81649658 * (Van - ((Vbn + Vcn)/2));
    beta = 0.70710678 * (Vbn - Vcn);
    Teta = atan2(beta, alfa);

    // Transformada abc para dq0
    Id = 2.0/3.0 * (cos(Teta)*Ia+cos(Teta-2*3.14159265/3) * Ib+cos(Teta+2*3.14159265/3) * Ic);
    Iq = 2.0/3.0 * (sin(Teta)*Ia+sin(Teta-2*3.14159265/3) * Ib+sin(Teta+2*3.14159265/3) * Ic);

    //##### INÍCIO CONTROLE - BOOST #####
    if (start_boost == 1)
    {

        if (controle == 0)
        {
            Kv = Kv + delta;
            if (Kv >= Kv_max2)
            {controle = 1;}
        }

        if (controle == 1)
        {
            // PI tensão Boost
            ErroV_Ant = ErroV;
            ErroV = Vref - Vo_B;
            Kv_Ant = Kv;
            Kv = Kv_Ant + b0_v*ErroV + b1_v*ErroV_Ant;

            // Limitação Kv
            if(Kv > Kv_max)
            {Kv = Kv_max;}
        }
    }
}

```

```

        if(Kv < 0)
            {Kv = 0;}

        // PI Ki_d
        ErroI_d_Ant = ErroI_d;
        ErroI_d = Kv - Id;
        Ki_d_Ant = Ki_d;
        Ki_d = Ki_d_Ant + b0_i*ErroI_d + b1_i*ErroI_d_Ant;

        // PI Ki_q
        ErroI_q_Ant = ErroI_q;
        ErroI_q = - Iq;
        Ki_q_Ant = Ki_q;
        Ki_q = Ki_q_Ant + b0_i*ErroI_q + b1_i*ErroI_q_Ant;

        // Transformada dq0 para abc
        Ki_a = cos(Teta)*Ki_d+sin(Teta)*Ki_q;
        Ki_b = cos(Teta-2*3.14159265/3)*Ki_d+sin(Teta-2*3.14159265/3)*Ki_q;
        Ki_c = cos(Teta+2*3.14159265/3)*Ki_d+sin(Teta+2*3.14159265/3)*Ki_q;

        // Limitação Ki
        if (Ki_a >= Ki_max)
            {Ki_a = Ki_max;}
        if (Ki_a <= -Ki_max)
            {Ki_a = -Ki_max;}

        if (Ki_b >= Ki_max)
            {Ki_b = Ki_max;}
        if (Ki_b <= -Ki_max)
            {Ki_b = -Ki_max;}

        if (Ki_c >= Ki_max)
            {Ki_c = Ki_max;}
        if (Ki_c <= -Ki_max)
            {Ki_c = -Ki_max;}

        K1 = Ki_a;
        K2 = Ki_a;
        K3 = Ki_b;
        K4 = Ki_b;
        K5 = Ki_c;
        K6 = Ki_c;
    }
}

if (start_boost == 0)
{
    K1 = Ki_max;
    K2 = -Ki_max;
    K3 = Ki_max;
    K4 = -Ki_max;
    K5 = Ki_max;
    K6 = -Ki_max;

    Kv = 0;
    Kv_Ant = 0;

    ErroI_d_Ant = ErroI_d;
    ErroI_d = Kv - Id;
    Ki_d_Ant = 0;
    Ki_d = 0;

    ErroI_q_Ant = 0;
    ErroI_q = 0;
    Ki_q_Ant = 0;
    Ki_q = 0;
}

//##### INÍCIO PROTEÇÃO #####

```

```

        if ((Ia >= Imax) || (Ib >= Imax) || (Ic >= Imax)) {
            K1 = Ki_max;
            K2 = -Ki_max;
            K3 = Ki_max;
            K4 = -Ki_max;
            K5 = Ki_max;
            K6 = -Ki_max;
        }
        if ((Ia <= -Imax) || (Ib <= -Imax) || (Ic <= -Imax)) {
            K1 = Ki_max;
            K2 = -Ki_max;
            K3 = Ki_max;
            K4 = -Ki_max;
            K5 = Ki_max;
            K6 = -Ki_max;
        }
        //##### FIM PROTEÇÃO #####

        fGblPLL_Block = K1;
        fGblPLL_Block_1 = K2;
        fGblPLL_Block_2 = K3;
        fGblPLL_Block_3 = K4;
        fGblPLL_Block_4 = K5;
        fGblPLL_Block_5 = K6;
    }

    PS_ExitTimer1Intr();

//    PS_ClearDigitOutBitB((Uint32)1<<(33-32));//Teste de tempo de código (Pino 33)
}

interrupt void Task_1()
{
    PS_EnableIntr();

    PS_SetPwm2Rate(fGblPLL_Block_1);
    PS_SetPwm3Rate(fGblPLL_Block_2);
    PS_SetPwm4Rate(fGblPLL_Block_3);
    PS_SetPwm1Rate(fGblPLL_Block);
    PS_SetPwm5Rate(fGblPLL_Block_4);
    PS_SetPwm6Rate(fGblPLL_Block_5);
    PS_ExitPwm2General();
}

void Initialize(void)
{
    PS_SysInit(30, 10);
    PS_StartStopPwmClock(0);
    PS_InitTimer(0, 0xffffffff);
    PS_InitPwm(2, 0, 20000 * 1, (1e-6) * 1e6, PWM_TWO_OUT, 34071);
    PS_SetPwmPeakOffset(2, 6, (-3), 1.0 / 6);
    PS_SetPwmIntrType(2, ePwmNoAdc, 1, 0);
    PS_SetPwmVector(2, ePwmNoAdc, Task_1);
    PS_SetPwm2Rate(0);
    PS_StartPwm(2);

    PS_InitPwm(3, 0, 20000 * 1, (1e-6) * 1e6, PWM_TWO_OUT, 34071);
    PS_SetPwmPeakOffset(3, 6, (-3), 1.0 / 6);
    PS_SetPwmIntrType(3, ePwmNoAdc, 1, 0);
    PS_SetPwm3Rate(0);
    PS_StartPwm(3);

    PS_InitPwm(4, 0, 20000 * 1, (1e-6) * 1e6, PWM_TWO_OUT, 34071);
    PS_SetPwmPeakOffset(4, 6, (-3), 1.0 / 6);
    PS_SetPwmIntrType(4, ePwmNoAdc, 1, 0);
    PS_SetPwm4Rate(0);
    PS_StartPwm(4);
}

```

---

```

PS_InitPwm(1, 0, 20000 * 1, (1e-6) * 1e6, PWM_TWO_OUT, 34071);
PS_SetPwmPeakOffset(1, 6, (-3), 1.0 / 6);
PS_SetPwmIntrType(1, ePwmNoAdc, 1, 0);
PS_SetPwm1Rate(0);
PS_StartPwm(1);

PS_InitPwm(5, 0, 20000 * 1, (1e-6) * 1e6, PWM_TWO_OUT, 34071);
PS_SetPwmPeakOffset(5, 6, (-3), 1.0 / 6);
PS_SetPwmIntrType(5, ePwmNoAdc, 1, 0);
PS_SetPwm5Rate(0);
PS_StartPwm(5);

PS_InitPwm(6, 0, 20000 * 1, (1e-6) * 1e6, PWM_TWO_OUT, 34071);
PS_SetPwmPeakOffset(6, 6, (-3), 1.0 / 6);
PS_SetPwmIntrType(6, ePwmNoAdc, 1, 0);
PS_SetPwm6Rate(0);
PS_StartPwm(6);

PS_ResetAdcConvSeq();
PS_SetAdcConvSeq(eAdcCascade, 0, 1.0);
PS_SetAdcConvSeq(eAdcCascade, 1, 1.0);
PS_SetAdcConvSeq(eAdcCascade, 2, 1.0);
PS_SetAdcConvSeq(eAdcCascade, 3, 1.0);
PS_SetAdcConvSeq(eAdcCascade, 4, 1.0);
PS_SetAdcConvSeq(eAdcCascade, 5, 1.0);
PS_SetAdcConvSeq(eAdcCascade, 9, 1.0);
PS_AdcInit(0, !0);

PS_InitDigitIn(31, 100);

PS_InitDigitOut(33);
PS_InitDigitOut(34);

PS_InitTimer(1, 20);
PS_SetTimerIntrVector(1, Task);
PS_StartStopPwmClock(1);
}

void main()
{
    Initialize();
    PS_EnableIntr();
    PS_EnableDbgm();
    for (;;) {
        }
    }
}

```