

CAPÍTULO 5

PROJETO DO CONVERSOR PROPOSTO

5.1 - INTRODUÇÃO

O circuito de potência, bem como o circuito de controle do conversor Push-Pull Boost com filtro sintonizado, são definidos neste capítulo. Metodologia de projeto, esquema de controle e análises sobre o circuito proposto serão conduzidas, visando o perfeito entendimento do trabalho, além de prover uma rica referência para trabalhos futuros relacionados com o tema.

5.2 - PROJETO DO CIRCUITO DE POTÊNCIA DO CONVERSOR

Para facilitar o projeto do conversor é usado o recurso de referir o circuito secundário do conversor ao circuito primário pela relação de transformação, fazendo com que o projeto seja elaborado com base em um conversor “boost” equivalente, como mostra a Fig. 5.1.

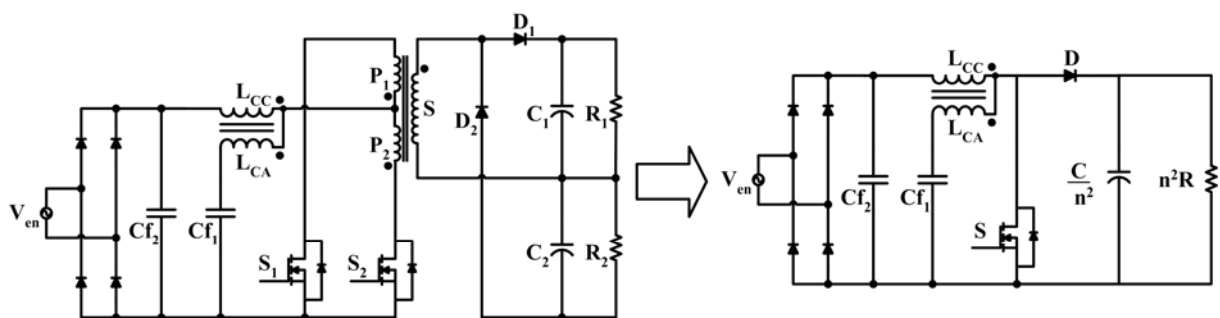


Fig. 5.1 – Transformação do conversor proposto em um conversor “boost” equivalente.

Como o transformador pode ser entendido como um circuito de transferência de impedâncias, este método pode ser usado para facilitar o projeto dos componentes de potência do circuito.

O desenvolvimento desta metodologia foi feito com base na consulta às referências [21] a [32], fazendo-se uma coletânea dos pontos relevantes de cada uma para compor o método como um todo.

5.2.1 - ESPECIFICAÇÕES DE PROJETO

A seguir serão listados as principais especificações e parâmetros para o desenvolvimento do projeto do conversor.

- Potência de saída (P_0):	250 [W]
- Tensão de entrada mínima ($V_{en_mín}$):	90 [V_{RMS}]
- Tensão de entrada máxima ($V_{en_máx}$):	140 [V_{RMS}]
- Tensão de saída (V_0):	250 [V_{DC}]
- Freqüência de chaveamento (f_s):	100 [kHz]
- Tempo de “Hold-up” (t_H):	34 [ms]
- Relação de transformação (n):	1,732

5.2.2 - SELEÇÃO DO INDUTOR L_{CC}

O indutor de entrada L_{CC} , ou indutor de “boost”, é calculado com base na potência processada, na variação máxima desejada da corrente de entrada (“ripple”) e na freqüência de chaveamento do conversor.

Para calcular a máxima variação de corrente de entrada é necessário, inicialmente, calcular a corrente de pico (I_{pk}) do indutor, dada por

$$I_{pk} = \frac{\sqrt{2}P_0}{V_{en_mín}} = 3,93 \text{ A.} \quad (5.1)$$

A máxima variação de corrente para este projeto foi arbitrada em 25% da corrente de pico no indutor, ou seja:

$$\Delta I = 0,25I_{pk} = 0,982 \text{ A.} \quad (5.2)$$

Além disso, a razão cíclica de pior caso deve ser obtida para calcular o valor do indutor de entrada ([32]). Assim

$$D = \frac{V_0 - \left(\frac{V_{en_min} \sqrt{2}}{2} \right)}{V_0} = 0,75. \quad (5.3)$$

De posse dos dados acima, o valor do indutor de entrada pode ser calculado por:

$$L_{CC} = \frac{V_{en_min} \sqrt{2} D}{2 f_s \Delta I} \cong 500 \text{ } \mu\text{H} \quad (5.4)$$

Portanto, a indutância de entrada fica estabelecida em 500 μH . A partir desse valor será conduzido em seguida o projeto físico do indutor, indicando o núcleo utilizado, número de espiras e bitola do fio utilizado.

Para um cálculo otimizado do núcleo a ser utilizado tomou-se como referência os documentos [28] e [7] da Texas Instruments, disponibilizados via Internet.

5.2.2.1 - ESPECIFICAÇÕES DO INDUTOR

Para a seleção do núcleo mais apropriado para o indutor de entrada tem-se as seguintes especificações:

- Frequência de chaveamento (f_s): 100 [kHz]
- Corrente de pico (I_{pk}): 3,93 [A]
- Variação de corrente (ΔI): 0,982 [A]
- Densidade máxima de fluxo ($B_{m\acute{a}x}$): 0,3 [T]

- Indutância (L_{CC}): 500 [μ H]
- Máxima variação de temperatura (ΔT): 40 [$^{\circ}$ C]

5.2.2.2 - DETERMINAÇÃO DO NÚCLEO

Com base nas especificações dadas acima, calcula-se inicialmente a máxima variação do fluxo magnético no núcleo, através da equação

$$\Delta B_{m\acute{a}x} = \frac{B_{m\acute{a}x}}{I_{pk}} \Delta I = 0,075 T \quad (5.5)$$

Com base nesse valor calculado, frequência de chaveamento e limite de perdas no núcleo (estabelecidas empiricamente em 100 mW/cm³ para núcleos de ferrite), determina-se o valor de $\Delta B_{m\acute{a}x}$ a ser utilizado com auxílio do gráfico mostrado na Fig. 5.2. Neste gráfico, de posse da frequência de chaveamento e o valor encontrado em (5.5) dividido por 2, encontra-se o valor da perda no núcleo. Se este valor for muito menor que o valor estabelecido anteriormente (100 mW/cm³), significa que o núcleo é limitado pela saturação, então o valor calculado $B_{m\acute{a}x}$ é utilizado. Se o valor encontrado for maior que o estabelecido, utiliza-se o valor de fluxo magnético correspondente na abscissa do gráfico. No caso em questão o valor $B_{m\acute{a}x}$ será utilizado.

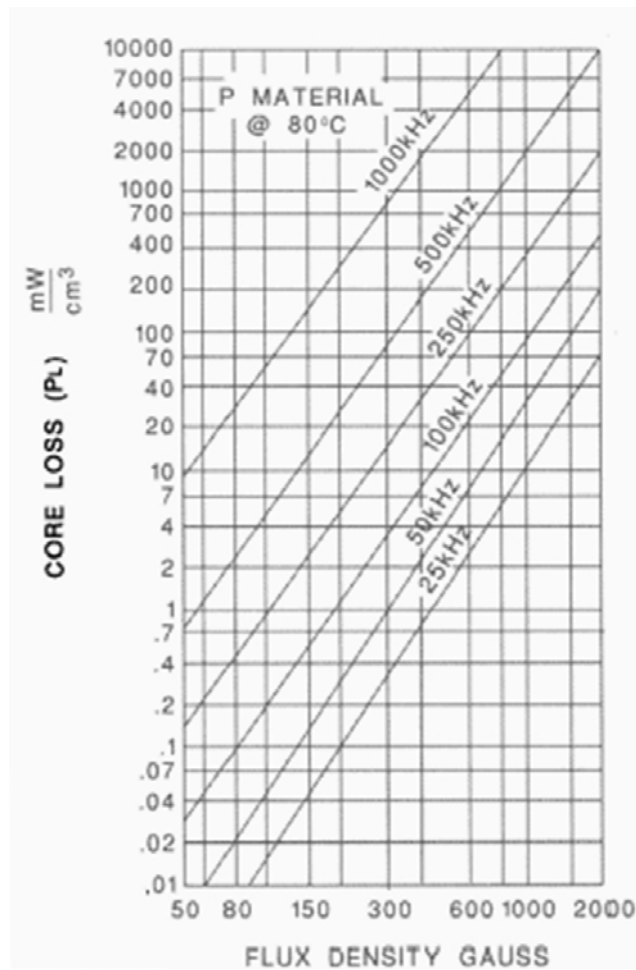


Fig. 5.2 – Gráfico de perdas no núcleo magnético em função da frequência e da densidade de fluxo magnético.

O tamanho do núcleo a ser utilizado é encontrado aplicando-se a equação para o cálculo do A_p do núcleo, obtida em [28], e comparando o valor encontrado com a tabela de tipos de núcleo do fabricante desejado. Portanto

$$A_p = \left(\frac{L_{CC} I_{pk}^2}{B_{\max} k} \right)^{\frac{4}{3}} = 0,9 \text{ cm}^4 \quad (5.6)$$

onde k é uma constante definida em [28], e para o caso em questão vale 0,03.

Para este projeto foram utilizados núcleos de ferrite IP12 do fabricante Thornton, cujos dados são mostrados na Tabela 5.1.

Tabela 5.1 – Tabela de seleção de núcleos de ferrite.

DADOS	Ae [cm ²]	Aw [cm ²]	le [cm]	MLT [cm]	Ap [cm ⁴]	Al [nH]	Ve [cm ³]
EE-8/4/3	0,07	0,12	1,97	1,88	0,01	450,00	0,14
EE-13/6/6	0,16	0,33	3,07	3,14	0,05	900,00	0,49
EE-16/7/4	0,15	0,40	3,44	3,77	0,06	1100,00	0,51
EE-16/7/5	0,19	0,40	3,53	3,77	0,07	1700,00	0,66
EE-19/8/5	0,23	0,57	3,94	4,63	0,13	1700,00	0,91
EE-20/10/5	0,31	0,48	4,30	4,02	0,15	1300,00	1,33
EE-25/10/6	0,40	0,84	4,90	5,97	0,34	1400,00	1,96
EE-30/15/7	0,60	1,19	6,70	6,13	0,72	1800,00	4,02
EE-30/15/14	1,20	1,19	6,70	6,13	1,43	3500,00	8,04
EE-42/21/15	1,81	2,56	9,70	9,27	4,63	3700,00	17,56
EE-42/21/20	2,40	2,56	9,70	9,27	6,14	4750,00	23,28
EE-55/28/21	3,54	3,76	12,00	11,78	13,29	5000,00	42,48
EE-65/33/13	2,66	5,48	14,70	13,89	14,57	3600,00	39,10
EE-65/33/26	5,32	5,48	14,70	13,89	29,14	7200,00	78,20
EE-65/33/39	7,98	5,48	14,70	13,89	43,71	10800,00	117,31
EE-76/50/25	6,45	9,75	21,77	16,02	62,91	5315,00	140,42

Portanto, o núcleo que melhor se ajusta ao valor calculado é o EE 30/15/14 IP12, com A_p igual à 1,43 cm⁴.

O limite de perdas aceitáveis no núcleo para uma elevação máxima de temperatura de 40 °C é definido pela equação

$$P_{nucleo} = \frac{\Delta T A_w}{36} = 1,32 \text{ W}. \quad (5.7)$$

O número de espiras do indutor é dado pela seguinte equação:

$$N_{min} = \frac{L_{CC} I_{pk}}{B_{max} A_e 10^{-4}} \cong 55 \text{ espiras}. \quad (5.8)$$

Para estabelecer o entreferro a ser inserido entre as metades do núcleo EE utiliza-se a equação a seguir.

$$l_g = 4\pi 10^{-7} N_{min}^2 \frac{A_e}{L_{CC}} 10^{-2} \cong 0,1 \text{ cm}. \quad (5.9)$$

A bitola do fio necessário para enrolar o indutor em questão deve obedecer a dois critérios: ter área de cobre suficiente para conduzir a corrente através do indutor e ter bitola compatível de acordo com o efeito pelicular ([18]). Consultando-se diversas tabelas de fabricantes de fio de cobre pode-se inferir que o fio ideal para a aplicação em questão são três fios AWG 24 em paralelo, enrolados de forma que caibam no carretel do núcleo.

Portanto, o indutor de entrada tem as seguintes características:

- Indutância: 500 μ H
- Núcleo: EE, ferrite, IP12 30/15/14
- Número de espiras: 55 espiras
- Condutor: 3 fios de cobre AWG 24 em paralelo
- Entreferro: 0,1 cm

5.2.3 - SELEÇÃO DO INDUTOR L_{CA}

De acordo com a teoria do filtro sintonizado, apresentada no Capítulo 4, o valor do indutor L_{CA} acoplado ao indutor de entrada deve ter um valor bem próximo ao valor do indutor L_{CC} , mas menor que este. Isto se deve ao fato de que o fator de acoplamento deve ter um valor menor que a unidade para que o filtro funcione adequadamente, mas não pode ser muito próximo de um para que não haja problemas de variação da característica do filtro. Portanto, o valor de L_{CA} deve ser bem próximo do valor de L_{CC} , mas com um fator de acoplamento menor dado pela equação abaixo:

$$k < \sqrt{\frac{L_{CA}}{L_{CC}}}. \quad (5.10)$$

Para efeito deste projeto será arbitrado que o valor de L_{CA} será de 495 μH , ou seja, 99% do valor de L_{CC} . Para o fator de acoplamento k será utilizado o valor de 0,975, que obedece à relação apresentada em (5.10) e não é tão próximo da unidade, contribuindo assim para a estabilidade do filtro. Para um melhor ajuste do filtro, é aconselhável construir o mesmo primeiro e medir o fator de acoplamento de acordo com os métodos descritos no Capítulo 4.

No aspecto construtivo, há duas formas possíveis de construir o filtro com os valores estipulados acima. No primeiro método, enrolam-se em conjunto os indutores L_{CA} e L_{CC} , sendo que para L_{CA} utiliza-se um fio de bitola bem inferior, uma vez que este enrolamento irá conduzir apenas uma pequena componente CA de corrente. A indutância projetada e o fator de acoplamento são obtidos ao enrolar as últimas espiras de L_{CA} em torno de uma das “pernas” externas do núcleo ao invés de enrolar na parte central do mesmo. Dessa forma, o valor requerido de indutância é atingido e o acoplamento entre os indutores é bem menor que a unidade. A Fig. 5.3 ilustra esse método de montagem.

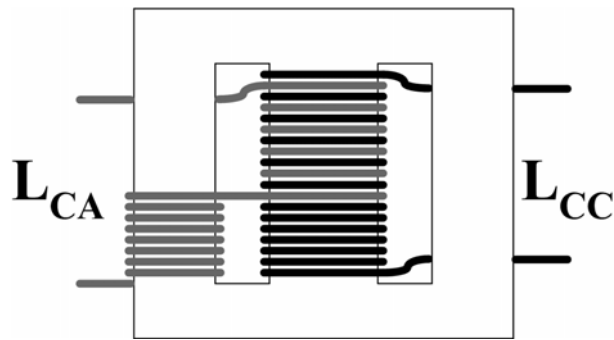


Fig. 5.3 – Ilustração da forma de montagem do indutor acoplado.

A outra forma de enrolamento consiste em enrolar os dois indutores juntos, como no método anterior, mas as últimas espiras de L_{CA} são suprimidas. Assim, os valores das indutâncias serão bem diferentes uma da outra. Um indutor adicional é inserido em série com L_{CA} de forma que a indutância total seja o valor projetado. Portanto, o valor de indutância desejado é atingido e o fator de acoplamento é menor que a unidade, pois um indutor não acoplado foi inserido no circuito.

5.2.4 - SELEÇÃO DOS CAPACITORES C_{f1} E C_{f2} DO FILTRO

Como discutido no Capítulo 4, o capacitor C_{f2} é determinado fazendo-se um compromisso entre performance do filtro e distorção da forma de onda da tensão de entrada retificada. Pela análise feita nesse capítulo concluiu-se que para o nível de potência do conversor um valor de 470 nF seria ideal.

Já o capacitor C_{f1} deve ser escolhido com base na equação do filtro, sendo função dos parâmetros k , L_{CA} , L_{CC} e f_s . Para a frequência de sintonia desejada, no caso a frequência de chaveamento, o valor de C_{f1} é dado pela seguinte equação:

$$C_{f1} = \frac{1}{\left(1 - k \sqrt{\frac{L_{CC}}{L_{CA}}}\right) L_{CA} 4\pi^2 (2f_s)^2}. \quad (5.11)$$

Aplicando-se os valores calculados anteriormente e uma frequência de sintonia de 200 kHz na equação (5.11), encontra-se o valor aproximado de 68 nF para C_{fl} .

5.2.5 - SELEÇÃO DO TRANSFORMADOR DE POTÊNCIA

O cálculo do transformador foi baseado nas referências [7] e [21], para um projeto otimizado do transformador.

A relação de transformação necessária na conversão de tensão é obtida com base na análise da Fig. 3.3.

A máxima densidade de fluxo permitida é escolhida com base no gráfico da Fig. 5.2, entrando com as perdas admissíveis, no caso 100 mW/cm³, e a frequência de operação do transformador. Pelo gráfico obtém-se um valor de 0,1 T, o que indica uma variação máxima de fluxo de 0,2 T. Para o cálculo do tamanho e configuração do núcleo tem-se:

$$A_p = \left(\frac{P_0 10^4}{\eta K_t K_u K_p J \Delta B 2 f_s} \right)^{1,143} \quad (5.12)$$

A constante K_t é um fator que depende da topologia do conversor, sendo que para topologia push-pull essa constante vale 1,41. K_u é o fator de utilização de janela, e representa a máxima área efetiva para alocação de enrolamentos dentro da janela do núcleo, cujo valor típico é 0,4 para os núcleos mais comuns. A constante K_p é o fator de área do primário, ou seja, é a porcentagem de utilização da área de janela pelo primário, cujo valor é de 0,25 para a topologia “push-pull”. A constante J é a densidade de corrente utilizada, que é de 450 A/cm² ([18]).

Portanto, utilizando a equação (5.12) para o cálculo do A_p encontra-se um valor de 1 cm⁴. De acordo com a tabela de núcleos EE apresentada anteriormente, um núcleo EE 30/15/14

satisfaz a condição. No entanto, devido à configuração dos enrolamentos e potência do conversor, esse núcleo não é suficiente devido ao tamanho dos enrolamentos, o que leva à escolha de um núcleo EE 42/21/15.

O limite de perdas aceitáveis para uma variação máxima de temperatura de 40°C é dado por

$$P_{nucleo} = \frac{\Delta T A_w}{36} = 2,8 \text{ W} \quad (5.13)$$

O número de espiras dos primários e do secundário é dado pela seguinte relação:

$$N_s = \frac{(V_0 + V_D)}{f_s 10^{-4} A_e \Delta B} = 31 \text{ espiras} \quad (5.14)$$

para o secundário e

$$N_p = n N_s = 51 \text{ espiras} \quad (5.15)$$

para cada um dos primários.

A corrente RMS pelo primário é obtida através da relação

$$I_{p_RMS} = \sqrt{\left(\frac{P_0}{\eta V_{en_min}}\right)^2 \frac{1}{D}} = 1,2 \text{ A} \quad (5.16)$$

Levando em conta efeito pelicular e o valor de corrente dado por (5.16) e consultando as tabelas dos fabricantes de fios, pode-se inferir que devem ser utilizados dois fios AWG 24 em paralelo em cada primário. Para o secundário, tem-se:

$$I_{s_RMS} = \sqrt{\left(\frac{P_0}{V_0 + V_D}\right)^2 \frac{1}{D}} = 1,9 \text{ A} \quad (5.17)$$

o que, pelos mesmos critérios acima, leva a um cabo com três fios AWG 24 em paralelo.

Além disso, o transformador foi enrolado na seguinte seqüência: primário – secundário – primário, devidamente isolados. Esse arranjo diferenciado tem por finalidade diminuir a indutância de dispersão do transformador, uma vez que para topologias “push-pull” é extremamente desejável que haja baixa dispersão. Como a tensão sobre a chave é o dobro da tensão aplicada ao primário do transformador, mesmo valores pequenos de indutância de dispersão provocam altos picos de tensão sobre as chaves, podendo danificar irreversivelmente as mesmas.

5.2.6 - SELEÇÃO DO CAPACITOR DE SAÍDA

O capacitor de saída é escolhido em função da potência de saída do conversor, da máxima variação da tensão de saída permitida e do tempo em que a tensão de saída deve se manter constante durante uma falta momentânea da tensão de entrada, chamado tempo de “hold-up”. Para este projeto foi admitido um tempo de “hold-up” de 34 ms, ou seja, aproximadamente dois ciclos da tensão da rede, e uma variação máxima de 30% da tensão de saída. A relação abaixo resume o exposto acima.

$$C_0 = \frac{2P_0 t_H n^2}{V_0^2 - (0,7V_0)^2} = 1,6 \text{ mF} \quad (5.18)$$

Para diminuir a resistência série equivalente do capacitor de saída deve-se utilizar vários capacitores em paralelo, até que o valor de capacitância desejado seja alcançado. Portanto, serão empregados três capacitores de 330 μF e um de 470 μF , tensão nominal de 250 V, todos em paralelo.

5.2.7 - SELEÇÃO DOS SEMICONDUTORES DE POTÊNCIA

Calculando os valores de corrente média e corrente de pico para as chaves, a partir das equações (3.19) e (3.21) apresentadas no Capítulo 3, chega-se aos valores de 1 A para a corrente média e de 3,6 A para a corrente de pico. A tensão máxima que a chave tem que suportar é o dobro da tensão aplicada no primário do transformador que, para funcionamento em regime permanente é da ordem de 500 V.

Portanto, foi selecionado o MOSFET IRFP448 da International Rectifier, com especificações de 500 V de tensão de ruptura, 6,6 A @ 100°C de corrente contínua e 40 A de corrente de pico não contínua. A chave selecionada foi sobre-dimensionada para maior robustez do protótipo, de forma a não ocorrer imprevistos durante os ensaios de bancada.

Para os diodos de saída, os valores calculados são 300 V de tensão de ruptura, corrente média de 1,7 A e corrente de pico de 2,2 A. Foi selecionado o diodo HFA15TB60 da International Rectifier, com especificações de corrente de 15 A @ 100°C e tensão reversa de 600 V. Este componente foi escolhido para confiabilidade da montagem e também por limitações de componentes disponíveis no laboratório. Apesar dos semicondutores usados possuírem capacidade bem superior à necessária, os resultados obtidos ainda são válidos.

5.2.8 - SELEÇÃO DOS “SNUBBERS”

Apesar de não estarem explícitos no diagrama esquemático do conversor, foram utilizados “snubbers” tipo RC série sem diodo nas chaves e nos diodos de saída do conversor. Esses “snubbers” se fizeram necessários devido ao alto nível de oscilações presentes nesses componentes, causando emissões de ruído e a possibilidade de destruição do componente por

excesso de tensão. Assim, optou-se por usar “snubbers” dissipativos RC simples para controlar os efeitos das indutâncias e capacitâncias parasitas presentes no circuito.

O método utilizado para o cálculo dos componentes está descrito na referência [31]. Esse método consiste basicamente em medir a frequência de oscilação da tensão sobre o componente, calcular a indutância parasita do circuito e, de posse deste valor, calcular os valores de capacitância e resistência necessários para amortecer a oscilação.

Medindo-se a oscilação de tensão sobre os diodos de saída foi encontrada uma frequência de 10 MHz. Em seguida, adicionou-se um capacitor em paralelo com o diodo de valor igual a três vezes maior que a capacitância intrínseca do diodo, que pelo “datasheet” do componente vale 70 pF. Portanto, a capacitância inserida é de 220 pF. Com o valor desse capacitor em mãos, calcula-se a indutância parasita do circuito utilizando-se a equação

$$f_{osc} = \frac{1}{2\pi\sqrt{L_{cir}C}} \quad (5.19)$$

Assim, tem-se que $L_{cir} = 3,5 \mu\text{H}$.

O valor da resistência a ser utilizada deve ser igual à impedância característica do circuito, que é dada pela equação

$$R = \sqrt{\frac{L_{cir}}{C_{comp}}} \quad (5.20)$$

onde C_{comp} é a capacitância intrínseca do componente. Portanto, a resistência necessária é de 220 Ω .

Para o MOSFET utilizado, a frequência de oscilação é de 2,82 MHz. Fazendo-se da mesma forma acima, encontra-se uma capacitância de 820 pF e resistência de 220 Ω para amortecer as oscilações sobre a chave de potência.

5.3 - PROJETO DO CIRCUITO DE CONTROLE DO CONVERSOR

O circuito de controle é o responsável pela geração dos pulsos de comando das chaves do conversor, de forma que o objetivo principal de correção do fator de potência seja atingido. Para isso a estratégia de controle e o controlador utilizado devem ser selecionados cuidadosamente, para que o circuito realize a sua função com o menor custo e complexidade possível.

Nesse âmbito, investigando dentre as técnicas de controle de fator de potência apresentadas nos últimos anos, a técnica de controle pela corrente média figura como a estratégia mais apropriada, uma vez que alto fator de potência, corrente de entrada no modo contínuo de condução, frequência de operação constante e menores variações de corrente são obtidos. O preço a ser pago por essas vantagens é uma maior complexidade do circuito de controle em comparação com outros circuitos utilizados em outros métodos. Todavia, apesar de complexo, esse tipo de circuito vem sendo amplamente utilizado ao longo dos anos, constituindo assim uma base de dados e de experiência valiosa durante a fase de projeto do circuito de controle.

Conseqüentemente, o controle pela corrente média será utilizado neste trabalho, primeiro porque se trata de uma topologia derivada do conversor “boost” clássico e em segundo lugar por causa das vantagens comentadas anteriormente.

5.3.1 - DETALHAMENTO DO CIRCUITO INTEGRADO CONTROLADOR

UC3854AN

O circuito integrado escolhido para controlar a corrente drenada da fonte é o UC3854AN fornecido pela Texas Instruments. A Fig. 5.4 mostra o diagrama de blocos explicativo do circuito integrado.

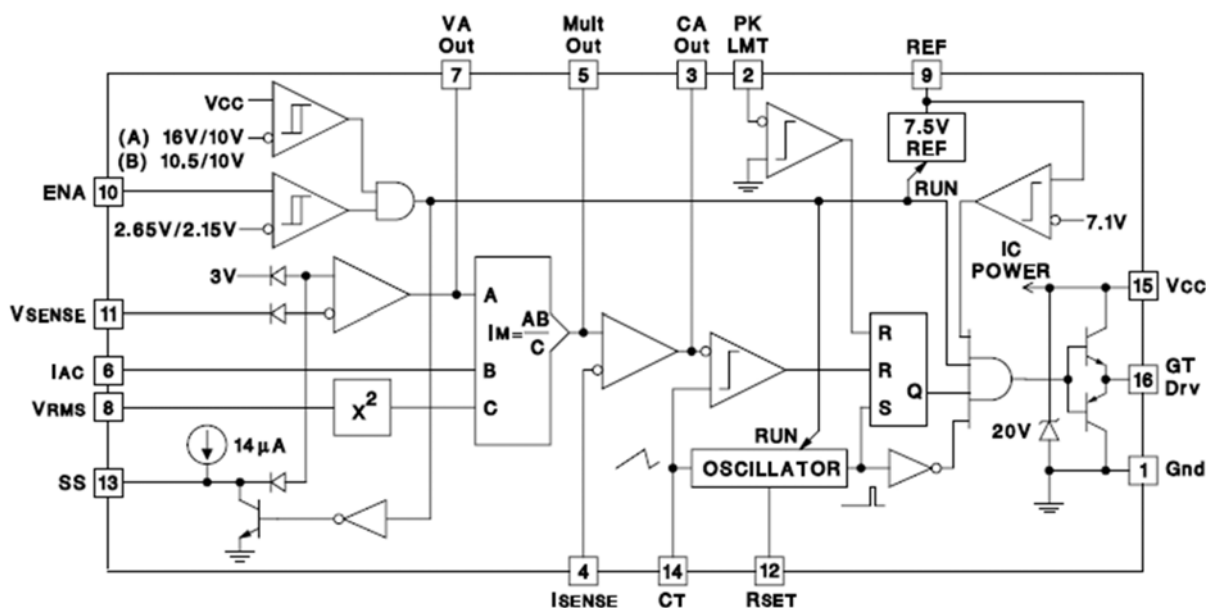


Fig. 5.4 – Diagrama de blocos interno do circuito integrado UC3854AN.

5.3.1.1 - PRINCÍPIO DE FUNCIONAMENTO DO CIRCUITO INTEGRADO

Basicamente, o circuito integrado compara a corrente através do indutor de entrada, por meio de um sensor, com uma referência retirada a partir da tensão de entrada retificada. Portanto, a corrente de entrada terá a mesma forma de onda da tensão retificada. Este sinal de referência, por sua vez, é proporcional à tensão de saída do conversor, para que a tensão de saída seja corrigida a cada variação, e é inversamente proporcional ao valor RMS da tensão de entrada, para que variações na tensão de entrada também sejam corrigidas.

O sinal de referência gerado é somado ao sinal do sensor de corrente invertido, e este sinal de erro é amplificado e comparado a uma onda dente-de-serra para que os pulsos para a chave sejam gerados. Além disso, outras funções importantes, tais como “soft-start”, limitação do pico de corrente e função de habilitação estão presentes.

5.3.1.2 - DESCRIÇÃO FUNCIONAL DOS TERMINAIS DO CIRCUITO INTEGRADO

As funções de cada terminal do integrado serão descritas a seguir com base na Fig. 5.4.

- 1) GND (terminal 1): é o terminal de referência do circuito integrado, ou seja, todas as tensões medidas são referentes a este terminal.
- 2) PKLMT (terminal 2): tem a função de limitar o pico da corrente de entrada. A corrente de entrada é monitorada através do sensor de corrente e um divisor resistivo, de forma que quando a corrente de entrada ultrapassar a corrente programada o comparador interno atua desabilitando os pulsos para a chave.
- 3) CA Out (terminal 3): é a saída do amplificador de corrente, que fornece o sinal de controle para o bloco responsável pela geração dos pulsos para a chave. A diferença entre o sinal de corrente de referência produzido pelo multiplicador interno e sinal de corrente nos terminais do sensor é amplificada para que possa ser comparada com um sinal dente-de-serra, produzindo assim o sinal PWM.
- 4) ISENSE (terminal 4): juntamente com CAOut, é responsável pela aquisição do sinal de corrente.

- 5) Mult Out (terminal 5): saída do multiplicador analógico e entrada não-inversora do amplificador de corrente. É o bloco responsável por criar o sinal de referência para a corrente de entrada. Constitui a parte mais importante do circuito integrado.
- 6) IAC (terminal 6): é o terminal de entrada para a corrente de referência, retirada da tensão de entrada retificada através de uma resistência. É também uma das entradas do bloco multiplicador.
- 7) VA Out (terminal 7): saída do amplificador de tensão responsável por monitorar a tensão de saída do conversor. Também é uma entrada do bloco multiplicador, tendo influência na referência de corrente gerada, portanto.
- 8) VRMS (terminal 8): neste terminal é aplicada uma tensão proporcional ao valor RMS da tensão de entrada, para fazer a compensação da variação da tensão de entrada. Este valor é elevado ao quadrado e aplicado como denominador no bloco multiplicador, de forma que se houver uma queda na tensão de entrada, a referência de corrente aumenta e conseqüentemente a potência de saída aumenta para manter a tensão constante.
- 9) REF (terminal 9): este terminal é uma fonte de 7,5 V precisos para ser usada interna e externamente como tensão de referência.
- 10) ENA (terminal 10): entrada lógica com a função de habilitar/desabilitar o circuito integrado. Quando colocado em nível lógico baixo mantém o circuito inativo.
- 11) VSENSE (terminal 11): entrada inversora do amplificador de tensão. Juntamente com VAOut faz o monitoramento da tensão de saída do conversor.
- 12) RSET (terminal 12): este terminal tem dupla função. Com um resistor para GND conectado a ele, determina a frequência de oscilação interna e limita a máxima corrente fornecida pelo bloco multiplicador.

13) SS (terminal 13): recurso de partida lenta. Através de um capacitor para GND conectado a este terminal é possível incrementar a razão cíclica do PWM gradativamente, evitando assim transitórios durante a partida do conversor.

14) CT (terminal 14): usado para ajustar a frequência de oscilação por meio de um capacitor para GND conectado.

15) VCC (terminal 15): entrada de alimentação do circuito integrado. Admite tensões entre 18 e 22 V.

16) GTDrv (terminal 16): saída dos pulsos PWM para comando da chave de potência do conversor.

5.3.2 - CIRCUITO DE CONTROLE PROPOSTO

De acordo com as formas de onda principais do circuito de potência, mostradas no Capítulo 2, nota-se que para o correto funcionamento do circuito as chaves de potência devem ser acionadas com um defasamento de 180° e com razão cíclica sempre superior a 50%. O circuito integrado selecionado para controlar a corrente foi originalmente projetado para controlar um conversor “boost” clássico, portanto não possui todas as funções necessárias para acionar o conversor Push-Pull Boost. Dessa forma, circuitos externos devem ser adicionados para completar o circuito.

O circuito UC3854AN será utilizado nesta aplicação apenas como o gerador do sinal de controle que será comparado a duas ondas dente-de-serra defasadas, criando assim os sinais PWM para acionamento das chaves. Assim, as ondas dente-de-serra, os comparadores e o circuito de acionamento dos MOSFETs são montados externamente.

Como o circuito integrado utilizado para esta função é o LM555, bastante conhecido e utilizado, as equações utilizadas para seleção dos valores dos componentes periféricos não serão mostradas. Para informações detalhadas de projeto basta consultar [20], seção “applications information – 50% duty cycle oscillator”.

5.3.2.2 - CIRCUITO DE “RESET” DO SINAL DENTE-DE-SERRA

O circuito promove o “reset” da onda dente-de-serra, ou seja, a tensão cresce linearmente até que o circuito de “reset” dê o comando para início de um novo ciclo. Para que isso seja realizado, utiliza-se dois osciladores mono-estáveis, um sensível à borda de subida do pulso de “clock” e outro sensível à borda de descida do “clock”. A largura do pulso é determinada por uma rede RC devidamente ajustada para a largura desejada. Dessa forma, quando o pulso gerado pelo LM555 vai para nível alto, um pulso é gerado em um mono-estável enquanto o outro permanece em nível baixo.

Quando o pulso do LM555 vai para nível baixo, o outro mono-estável é sensibilizado pela borda de descida do pulso e gera o outro pulso de disparo. O CI utilizado é o CD4528, que possui dois mono-estáveis que podem ser ajustados para serem sensibilizados tanto pela borda de descida quanto pela borda de subida. A largura do pulso é determinada através do ajuste dos valores do circuito RC com auxílio do gráfico da figura 5 do “datasheet” [36]. A Fig. 5.6 mostra o circuito utilizado.

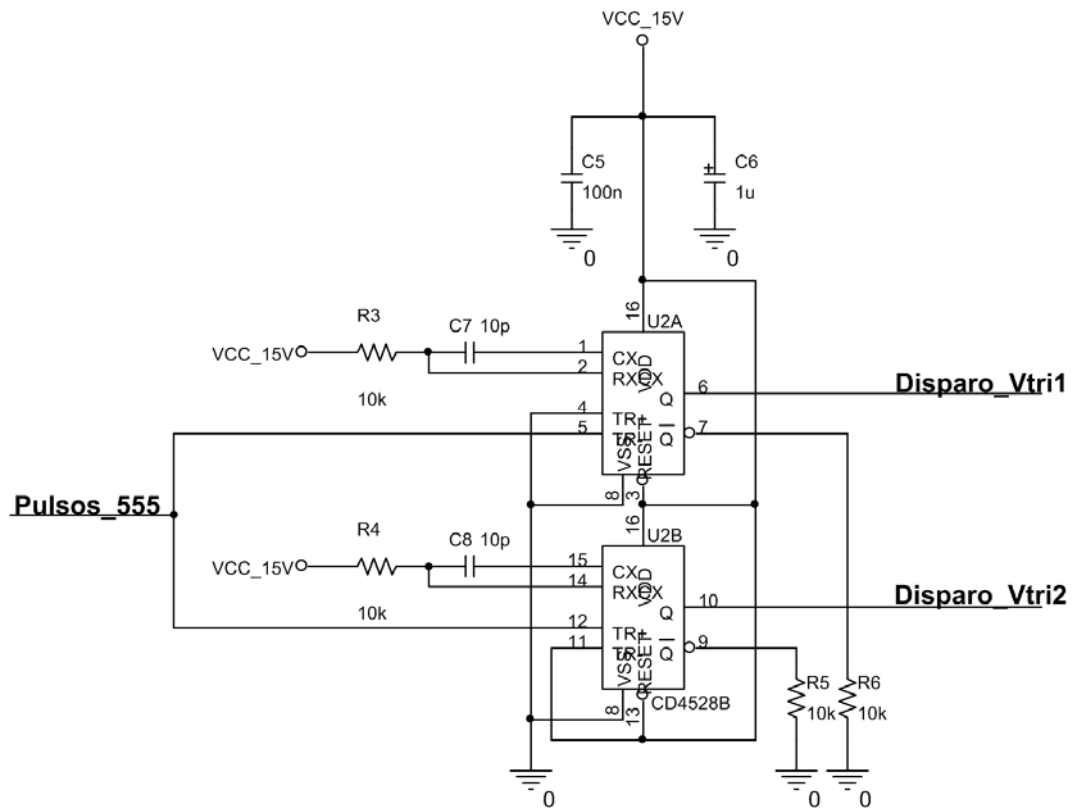


Fig. 5.6 – Diagrama esquemático do circuito de “reset” do sinal dente-de-serra.

5.3.2.3 - CIRCUITO GERADOR DE DENTE-DE-SERRA

Para a geração da onda dente-de-serra foi utilizado o circuito da Fig. 5.7 que consiste basicamente de uma fonte corrente constante carregando um capacitor, ou seja, a tensão nos terminais do capacitor é uma rampa. A tensão em rampa cresce até que seja dado um pulso de descarga através do transistor em paralelo com o capacitor comandado pelo pulso de “reset” produzido pelo circuito explicado anteriormente. Portanto, são utilizados dois circuitos para que sejam geradas duas ondas defasadas. A fonte de corrente constante opera da seguinte forma: como Q2 está montado como diodo, a queda de tensão emissor-coletor é da ordem de 0,7 V, portanto a corrente no ramo R8-R9 vale:

$$I = \frac{(V_{cc} - 0,7)}{R_8 + R_9}. \quad (5.21)$$

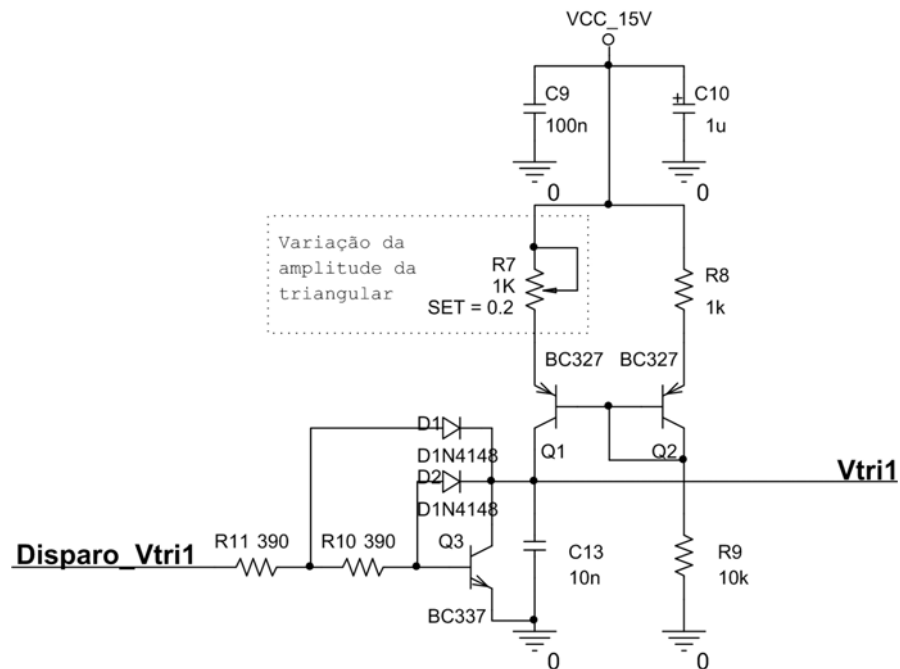


Fig. 5.7 – Diagrama esquemático do circuito de geração do sinal dente-de-serra.

Como os transistores Q1 e Q2 estão com as bases interligadas, as quedas de tensão em R7 e R8 são iguais e, portanto, a corrente constante fornecida é dada pelo valor da queda de tensão em R8 ($R8 \cdot I$) dividida pelo valor de R7. Como R7 é variável, pode-se ajustar o valor da corrente de carga do capacitor C13 ajustando por consequência o valor da amplitude da onda triangular.

5.3.2.4 - CIRCUITO COMPARADOR

Os pulsos para as chaves do circuito de potência são gerados através da comparação do sinal de controle, gerado pelo circuito principal, com as ondas dente-de-serra, o que é feito neste trabalho por dois comparadores rápidos LM311. Os ajustes são simples e facilmente observáveis no respectivo “datasheet” [37]. A Fig. 5.8 mostra o circuito.

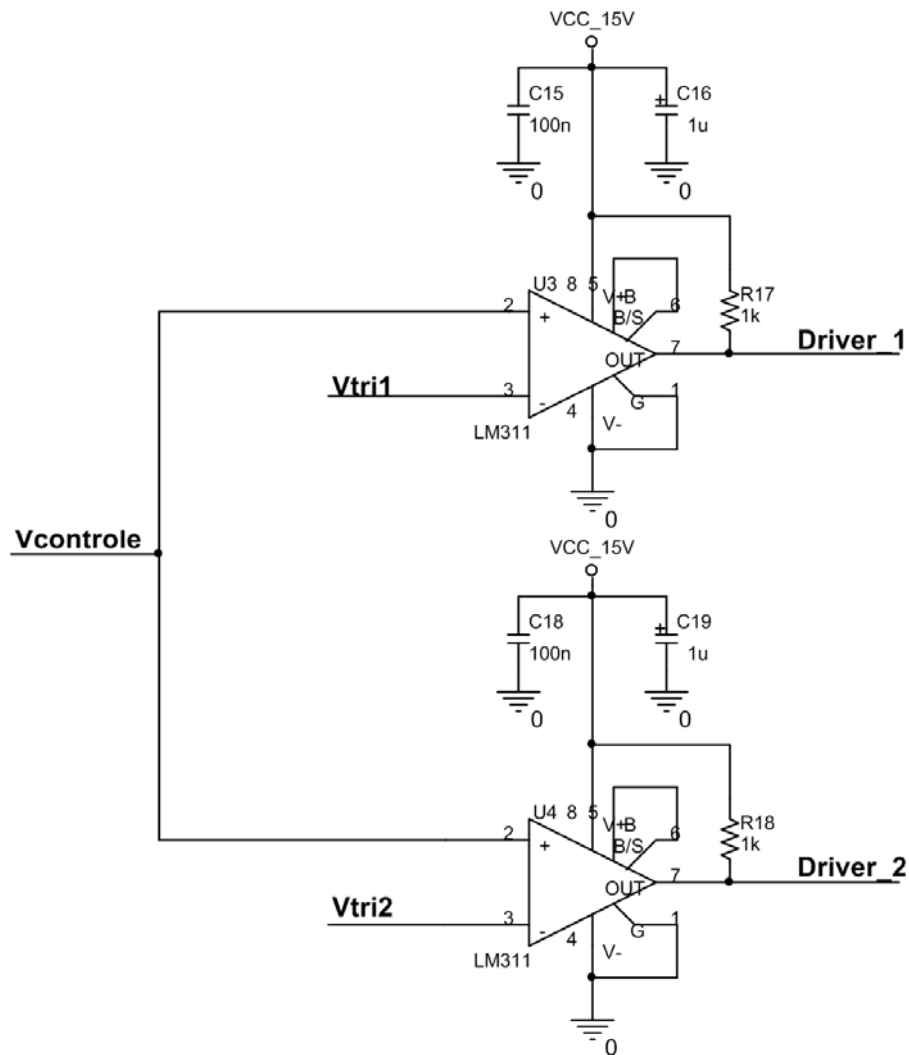


Fig. 5.8 – Diagrama esquemático do circuito comparador.

Apesar do diagrama não mostrar, os pulsos gerados não vão direto para os MOSFETs, eles passam por um circuito “driver” antes. Este circuito tem a finalidade de prover picos de corrente suficientes para carregar rapidamente a capacitância intrínseca das chaves. Neste trabalho foi utilizado o circuito integrado UCC37324 da Texas Instruments. Este circuito integrado é de fácil uso e implementação, oferecendo assim uma ótima alternativa em relação aos circuitos “driver” discretos.

O sinal de comando proveniente da etapa anterior é aplicado nas entradas do integrado e sai do mesmo com um ganho de corrente, ou seja, com capacidade para carregar rapidamente

a capacitância de entrada das chaves. Este integrado consegue fornecer picos de corrente de até 4 A. O diagrama de blocos do circuito integrado, retirado de [38], é apresentado na Fig. 5.9.

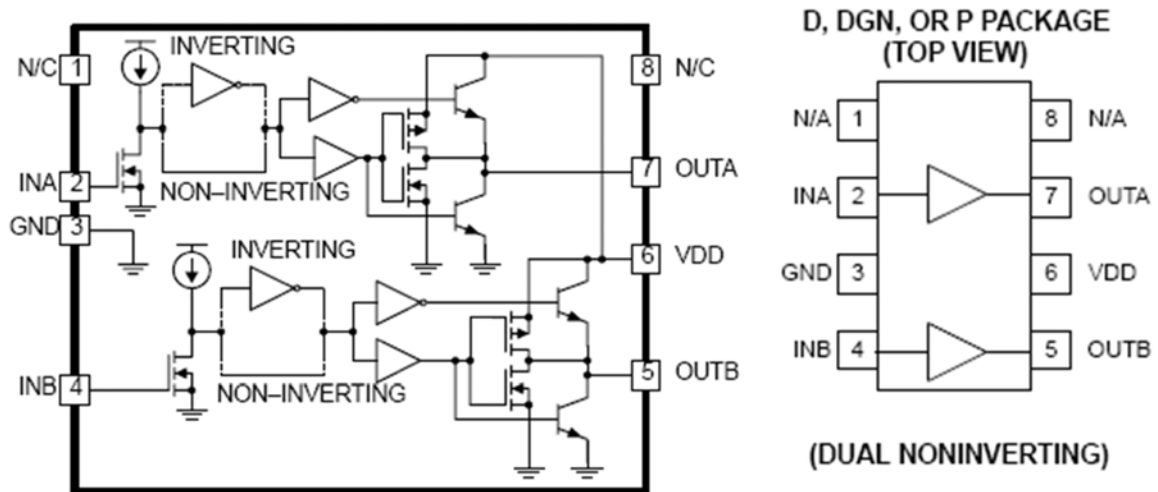


Fig. 5.9 – Diagrama de blocos interno do circuito integrado UCC37324.

5.3.2.5 - CIRCUITO PRINCIPAL

Para encontrar o valor dos componentes do circuito de controle, será utilizado o guia de projeto fornecido em [32] e a referência [6], além da metodologia do conversor equivalente. Neste item serão selecionados todos os componentes periféricos do circuito principal de acordo com as recomendações do fabricante.

1) Seleção do sensor resistivo

O sensor de corrente é escolhido em função da tensão nos terminais do sensor e da máxima corrente do conversor em funcionamento normal. De acordo com o fabricante a tensão no sensor de ficar em torno de 1 V para a máxima corrente. Portanto, tem-se que

$$I_{pk_m\acute{a}x} = I_{pk} + \frac{\Delta I}{2} = 4,42 \text{ A.} \quad (5.22)$$

$$R_S = \frac{V_{RS}}{I_{pk_m\acute{a}x}} = 0,235 \Omega. \quad (5.23)$$

2) Seleção dos resistores para limite de corrente (R_{pk1} e R_{pk2})

O resistor R_{pk1} é escolhido de forma arbitrária, não sendo necessário nenhum cálculo. Esse valor deve ficar na faixa entre 4,7 k Ω e 47 k Ω , o que indica 10 k Ω como um bom valor a ser utilizado. Já R_{pk2} é calculado em função de R_S e da corrente de sobrecarga permitida, que para este caso é de 5 A. Dessa forma tem-se:

$$V_{SC} = R_S I_{SC} = 1,175 V. \quad (5.24)$$

$$R_{pk2} = \frac{V_{SC} R_{pk1}}{V_{REF}} \cong 1,5 k\Omega. \quad (5.25)$$

3) Ajuste do multiplicador

Inicialmente devem ser selecionados os resistores R_{ff1} , R_{ff2} e R_{ff3} que compõe o divisor resistivo da entrada “feed-forward” do circuito integrado, que é responsável por obter uma tensão proporcional ao valor RMS da tensão de entrada retificada. Na equação leva-se em conta a tensão RMS mínima de entrada e as tensões desejadas do divisor resistivo. A Fig. 5.10 mostra a parte do circuito a ser calculada.

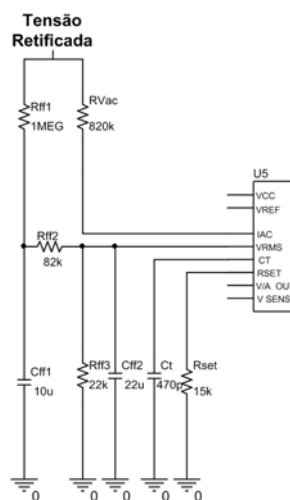


Fig. 5.10 – Diagrama esquemático do circuito “feed-forward”.

$$\begin{cases} \frac{R_{ff3} V_{en_min} 0,9}{R_{ff1} + R_{ff2} + R_{ff3}} = \sqrt{2} \\ \frac{(R_{ff2} + R_{ff3}) V_{en_min} 0,9}{R_{ff1} + R_{ff2} + R_{ff3}} = 7,5 \end{cases} \quad (5.26)$$

Resolvendo-se o sistema (5.26), chega-se aos seguintes valores: $R_{ff1} = 1 \text{ M}\Omega$, $R_{ff2} = 82 \text{ k}\Omega$ e $R_{ff3} = 22 \text{ k}\Omega$.

Para encontrar o valor dos capacitores “feedforward”, deve-se estabelecer a frequência dos pólos do circuito, a qual depende de quanta distorção de terceiro harmônico será atribuída ao circuito. Como nesta aplicação a tensão de entrada nominal é de 127 V_{AC} , não é necessário projetar o circuito “feedforward” para tensão de entrada universal. Assim, é utilizado um valor de $0,27 \text{ Hz}$ para a frequência dos pólos do circuito, para que este não tenha grande influência na quantidade de terceiro harmônico da corrente de entrada.

$$C_{ff1} = \frac{1}{2\pi f_p R_{ff2}} \cong 10 \text{ }\mu\text{F} \quad (5.27)$$

$$C_{ff2} = \frac{1}{2\pi f_p R_{ff3}} \cong 22 \text{ }\mu\text{F} \quad (5.28)$$

De acordo com [4], tem-se que:

$$R_{vac} = \frac{V_{en_m\acute{a}x} \sqrt{2}}{I_{iac_m\acute{a}x}} \cong 820 \text{ k}\Omega \quad (5.29)$$

onde $I_{iac_m\acute{a}x}$ é a máxima corrente no terminal IAC do integrado.

$$R_{set} = \frac{3,75}{2 \frac{V_{en_min}}{R_{vac}}} = 15 \text{ k}\Omega \quad (5.30)$$

Para encontrar o valor do resistor que liga o sensor de corrente ao terminal Mult Out do integrado, utiliza-se a seguinte equação:

$$R_{mo} = \frac{2,25 P_0 1,1 R_{vac} R_S}{(V_{en_min})^2 \eta (\Delta V_{ea})} \cong 4,1 \text{ k}\Omega \quad (5.31)$$

em que η é o rendimento esperado do conversor e ΔV_{ea} é a variação da tensão de saída do amplificador de erro.

4) Ajuste do oscilador

O oscilador interno utiliza-se de um resistor e um capacitor para gerar os pulsos de “clock” necessários ao funcionamento do circuito. O resistor já foi determinado anteriormente, R_{set} . O capacitor é escolhido através da seguinte equação:

$$C_t = \frac{1,25}{R_{set} f_S} = 470 \text{ pF} \quad (5.32)$$

5) Ajuste do amplificador de corrente

A correta escolha dos parâmetros do amplificador de corrente é de suma importância para o funcionamento do circuito, uma vez que o amplificador de corrente é que faz a compensação em frequência da corrente monitorada. Para isto, deve-se ajustar corretamente o ganho do circuito e a resposta em frequência. A referência [32] detalha este processo.

Inicialmente deve-se calcular o ganho do amplificador de corrente na frequência de chaveamento. Para isso deve-se calcular a variação de tensão no sensor devido à corrente do indutor de entrada. Esta variação de tensão deve ser igual à amplitude de variação do sinal dente-de-serra. Portanto tem-se:

$$\Delta V_{RS} = \frac{V_0 R_S}{L_{CC} f_S} = 0,59 \quad (5.33)$$

$$G_{CA} = \frac{V_{cont}}{\Delta V_{RS}} = 14,1 \quad (5.34)$$

onde V_{cont} é a amplitude do sinal dente-de-serra.

Para os resistores de compensação tem-se:

$$R_{ci} = R_{mo} = 4,1 \text{ k}\Omega \quad (5.35)$$

$$R_{cz} = G_{CA} R_{ci} \cong 39 \text{ k}\Omega \quad (5.36)$$

De posse desses valores é possível calcular a frequência de “crossover” do laço de corrente e, posteriormente, calcular o valor dos capacitores responsáveis pela compensação em frequência.

$$f_{ci} = \frac{V_0 R_S R_{cz}}{V_{cont} 2\pi L_{CC} R_{ci}} = 30 \text{ kHz} \quad (5.37)$$

$$C_{cz} = \frac{1}{2\pi f_{ci} R_{cz}} \cong 135 \text{ pF} \quad (5.38)$$

$$C_{cp} = \frac{1}{2\pi f_S R_{cz}} \cong 22 \text{ pF} \quad (5.39)$$

6) Ajuste do amplificador de tensão

Este amplificador tem a função de compensar variações da tensão de saída do conversor, tanto para o “ripple” da tensão de saída quanto para variações de carga. Para o ajuste, é necessário encontrar o “ripple” presente na tensão de saída e o ganho do amplificador de tensão na frequência do segundo harmônico, que é a frequência do “ripple” de saída. Portanto, tem-se:

$$\Delta V_{0pk} = \frac{P_0 n}{2\pi 2 f_1 C_0 V_0} = 1,53 \text{ V} \quad (5.40)$$

onde f_1 é a frequência da rede elétrica.

$$G_{VA} = \frac{\Delta V_{ea} 0,75\%}{\Delta V_{0pk}} = 0,027 \quad (5.41)$$

O resistor superior do divisor de tensão responsável por monitorar a tensão de saída deve ser escolhido arbitrariamente, mas deve levar em conta o compromisso entre potência dissipada no componente e sensibilidade a influências externas. Além disso, a polarização das entradas do amplificador deve ser garantida por um resistor que permita a passagem da corrente de polarização necessária. Diante disso, para uma tensão de saída de 125 V_{CC} nominais, um resistor de 230 kΩ representa uma boa escolha. Portanto, R_{vi} = 230 kΩ.

$$C_{vf} = \frac{1}{2\pi 2 f_l R_{vi} G_{VA}} \cong 220 \text{ nF} \quad (5.42)$$

$$R_{vd} = \frac{R_{vi} V_{sense}}{V_0 - V_{sense}} = 5,6 \text{ k}\Omega \quad (5.43)$$

em que V_{sense} é a tensão interna de comparação do circuito integrado, e vale 3 V. Para seleccionar o resistor de realimentação é necessário calcular a frequência em que o ganho do laço de controle é unitário, indicada por f_{vi}, e dada pela seguinte equação:

$$f_{vi} = \sqrt{\frac{P_0}{\Delta V_{ea} V_0 R_{vi} C_0 C_{vf} (2\pi)^2}} = 11,08 \text{ Hz} \quad (5.44)$$

Para R_{vf} tem-se:

$$R_{vf} = \frac{1}{2\pi f_{vi} C_{vf}} \cong 68 \text{ k}\Omega. \quad (5.45)$$

Com todos os componentes seleccionados chega-se à Fig. 5.11, que mostra o circuito principal como um todo.

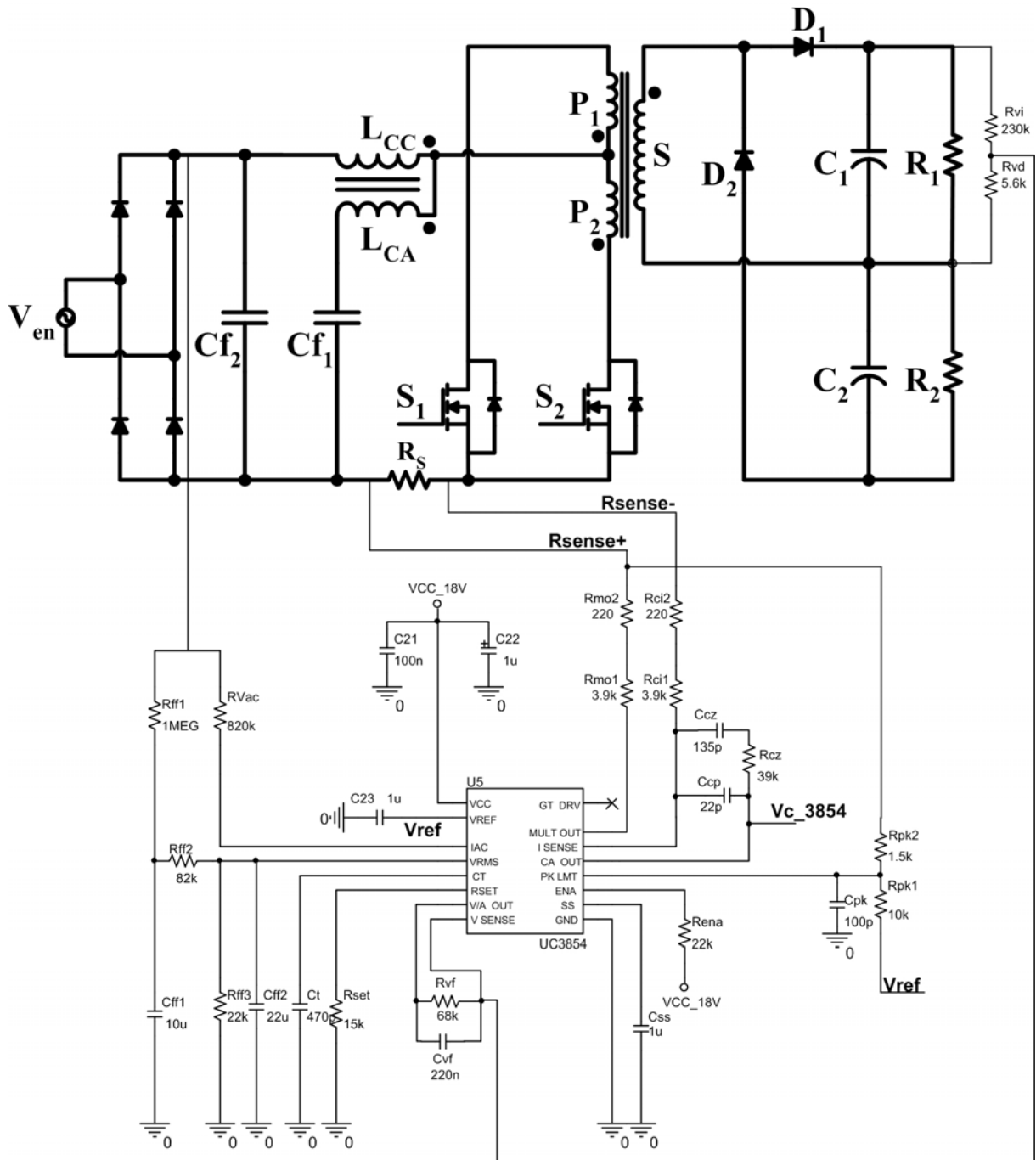


Fig. 5.11 – Diagrama esquemático do circuito principal de controle.

5.3.2.6 - FONTE DE ALIMENTAÇÃO DO CIRCUITO PRINCIPAL

Os outros circuitos projetados até agora utilizavam uma simples fonte linear baseada no circuito integrado LM7815 como fonte de alimentação. No entanto, o circuito principal

necessita de uma fonte de 18 V_{CC} para funcionar adequadamente. Para obter essa tensão de 18 V_{CC}, optou-se por construir uma pequena fonte chaveada na própria placa do circuito, elevando a tensão de 15 V_{CC} para os 18 V_{CC} necessários, utilizando uma topologia “boost”. A Fig. 5.12 ilustra o circuito utilizado.

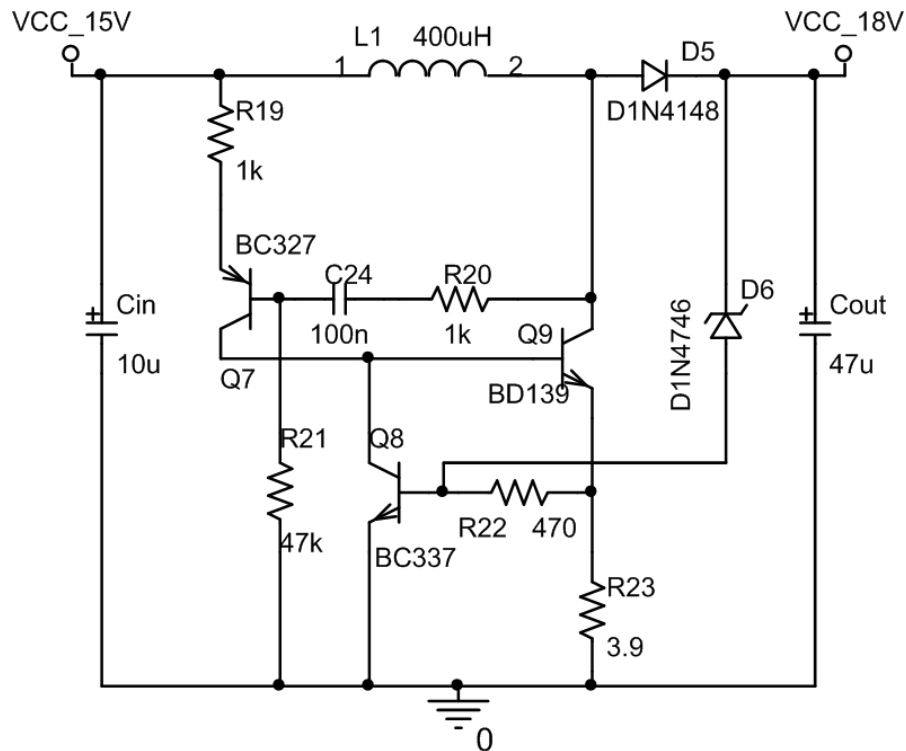


Fig. 5.12 – Diagrama esquemático da fonte de alimentação do circuito principal.

Neste circuito, o diodo zener D6 controla a tensão de saída de acordo com seu valor nominal. A rede oscilante R20 e C24 coloca Q9 em condução através de Q7, armazenando energia em L1, portanto. O resistor R23 limita a máxima corrente por Q9, uma vez que quando a tensão na base de Q8 ultrapassa 0,7 V este entra em condução, bloqueando Q9.

Com Q9 desligado a energia armazenada em L1 é transferida para Cout, aumentando a tensão em seus terminais. Quando a tensão ultrapassa o valor nominal de D6, este entra em condução e reinicia um novo ciclo colocando Q9 em condução novamente, funcionando portanto com frequência variável de acordo com a carga do circuito.

5.4 - CONCLUSÃO

Neste capítulo foi apresentado o projeto do conversor Push-Pull Boost com filtro passivo proposto. Foi desenvolvida a metodologia do conversor “boost” equivalente para simplificar e otimizar o projeto do conversor. Além disso, foi conduzido o projeto do circuito de controle, adaptado do “application note” fornecido como guia de projeto pelo fabricante do integrado UC3854AN.

Um ponto importante observado durante a fase de projeto do circuito de controle é que, de acordo com a indicação do fabricante, deve-se estabelecer uma porcentagem máxima permitida de distorção terceiro harmônico na corrente de entrada, causada pelo “ripple” da tensão de saída e pela variação de tensão em segundo harmônico no terminal VRMS do integrado. Para este projeto a tensão de entrada foi escolhida $127 V_{CA}$, diferentemente de outros conversores que são dimensionados para atuação com entrada universal (90 – 260 V_{CA}). Portanto, não há necessidade de compensar grandes variações da tensão de entrada.

Dessa forma, a porcentagem de terceiro harmônico da tensão de entrada pode ser diminuída aumentando o valor dos capacitores C_{ff1} e C_{ff2} , diminuindo assim a variação de tensão em segundo harmônico no terminal VRMS do integrado. Essa modificação faz com que haja uma sensível melhora na taxa de distorção harmônica da corrente de entrada.

CAPÍTULO 6

RESULTADOS EXPERIMENTAIS E DE SIMULAÇÃO

6.1 - INTRODUÇÃO

Com o objetivo de validar as análises teóricas descritas ao longo deste trabalho, foram feitas várias simulações computacionais do circuito proposto para obter dados a respeito do funcionamento do mesmo. Dessa forma, de posse das principais formas de onda do circuito, é possível avaliar a atuação de um protótipo real na bancada.

As simulações por computador também foram de grande valia na análise do filtro “notch” implementado neste trabalho. O ajuste do filtro para a frequência de chaveamento do conversor depende de muitas variáveis, e com a ferramenta de simulação foi possível avaliar a influência de cada uma delas, conduzindo assim a um desenvolvimento otimizado do filtro “notch”.

Para confirmar realmente os estudos e as simulações, foi montado um protótipo de bancada de acordo com o projeto exposto no Capítulo 5. Além disso, alguns aspectos não previstos, tais como capacitâncias e indutâncias parasitas, só podem ser avaliados no protótipo, constituindo-se assim na única forma de melhoria contínua do projeto.

Portanto, neste capítulo serão apresentados alguns resultados obtidos por simulação além dos resultados experimentais obtidos em bancada.

6.2 - RESULTADOS DE SIMULAÇÃO

As simulações realizadas foram feitas com o auxílio do software de simulação PSpice. Para o circuito de potência foram utilizados modelos de componentes reais, para que os resultados fossem os mais próximos da situação real, enquanto que para o circuito de controle foi usado um artifício para emulação do circuito, uma vez que o software não possui um modelo do circuito integrado UC3854AN. O diagrama do circuito simulado é mostrado na Fig. 6.1, enquanto os parâmetros de simulação são dados pela Tabela 6.1.

Pela figura nota-se que o multiplicador do circuito integrado foi simulado através de um bloco que transforma tensão em corrente, através de uma equação dada. Além disso, o amplificador de corrente interno do integrado teve que ser modelado, uma vez que o simulador não tinha um componente equivalente. Na figura, os terminais FB+, FB- e OUT são as entradas e a saída do amplificador. Os sinais dente-de-serra são gerados através de uma fonte programável (V_{pulse}) e os comparadores são os mesmos usados no projeto.

Os resultados obtidos nas simulações são apresentados a seguir. A Fig. 6.2 mostra as formas de onda da tensão e corrente drenada da fonte, mostrando que a corrente de entrada permanece senoidal e em fase com a tensão de entrada. Já na Fig. 6.3 são expostas as correntes não-filtrada (parte superior) e filtrada (parte inferior), em que pode ser vista a atuação do filtro sintonizado na diminuição do “ripple” da corrente de entrada.

A Fig. 6.4 mostra as correntes filtrada e não-filtrada ampliadas e sobrepostas, para facilitar a visualização do desempenho do filtro sintonizado. Ainda com foco na atuação do filtro, as correntes nos indutores L_{CC} , L_{CA} e no transformador, I_L , são mostradas na Fig. 6.5, onde pode ser visto que a corrente de entrada é formada subtraindo-se a corrente em L_{CA} da corrente pelo transformador, I_L .

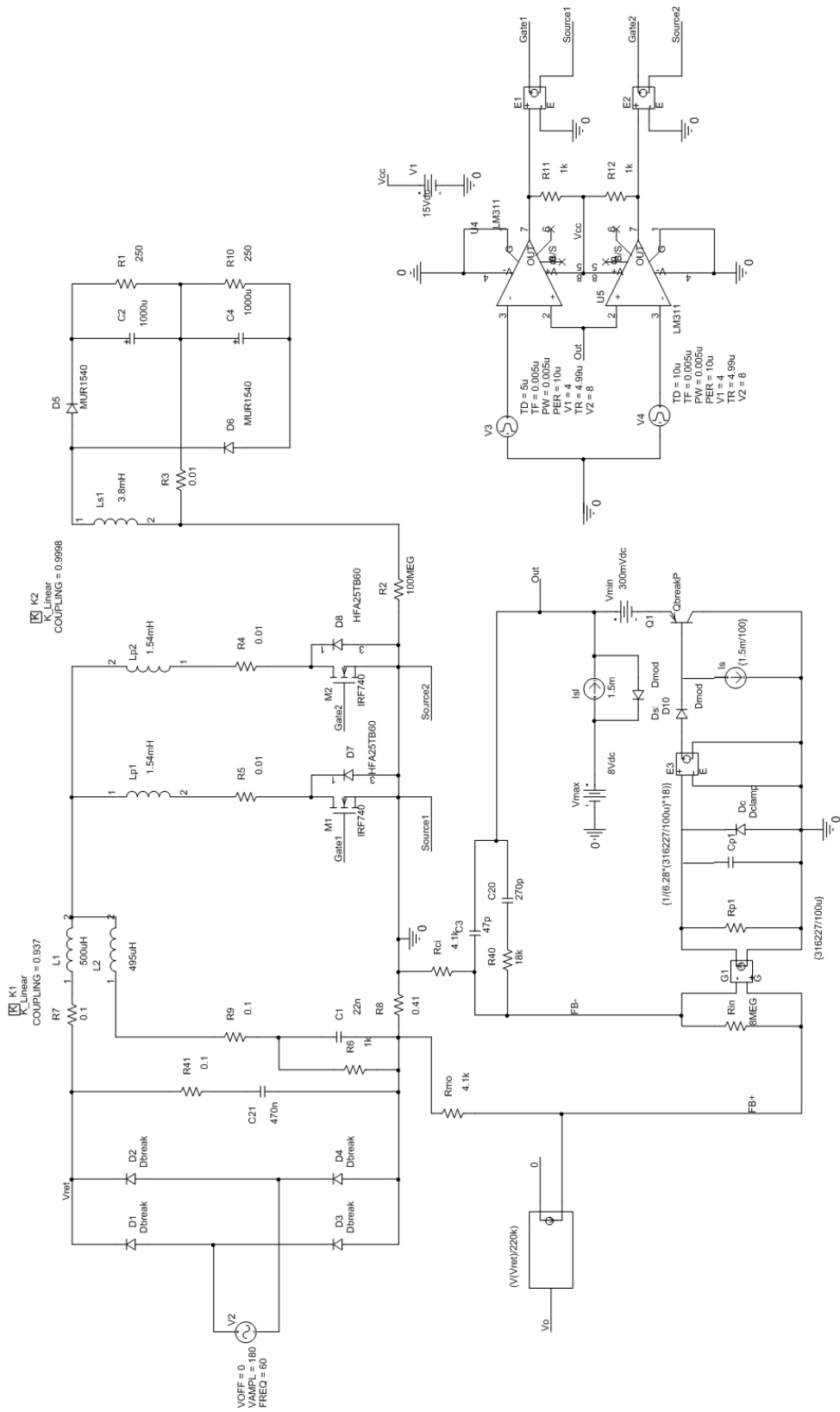


Fig. 6.1 – Diagrama esquemático do circuito simulado.

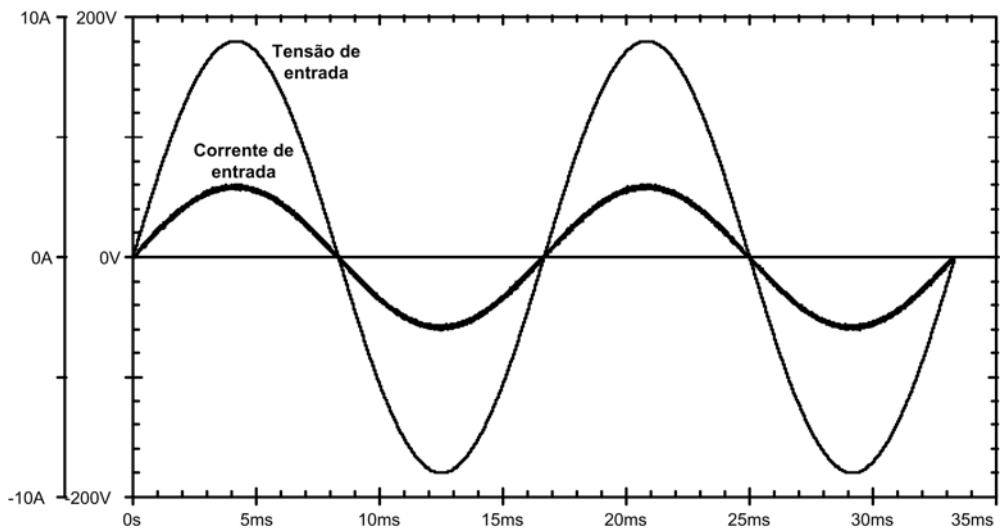


Fig. 6.2 – Tensão e corrente de entrada

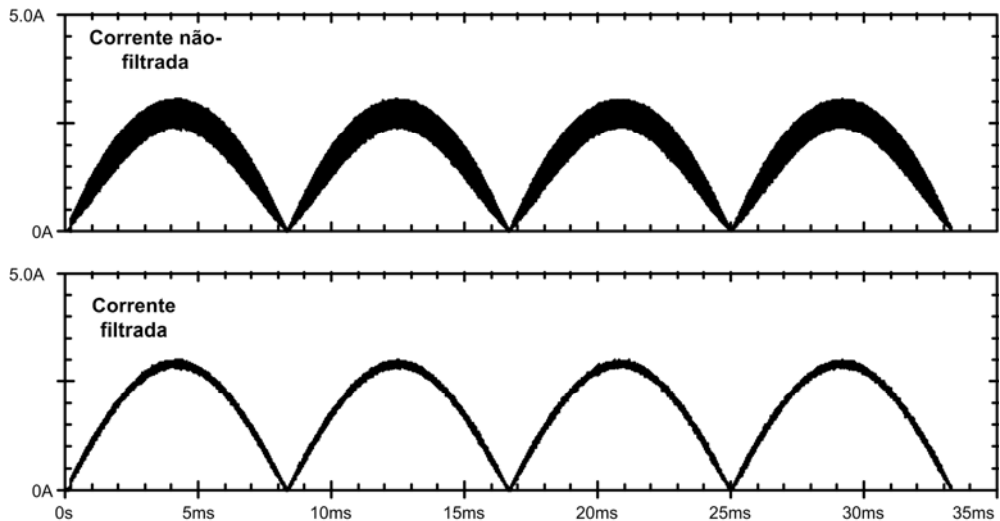


Fig. 6.3 – Corrente de entrada retificada não-filtrada (curva superior) e filtrada (curva inferior).

Analisando o circuito do filtro sintonizado no domínio da frequência, ou seja, simulando o ganho do circuito em função da frequência do sinal, obtém-se o gráfico da Fig. 6.6, em que pode ser vista uma atenuação bem maior na frequência de ajuste do filtro, 200 kHz (dobro da frequência de chaveamento para esta simulação).

A tensão aplicada aos semicondutores de potência, bem como a corrente que passa através dos mesmos são formas de onda importantes para o projeto. As figuras Fig. 6.7 e Fig. 6.8 mostram as formas de onda nas chaves e nos diodos de saída, respectivamente.

A título de ilustração são mostrados na Fig. 6.9 tensão e corrente em um dos enrolamentos do primário do transformador.

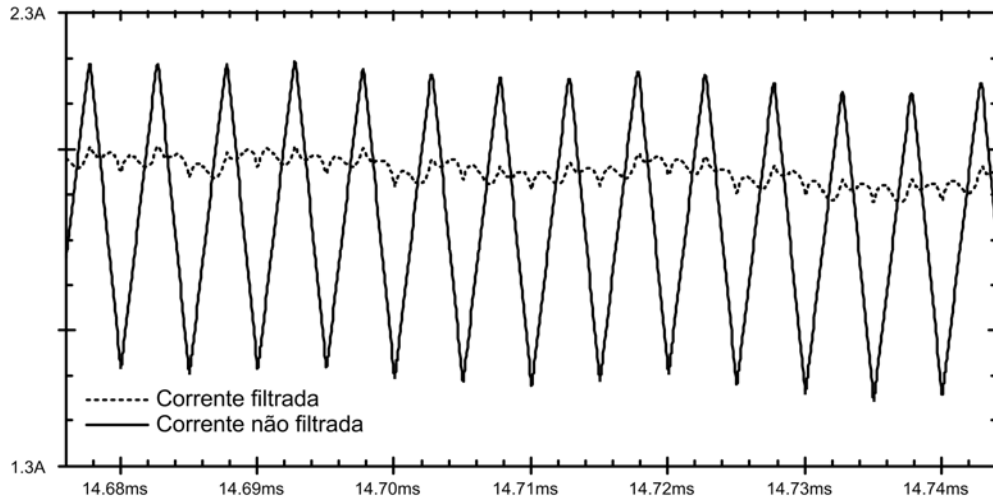


Fig. 6.4 – Imagem ampliada das correntes de entrada filtrada e não-filtrada.

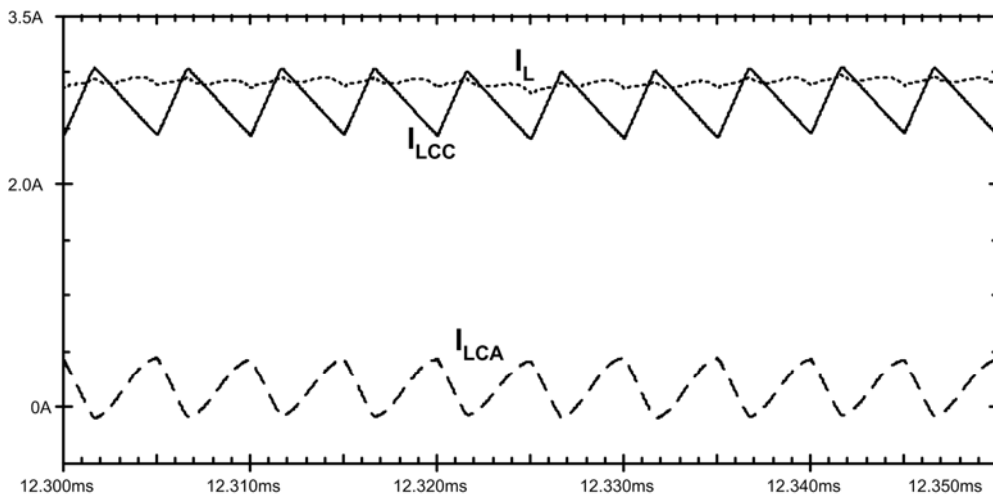


Fig. 6.5 – Correntes presentes no filtro sintonizado.

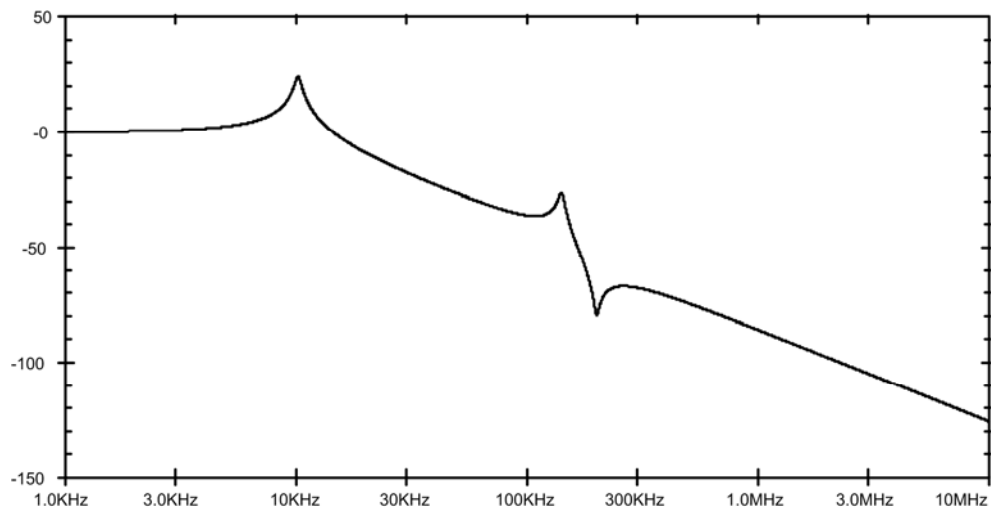


Fig. 6.6 – Resposta em frequência da atuação do filtro sintonizado.

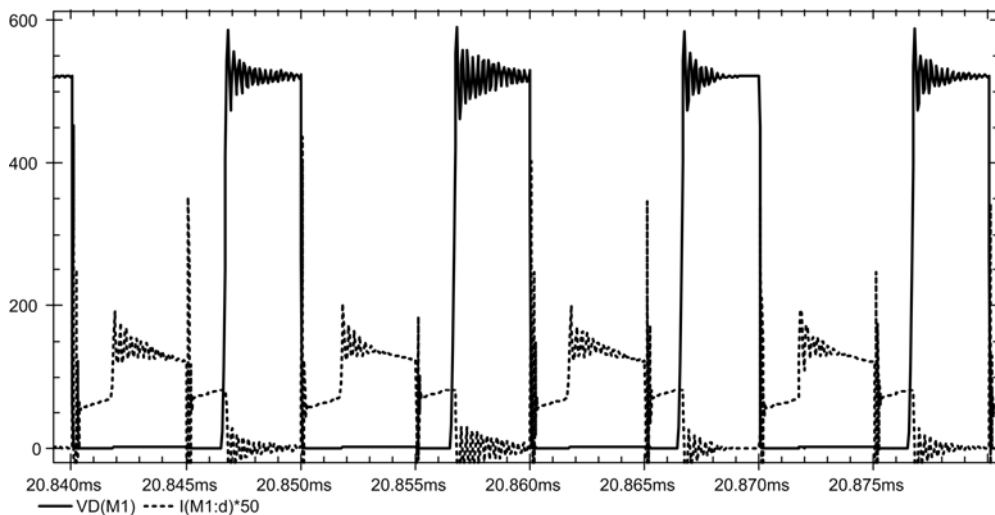


Fig. 6.7 – Tensão e corrente nas chaves do circuito de potência.

Observando as formas de onda representadas na Fig. 6.7 nota-se que a tensão sobre a chave tem um valor alto, como era esperado por se tratar de uma topologia push-pull. As oscilações vistas se devem a indutâncias parasitas no circuito, o que constitui um problema uma vez que os altos picos de tensão podem danificar o semicondutor. Portanto, através dessa simulação percebe-se a necessidade da adição de circuitos para evitar essa situação. Esses circuitos podem ser “snubbers”, grampeadores de tensão ou mesmo soluções não-dissipativas.

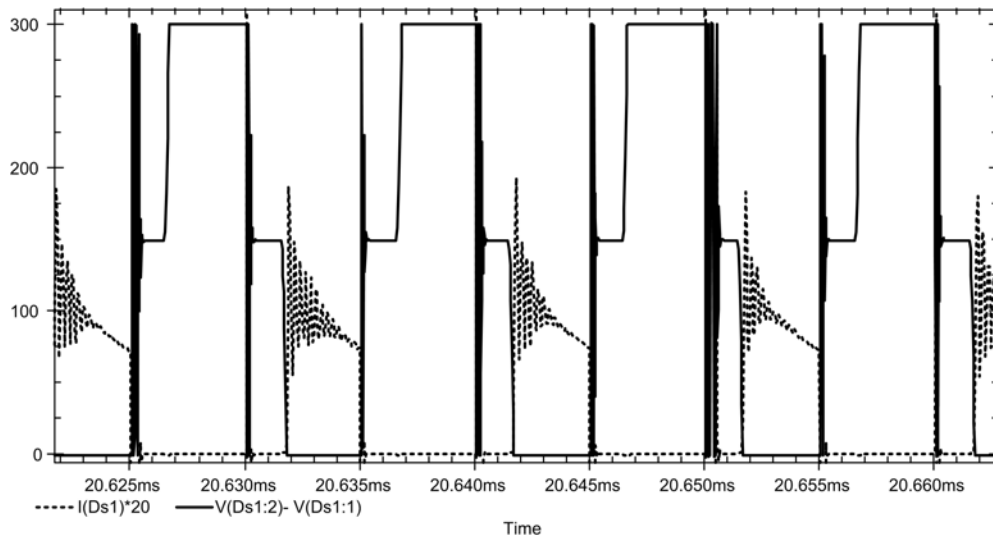


Fig. 6.8 – Tensão e corrente nos diodos de saída do conversor.

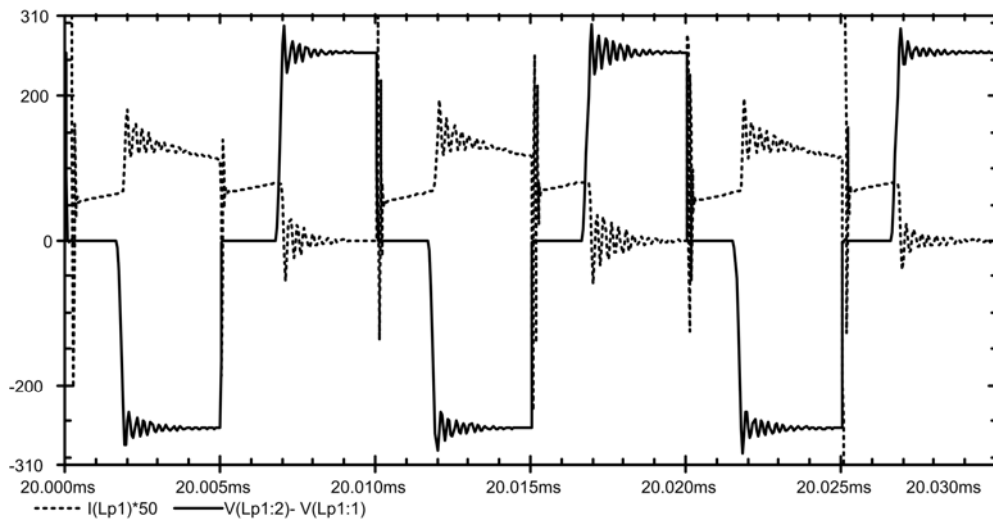


Fig. 6.9 – Tensão e corrente no enrolamento P_1 do transformador de isolamento.

6.3 - RESULTADOS EXPERIMENTAIS

Os resultados experimentais foram obtidos a partir de um protótipo construído de acordo com o projeto descrito no Capítulo 5. A Fig. 6.10 exibe uma foto do protótipo em questão, mostrando a montagem prática do circuito.

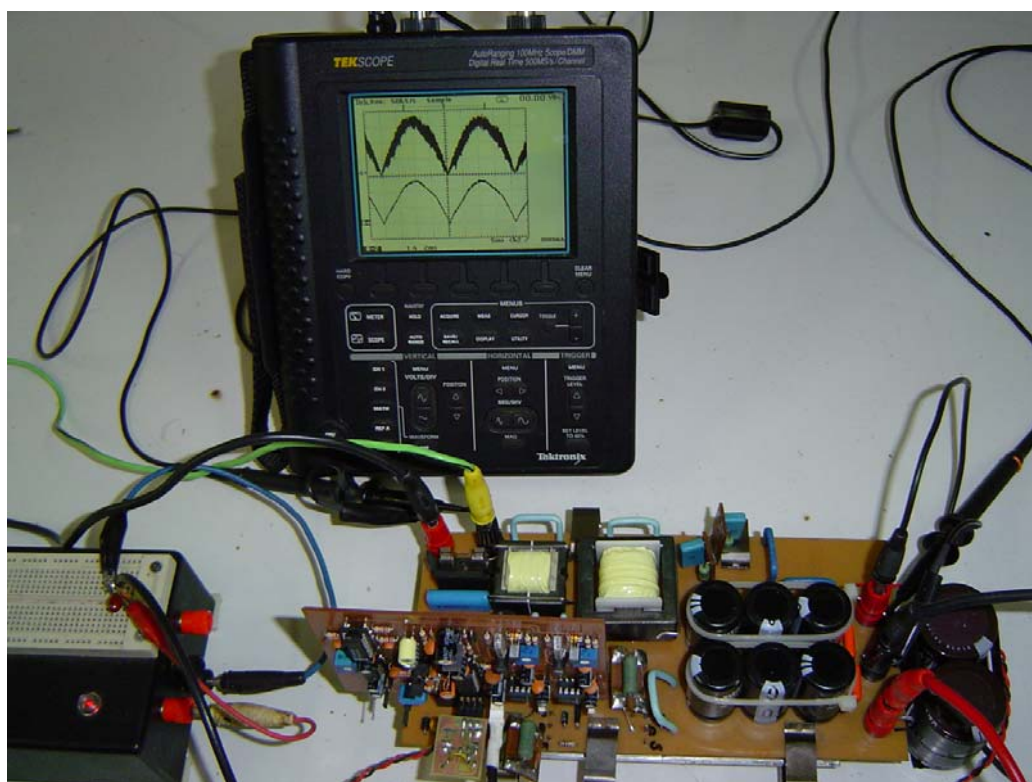


Fig. 6.10 – Foto do protótipo do conversor Push-Pull Boost com filtro passivo sintonizado.

As principais especificações de projeto para o conversor são mostradas a seguir na Tabela 6.1.

Tabela 6.1 – Principais especificações de protótipo.

Nome	Símbolo	Valor
Tensão de entrada	V_{en}	127 V _{CA}
Tensão de saída	V_0	± 125 V _{CC}
Potência de saída	P_0	250 W
Frequência de chaveamento	f_s	100 kHz
Indutor de entrada	L_{CC}	498 μ H
Indutor acoplado	L_{CA}	492 μ H
Capacitor de saída	C_0	1500 μ F
Capacitor de filtro	C_{f1}	68 nF
Capacitor de filtro	C_{f2}	470 nF

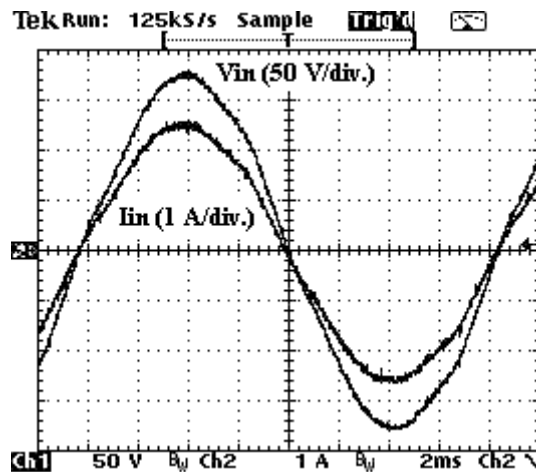


Fig. 6.11 – Tensão e corrente de entrada do conversor (50 V/div.; 1 A/div.; 2 ms/div.).

A Fig. 6.11 mostra tensão e corrente drenada da fonte, evidenciando a correção do fator de potência. Nota-se também que o “ripple” da corrente de entrada é praticamente nulo, de acordo com as simulações realizadas. Pode ser visto também que a forma de onda de corrente apresenta uma certa distorção, que não decorre da atuação do conversor. Como o conversor toma a tensão de entrada retificada como referência para a corrente, se a tensão for previamente distorcida, a corrente também o será.

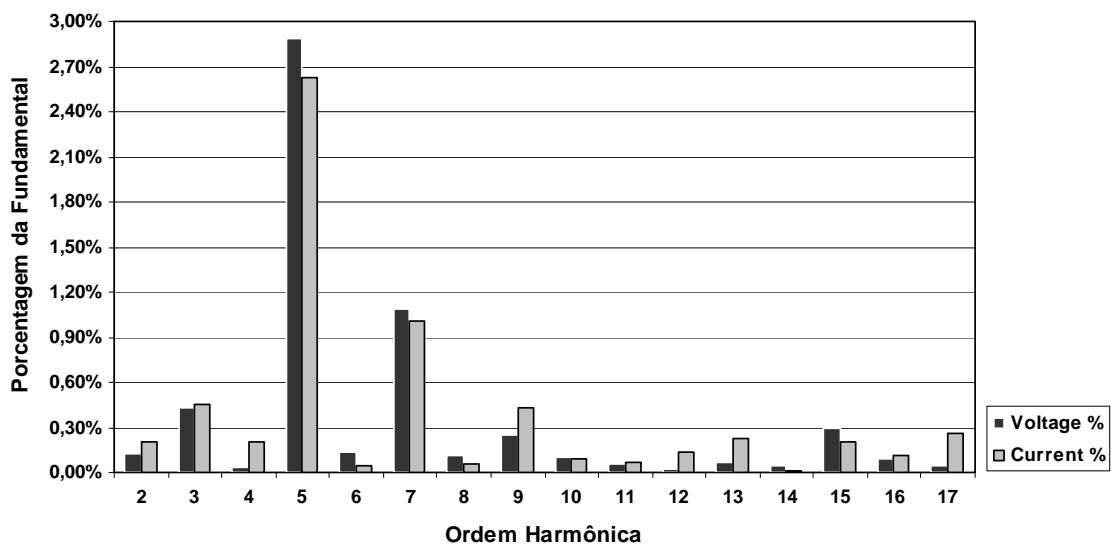


Fig. 6.12 – Representação das frequências harmônicas presentes na tensão e corrente de entrada.

As análises de harmônicos foram feitas utilizando-se o software WaveStar do fabricante Tektronix, fornecendo uma taxa de distorção harmônica total de 2,97 % e um fator de potência de 0,995 para a corrente de entrada, o que são ótimos resultados para topologias de estágio único. Além disso, comparando-se os resultados mostrados na Fig. 6.12 com a Tabela 1.1 da norma IEC61000, pode ser visto que este resultado está perfeitamente de acordo com a norma.

Investigando a atuação do filtro sintonizado, foram obtidas formas de onda da corrente de entrada retificada filtrada e não-filtrada, como mostra a Fig. 6.13.

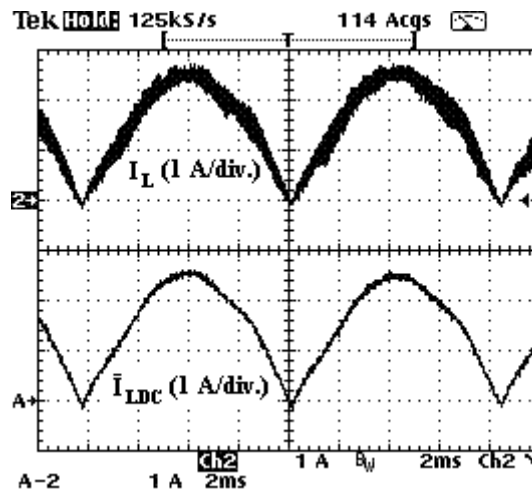


Fig. 6.13 – Corrente de entrada não-filtrada (I_L) e filtrada (I_{LDC}) (1 A/div.; 2 ms/div.).

Com o filtro bem ajustado na frequência de chaveamento é notável a redução do “ripple” da corrente. Se for feito um “zoom” nas correntes que passam pelos indutores acoplados L_{CC} , L_{CA} e na corrente I_L , tem-se a Fig. 6.14, que está de acordo com a simulação feita mostrada na Fig. 6.5.

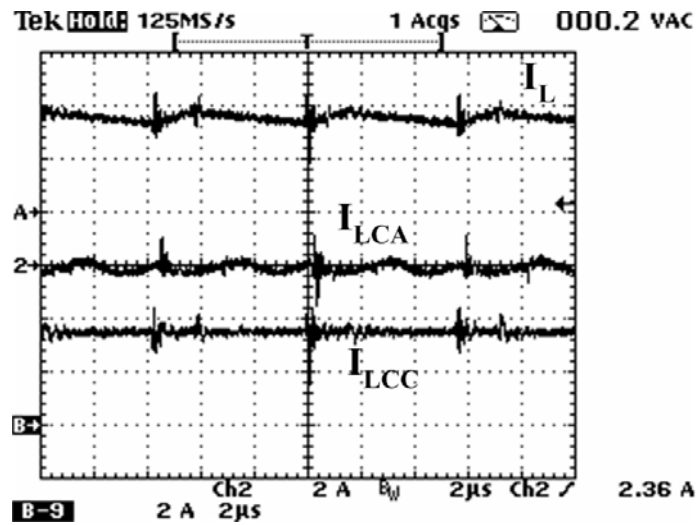


Fig. 6.14 – Correntes presentes no filtro sintonizado (2 A/div.; 2 μ s/div.).

Uma vez que os indutores selecionados em projeto são de alto valor, a atuação do filtro pode ser questionada por apresentar naturalmente um “ripple” pequeno, da ordem de 20% da corrente nominal. Para verificar essa questão, o valor dos indutores acoplados foi diminuído drasticamente através do aumento exagerado do entreferro do núcleo utilizado. Dessa forma, a eficácia do filtro seria testada em condições mais severas. A Fig. 6.15 mostra as correntes I_L e I_{LCC} para este ensaio.

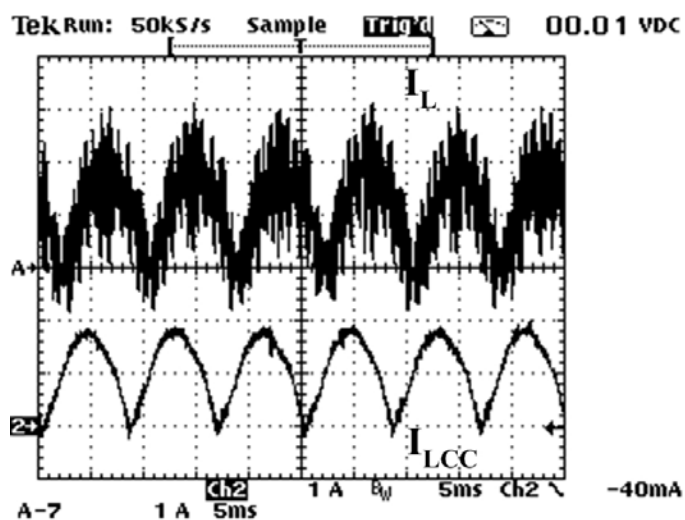


Fig. 6.15 – Correntes filtrada (I_{LCC}) e não-filtrada (I_L) com indutor de menor valor (1 A/div.; 5 ms/div.).

Dessa figura pode ser extraída uma importante característica do filtro sintonizado: apesar da corrente não estar no modo de condução descontínuo, tudo indica que o filtro funciona perfeitamente neste modo de condução. Isso leva a conclusão de que conversores funcionando no modo descontínuo podem se valer do filtro para corrigirem o fator de potência naturalmente com maior qualidade, sem a necessidade de um controle de corrente complexo. Dessa forma, o conversor pode ter alto fator de potência, baixíssimo “ripple”, melhor regulação e resposta dinâmica mais rápida.

Para uma melhor visualização, a Fig. 6.16 mostra as correntes I_L e I_{LCC} ampliadas.

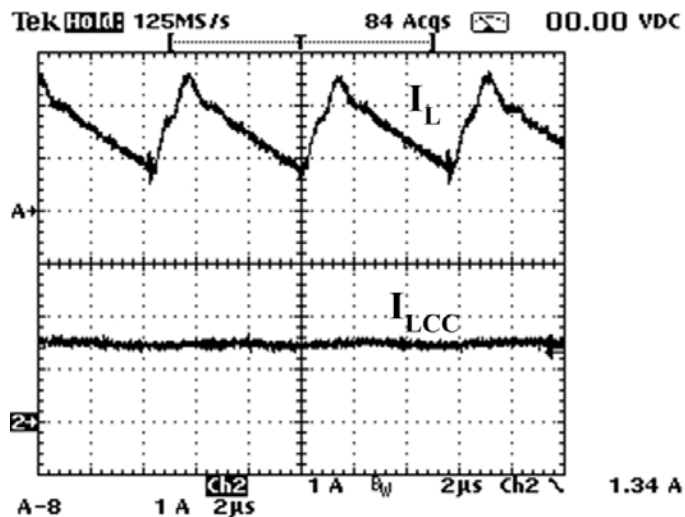


Fig. 6.16 – Correntes I_L e I_{LCC} ampliadas (1 A/div.; 2 μ s/div.).

Além das formas de onda de tensão e corrente de entrada, os dados relativos aos semicondutores também são de grande importância durante a fase experimental do trabalho. Assim, a Fig. 6.17 apresenta tensão e corrente na chave semicondutora, enquanto a Fig. 6.18 mostra tensão e corrente em um dos diodos de saída.

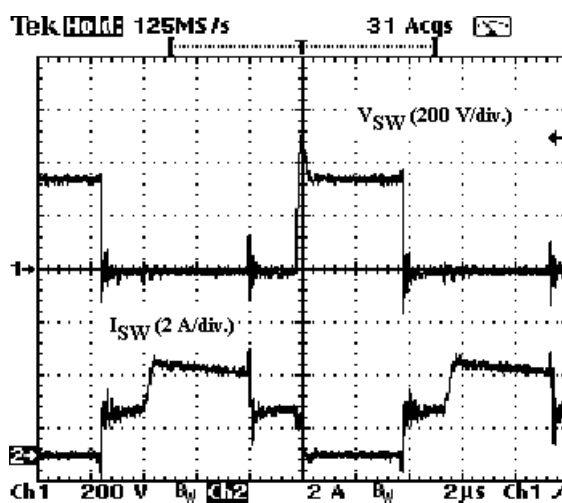


Fig. 6.17 – Tensão (V_{SW}) e corrente (I_{SW}) na chave semicondutora (200 V/div.; 2 A/div.; 2 μs/div.).

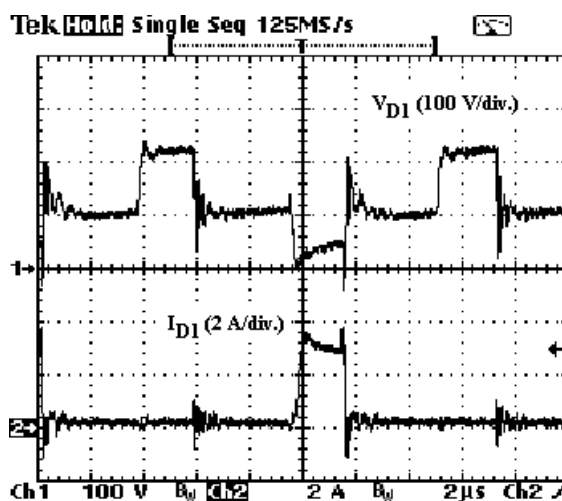


Fig. 6.18 – Tensão (V_{D1}) e corrente (I_{D1}) no diodo de saída (100 V/div.; 2 A/div.; 2 μs/div.).

Como mencionado anteriormente, uma das principais limitações do conversor Push-Pull Boost é a alta tensão sobre a chave, além dos altos picos de tensão causados pela indutância de dispersão do transformador. Pela Fig. 6.17 nota-se o alto pico de tensão na chave, mesmo depois da adição de “snubbers” do tipo RC.

Com relação ao circuito de controle, algumas formas de onda importantes também foram observadas, tais como sinais de comando para as chaves, sinal de controle gerado pelo circuito integrado UC3854AN e os sinais dente-de-serra comparados com o sinal de controle. As figuras a seguir mostram as formas de onda obtidas.

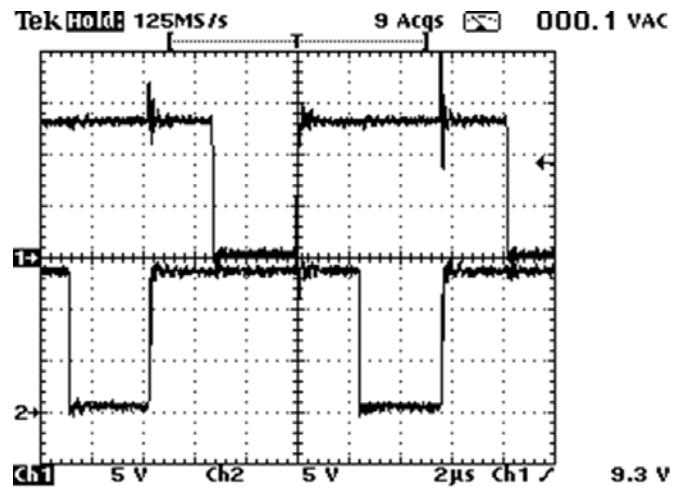


Fig. 6.19 – Pulsos de comando das chaves gerados pelo circuito de controle.

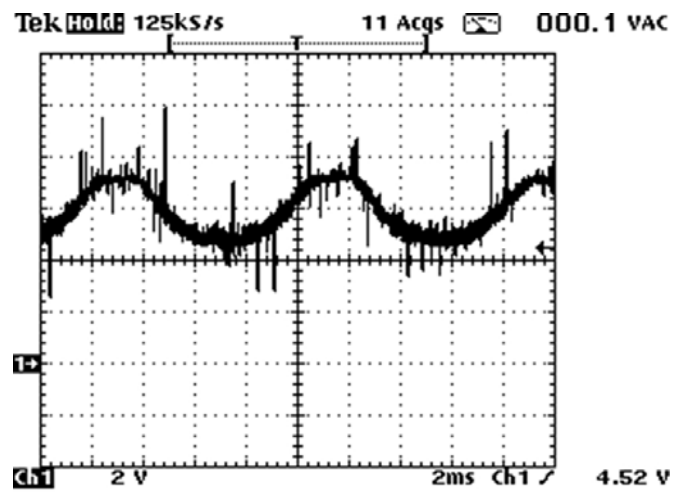


Fig. 6.20 – Sinal de controle observado no terminal 3 do integrado UC3854AN.

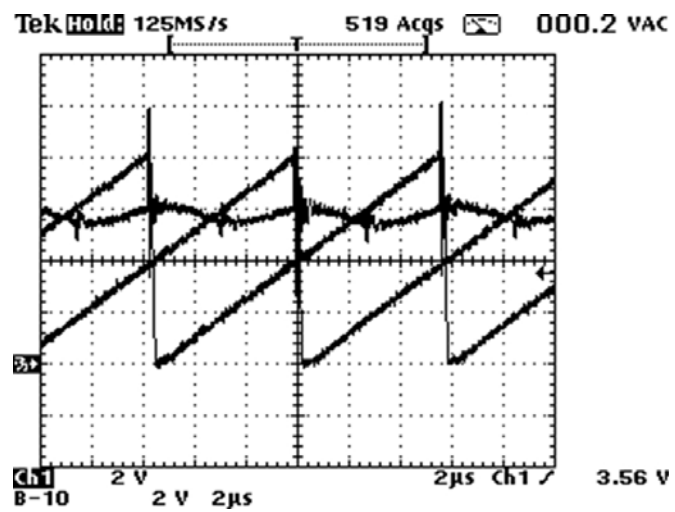


Fig. 6.21 – Comparação entre os dois sinais dente-de-serra com sinal de controle mostrado na Fig. 6.20.

Com o intuito de avaliar a capacidade de regulação do circuito de controle, bem como sua resposta dinâmica, foram feitos ensaios de aplicação de um degrau de carga de 50% ao conversor, observando-se a tensão e corrente de saída e a variação da corrente de entrada. Os resultados obtidos são mostrados a seguir.

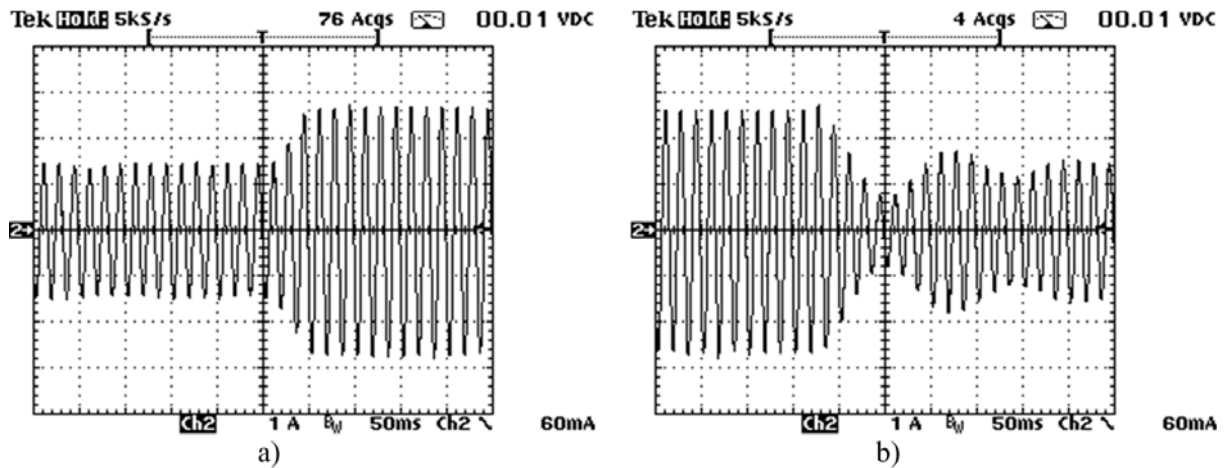


Fig. 6.22 – Variação da corrente de entrada frente a um aumento de carga de 50% (a) e frente a uma diminuição de 50% da carga (b).

Nota-se que durante a retirada de carga o sistema de controle oscila por um certo período, indicando ser necessária uma dedicação maior ao projeto do circuito em relação a esse quesito.

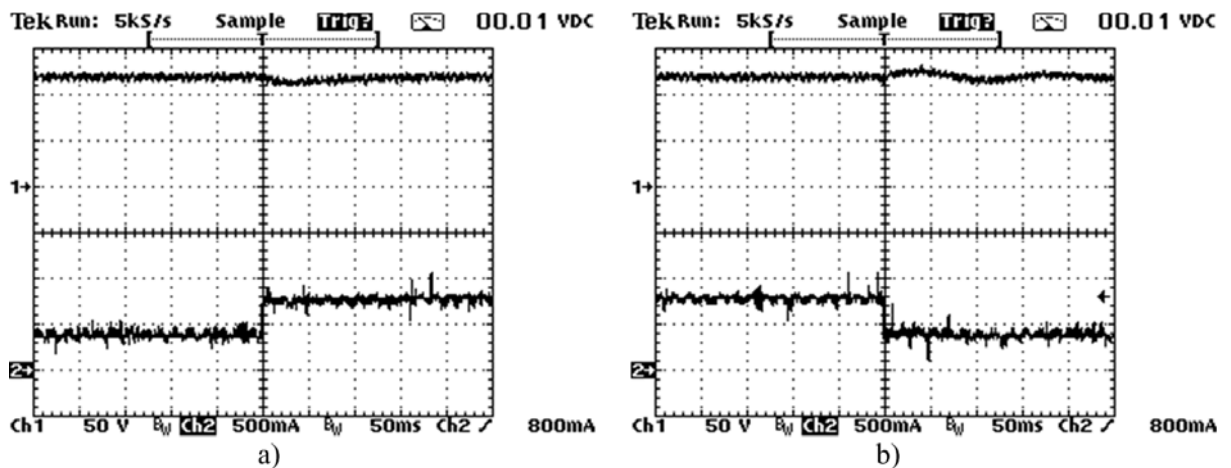


Fig. 6.23 – Variação da tensão de saída (canal 1, 50 V/div.) diante de um aumento de carga de 50% (a) e com uma retirada de carga de 50% (b).

Pode ser visto na figura que a regulação é razoável, mas a oscilação da tensão também se faz presente. Portanto, deve-se aprimorar o controle no sentido de melhorar a resposta dinâmica do circuito, mesmo que para isso o fator de potência e a taxa de distorção harmônica sejam um pouco comprometidos. O ideal é encontrar o ponto de equilíbrio entre as duas situações, para um melhor desempenho.

Para finalizar, foi medido também o rendimento do conversor Push-Pull Boost com variação de carga de 30% a 100% da carga nominal. A Fig. 6.24 expõe o gráfico com o resultado das medições.

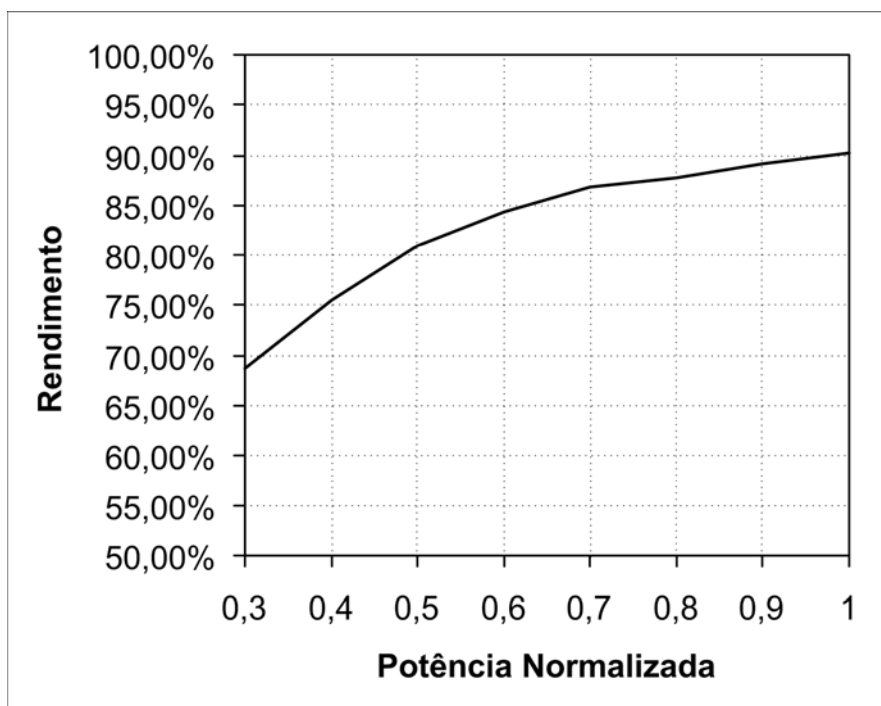


Fig. 6.24 – Gráfico do rendimento do conversor para variações de carga de 30% a 100%.

O baixo rendimento para cargas leves pode ser explicado pela aplicação de “snubbers” dissipativos nas chaves de potência. A potência dissipada em circuitos RC é proporcional ao quadrado da tensão sobre o capacitor, portanto é independente do carregamento do circuito. Sendo assim, a potência dissipada nos “snubbers” é constante ao longo da variação da carga aplicada, o que justifica o resultado.

Diante disso, torna-se extremamente interessante o estudo de métodos não-dissipativos aplicáveis a este tipo de conversor, para que o conversor tenha também uma alta eficiência dentre suas características positivas.

6.4 - CONCLUSÃO

Foram apresentados os resultados obtidos via simulação por computador e via ensaio de protótipo para o conversor proposto. As principais formas de onda observadas em simulação foram verificadas pelos resultados obtidos do protótipo. Além disso, medições das componentes harmônicas da corrente de entrada demonstraram a capacidade do controle utilizado em conjunto com a utilização do filtro sintonizado. A taxa de distorção harmônica obtida e o alto fator de potência demonstram que conversores de estágio único podem ser simples, de baixo custo e apresentar alto desempenho.

Pelos resultados pôde ser observada também a necessidade de aprofundamento dos estudos para melhoramento da capacidade de resposta dinâmica do conversor. Através de ajustes no sistema de controle é perfeitamente possível conciliar resposta dinâmica com a correção do fator de potência, que são objetivos contrastantes nesse tipo de conversor.

Observou-se também a necessidade de estudos posteriores para a aplicação de métodos não-dissipativos ao conversor, no sentido de melhorar o rendimento e a eficiência do sistema como um todo.

CAPÍTULO 7

CONCLUSÃO GERAL

Um estudo sobre conversores CA-CC de estágio único para correção do fator de potência foi apresentado neste trabalho. Para isto, foi utilizada uma topologia Push-Pull Boost com o emprego de um filtro passivo sintonizado no controle da injeção de harmônicos de alta frequência na rede. Através desse método foi obtido alto fator de potência, baixa distorção harmônica e alta eficiência no processamento de energia. Além disso, a topologia proporciona isolamento galvânico, proteção contra sobrecarga e saída de tensão simétrica, desejável em sistemas que utilizam um inversor na saída.

Foram feitas análises qualitativas e quantitativas do conversor proposto, bem como um projeto detalhado para seleção dos componentes. O funcionamento do filtro passivo utilizado foi detalhado no intuito de ampliar os conhecimentos sobre este tipo de aplicação e difundir o seu uso, uma vez que este pode ser aplicado a qualquer conversor CC-CC para diminuição do “ripple” de corrente. Um detalhamento maior do circuito de controle utilizado foi necessário visando ampliar a utilização dos métodos empregados e aumentar os conhecimentos sobre o circuito integrado UC3854AN.

Ainda dentro desta proposta, resultados práticos e de simulação foram exibidos com detalhe para comprovar as afirmativas feitas ao longo do trabalho.

De maneira geral, os resultados comprovam a viabilidade do conversor de estágio único frente a outras proposições estudadas no início do trabalho. Alguns dos problemas e limitações observados em outros métodos de correção do fator de potência foram

solucionados e, os problemas decorrentes da aplicação dessas soluções, constituem novas fontes de pesquisa e sugestões para trabalhos futuros.

Dentro dessas sugestões destaca-se a necessidade de aprimorar o circuito de controle no sentido de melhorar a resposta dinâmica do conversor. Além disso, estudos na área de comutação não-dissipativa e “snubbers” não-dissipativos se mostram necessários para controlar os problemas advindos da própria topologia. Outra linha de estudos é a utilização do circuito nas áreas de aplicação para avaliar os impactos, benefícios e desvantagens deste tipo de conversor em um sistema mais complexo, a exemplo de um sistema UPS. Outra sugestão é avaliar o funcionamento da montagem operando no modo de condução descontínua, visando utilização de um sistema de controle mais simples, robusto e que proporcione melhores características dinâmicas, visto que nesse modo a correção do fator de potência é automática e as grandes variações de corrente são amenizadas pela presença do filtro passivo sintonizado.

REFERÊNCIAS BIBLIOGRÁFICAS

- [1] Andreycak, B. “Optimizing Performance in UC3854 Power Factor Correction Applications”, Design Note 39E, Texas Instruments, 1999.
- [2] Andreycak, B. “UC3854A and UC3854B Advanced Power Factor Correction ICs”, Design Note 44, Texas Instruments, 1999.
- [3] Apostila de acionamentos eletrônicos e anotações de aula, UFU, 2003 – Uberlândia - MG.
- [4] Balogh, Laszlo “UC3854 A/B and UC3855 A/B Provide Power Limiting with Sinusoidal Input Current for PFC Front Ends”, Design Note 66, Texas Instruments, 2001.
- [5] Chow, M.H.L.; Siu, K.W.; Tse, C.K.; Yim-Shu Lee “A novel method for elimination of line-current harmonics in single-stage PFC switching regulators”, in IEEE Transactions on Power Electronics, Vol. 13, Jan. 1998, pp. 75-83.
- [6] Cristóvão, A.B. “Um Conversor Boost com Comutação Suave Aplicado a um Sistema Ininterrupto de Energia”, Dissertação de Mestrado, UFU, 2005.
- [7] Dixon, L.H. “Transformer and Inductor Design for Optimum Performance”, Seminar 1500, Texas Instruments, 2003.
- [8] Erickson, R. W.; Maksimovic, D. “Fundamentals of Power Electronics”, Norwell – USA, 2nd edition, Kluwer Academic Publishers, 2001.
- [9] Fairchild Semiconductor “CD4528BC – Dual Monostable Multivibrator”, Product Datasheet, Fairchild Semiconductor, 2000.

- [10] Garcia, O.; Cobos, J.A.; Alou, P.; Prieto, R.; Uceda, J. "A simple single-switch single-stage AC/DC converter with fast output voltage regulation", in IEEE Transactions on Power Electronics, Vol. 17, March 2002, pp.163-171.
- [11] Gerry Moschopoulos and Praveen Jain "Single-Phase Single-Stage Power-Factor-Corrected Converter Topologies", in IEEE Transactions on Industrial Electronics, Vol. 52, February 2005, pp. 23-34.
- [12] Hamill, D.C.; Krein, P.T. "A 'zero' ripple technique applicable to any DC converter", in Power Electronics Specialists Conference, 1999, pp. 1165-1171, vol.2.
- [13] Huai Wei; Batarseh, I.; Guangyong Zhu; Kornetzky, P. "A single-switch AC-DC converter with power factor correction", in IEEE Transactions on Power Electronics, Vol. 15, May 2000, pp. 421-430.
- [14] Huber, L.; Jindong Zhang; Jovanovic, M.M.; Lee, F.C. "Generalized topologies of single-stage input-current-shaping circuits", in IEEE Transactions on Power Electronics, Vol. 16, July 2001 pp. 508-513.
- [15] Huber, L.; Jovanovic, M.M. "Single-stage single-switch input-current-shaping technique with fast-output-voltage regulation", in IEEE Transactions on Power Electronics, Vol. 13, May 1998, pp. 476-486.
- [16] Jiang, Y.; Lee, F.C.; Hua, G.; Tang, W. "A novel single-phase power factor correction scheme", in Applied Power Electronics Conference and Exposition, 1993, pp. 287-292.
- [17] Jing Wang; Dunford, W.G.; Mauch, K. "Analysis of a ripple-free input-current boost converter with discontinuous conduction characteristics", in IEEE Transactions on Power Electronics, Vol. 12, July 1997, pp. 684-694.

- [18] Melo, L.F.P. “Análise e Projeto de Fontes Chaveadas”, São Paulo-SP, 1ª edição, Editora Érica LTDA, 1996.
- [19] Motorola “LM311 High Performance Voltage Comparators”, Product Datasheet, Motorola, 1996.
- [20] National Semiconductor “LM555 – Timer”, Product Datasheet, National Semiconductor, 2000.
- [21] Pressman, A. “Switching Power Supply Design”, New York, 2nd edition, McGraw-Hill, 1991.
- [22] Qiao, C.; Smedley, K.M. “A topology survey of single-stage power factor corrector with a boost type input-current-shaper”, in IEEE Transactions on Power Electronics, Vol. 16, May 2001, pp. 360-368.
- [23] Redl, R.; Balogh, L. “Design considerations for single-stage isolated power-factor-corrected power supplies with fast regulation of the output voltage”, in Applied Power Electronics Conference and Exposition, 1995, pp. 454-458, vol.1.
- [24] Rong-Tai Chen; Yung-Yaw Chen “A novel single stage push pull converter with integrated magnetics and ripple-free input current”, in Power Electronics Specialists Conference, 2004, pp. 3848-3853, vol.5.
- [25] Rustom, K.; Batarseh, I. “Recent Advances in Single-Stage Power Factor Correction”, in IEEE International Conference, 2003, pp. 1089-1095, vol.2.
- [26] Santos, A.H.M. et al “Conservação de Energia: Eficiência Energética de Instalações e Equipamentos”, Itajubá, MG, 3ª edição, FUPAI, 2001.
- [27] Severns, R.P.; Bloom, G.E. “Modern DC-to-DC Switchmode Power Converter Circuits”, New York: Van Nostrand Reinhold, 1985.

- [28] Texas Instruments “Inductor and Flyback Transformer Design”, Magnetic Seminar MAG100A, Texas Instruments, 2000.
- [29] Texas Instruments “UCC37324 Dual 4A Peak High Speed Low-Side power Mosfet Drivers”, Product Datasheet, Texas Instruments, 2001.
- [30] Texas Instruments “Advanced High-Power Factor Preregulator”, Datasheet, Texas Instruments, 2003.
- [31] Todd, P.C. “Snubber Circuits: Theory, Design and Application”, Unitrode Seminars, Texas Instruments, 1993.
- [32] Todd, “UC3854 Controlled Power Factor Correction Circuit Design”, Application Note U-134, Texas Instruments, 1999.
- [33] Tofoli, F.L.; Demian, A.E., Jr.; Gallo, C.A.; Vincenzi, F.R.; Coelho, E.A.A.; de Freitas, L.C.; Farias, V.J.; Vieira, J.B., Jr. “Proposal of a switched mode power supply employing a quadratic boost converter and a new topology of soft-switched two-switch forward converter”, in Applied Power Electronics Conference and Exposition, 2004, pp. 1384-1388, vol.3.
- [34] Torrico Bascopé, G.V.; Barbi, I. “Isolated flyback-current-fed push-pull converter for power factor correction”, in Power Electronics Specialists Conference, 1996, pp. 1184-1190, vol.2.
- [35] Wu, T.-F.; Wu, Y.-J.; Liu, Y.-C. “Development of converters for improving efficiency and achieving both power factor correction and fast output regulation”, in Applied Power Electronics Conference and Exposition, 1999, pp. 958-964, vol.2.

- [36] Wu, T.-F.; Yu, T.-H.; Liu, Y.-C. "Principle of synthesizing single-stage converters for off-line applications", in Applied Power Electronics Conference and Exposition, 1998, pp. 427-433, vol.1.
- [37] Yu-Ming Chang; Jia-You Lee; Kuan-Hui Fang "Design and analysis of a novel soft-switched push-pull boost converter", in Power Conversion Conference, 1997, pp. 295-300, vol.1.
- [38] Zhengyu Lu; Huiming Chen; Zhaoming Qian; Green, T.C. "An improved topology of boost converter with ripple free input current", in Applied Power Electronics Conference and Exposition, 2000, pp. 528-532, vol.1.