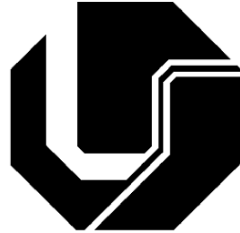


UNIVERSIDADE FEDERAL DE UBERLÂNDIA
FACULDADE DE ENGENHARIA ELÉTRICA
PÓS-GRADUAÇÃO EM ENGENHARIA
ELÉTRICA



ANÁLISE E DESENVOLVIMENTO DE UM NOVO
CONVERSOR CA-CC HÍBRIDO MONOFÁSICO COM
CONTROLE DIGITAL BASEADO EM DSP

GUSTAVO BRITO DE LIMA

JULHO
2011

**UNIVERSIDADE FEDERAL DE UBERLÂNDIA
FACULDADE DE ENGENHARIA ELÉTRICA
PÓS-GRADUAÇÃO EM ENGENHARIA
ELÉTRICA**

**ANÁLISE E DESENVOLVIMENTO DE UM NOVO CONVERSOR
CA-CC HÍBRIDO MONOFÁSICO COM CONTROLE DIGITAL
BASEADO EM DSP**

Gustavo Brito de Lima¹

Dissertação de mestrado submetida à Universidade Federal de Uberlândia – Núcleo de Pesquisas em Eletrônica de Potência (NUPEP), perante a banca de examinadores abaixo, como parte dos requisitos necessários para obtenção do título de Mestre em Ciências.

Banca Examinadora:

Luiz Carlos Gomes de Freitas, Dr. – Orientador (UFU)

Falcondes J. Mendes de Seixas, Dr. (FEIS-UNESP)

João Batista Vieira Júnior, Dr. (UFU)

Luiz Carlos de Freitas, Dr. (UFU)

¹ A Bolsa de Estudos, para esta pesquisa, foi concedida pela CAPES, Brasil.

*“O único lugar onde o sucesso vem antes do trabalho é no dicionário”
Albert Einstein*

Dedicatória

*Aos meus pais Antônio e Inês,
À minha irmã Gabriela,
Aos meus avós Antônio, Placídia, Raimundo e Francisca,
À minha namorada Camila,
À toda minha família por sempre acreditar na minha capacidade.*

Agradecimentos

Primeiramente quero agradecer a Deus por ter abençoado cada um dos meus dias, por sempre me iluminar, por sempre estar presente.

Ao professor orientador e amigo Luiz Carlos Gomes de Freitas pelo apoio, paciência, bons conselhos e principalmente pela confiança maciça que me impulsionou para chegar até aqui.

Ao professor Luiz Carlos de Freitas, o Pratinha, pelos conselhos sempre oportunos que, com toda certeza, foram ímpares para o desenvolvimento deste trabalho.

Ao meu pai, Antônio, minha mãe, Inês, minha irmã, Gabriela e meus avós que são o alicerce de tudo e, simplesmente, indispensáveis.

À minha namorada, Camila Mendonça, pela paciência, confiança e por estar sempre ao meu lado, em todos os momentos, e por fazer destes os melhores da minha vida.

À Vó Dalva, Osvaldo, Luisa, Mariana e Isabella por me acolher sempre e me dar a oportunidade de, mesmo longe de casa, me sentir em casa.

Aos meus amigos de trabalho Lucas, Willian, Vilefort, Paulo Henrique, Rafael Martins, Fabrício, Diógenes, Danillo, Admarço, Rafael Lodo, Natalia, Alexandre, Lucio, Fernando, Pedro, Vinicius, Marcelo, Leandro, Renato e todos os outros amigos de graduação.

Enfim, agradeço a todos aqueles que de forma direta ou indireta contribuíram o desenvolvimento deste trabalho.

Resumo

Este trabalho apresenta o desenvolvimento e análise experimental de uma nova estrutura de retificador híbrido monofásico, com elevado fator de potência (FP) e reduzida distorção harmônica de corrente (DHT_i) para aplicação como estágio pré-regulador de sistemas de alta potência. A estrutura proposta é composta por um retificador monofásico de onda completa não controlado convencional, associado em paralelo a um conversor chaveado não isolado. Destaca-se que o conversor monofásico chaveado é capaz de compor a corrente de entrada, proporcionando elevado FP e reduzida DHT_i, tal como nos pré-reguladores convencionais, porém, o conversor chaveado processa menos de 50% da potência total de saída, garantindo robustez e confiabilidade para a estrutura. Foram desenvolvidos dois protótipos de 1 kW e 10 kW com controle digital para imposição na rede CA de alimentação, em qualquer condição de carga. A técnica de controle PWM utilizada é capaz de limitar a contribuição do conversor chaveado e, ao mesmo tempo, impor uma corrente de entrada cujo espectro harmônico está em conformidade com os limites impostos pelas normas internacionais IEC61000-3-2 e IEC61000-3-4. Todo o estudo teórico, a análise matemática e os resultados experimentais obtidos são apresentados neste trabalho.

Palavras-chave

Correção do Fator de Potência, DSP, Distorção Harmônica Total, Retificadores Híbridos Monofásicos.

Abstract

This work presents the development and the experimental analysis of a new single-phase hybrid rectifier with high power factor (PF) and low harmonic distortion of current (THD_I), suitable for high power application. The proposed structure is composed by an ordinary single-phase diode rectifier with parallel connection of a switched converter. It is outlined that the switched converter is capable of composing the input line current waveform assuring high PF and low THD_I. However, the power rating of the switched converter is lesser than 50% of the total output power, assuring robustness and reliability for the proposed hybrid rectifier. Two prototypes rated at 1 kW and 10 kW were developed and analyzed in laboratory, using digital control technique. A PWM control strategy was implemented imposing quasi-sinusoidal line input current waveform and limiting the switched converter power contribution. It was found that the line input current harmonic spectrum is in accordance with the harmonic limits imposed by IEC61000-3-2 and IEC61000-3-4. The principle of operation, the mathematical analysis, and experimental results from a 1 kW and 10 kW prototypes are also presented in this work.

Key-words

Power Factor Correction, DSP, Total Harmonic Distortion, Single-Phase Hybrid Rectifiers.

SUMÁRIO

1. Introdução.....	20
1.1 Introdução Geral	20
1.2 Considerações iniciais	22
1.3 Estrutura da Dissertação	23
1.3.1 – Capítulo 2	23
1.3.2 – Capítulo 3	23
1.3.3 – Capítulo 4	23
1.3.4 – Capítulo 5	24
1.3.5 – Conclusões	24
1.3.6 – Anexos	24
2. Estado da Arte.....	25
2.1 Introdução Geral	25
2.2 Conversores CC-CC Básicos	25
2.3 Topologias Modificadas de Conversores PFC	27
2.3.1 – Conversor Boost Modificado	27
2.3.3 – Conversor Buck Modificado	32
2.4 Conversores PFC Operando em Paralelo	33
2.4.1 Conversores Flyback e Forward Operando em Paralelo.....	34

2.4.2 Retificador Híbrido Monofásico Proposto.....	35
2.5 Conclusão	38
3. Operação do Retificador Híbrido Monofásico Proposto....	39
3.1 Introdução Geral	39
3.2 Operação do Retificador Híbrido Monofásico	39
3.2.1 Etapas de Operação	41
3.3 Projeto do Retificador Não Controlado (Ret-1)	43
3.3.1 Dimensionamento Retificador não Controlado do Protótipo de 1 kW	46
3.3.2 Dimensionamento Retificador não Controlado do Protótipo de 10 kW.....	47
3.4 Projeto do Conversor Chaveado (Ret-2).....	48
3.4.1 Dimensionamento do Protótipo de 1 kW.....	48
3.4.2 Dimensionamento do Protótipo de 10 kW.....	49
3.5 Estratégia de Controle.....	50
3.6 Implementação da Estratégia de Controle.....	52
3.6.1 Processador de Sinais Digitais-DSP.....	53
3.6.2 DSP TMS320F28335 – Características Gerais.....	56
3.7 Fluxograma da Estratégia de Controle.....	59
3.7.1 Declaração das Variáveis	59
3.7.2 Configuração dos Registros do Sistema	62

3.7.3 Rotina de Interrupção.....	63
3.8 Conclusão	75

4. Modelagem Matemática e Resultados de Simulação

Computacional.....	77
---------------------------	-----------

4.1 Introdução Geral	77
4.2 Modelagem do Circuito de Potência do RHM Utilizando	
Variáveis de Estado.....	78
4.2.1 Circuito Equivalente para Interruptor Fechado	80
4.2.2 Circuito Equivalente para Interruptor Aberto	82
4.2.3 Vetor Resposta	83
4.3 Representação da Lógica de Controle Aplicada no Modelo	
Matemático	84
4.4 Solução do Modelo Matemático.....	86
4.5 Resultados de Simulação Utilizando o Modelo Matemático	88
4.6 Cálculo de Resistência de Pré-Carga	93
4.6.1 Matrizes características do circuito de pré-carga do	
capacitor de saída	94
4.6.2 Solução do Modelo Matemático.....	94
4.7 Resultados de Simulação Utilizando o Orcad®	96
4.8 Aplicação do Modelo Matemático na Implementação do	
Controle Digital	99

4.9 Conclusão.....	102
5. Resultados Experimentais.....	104
5.1 Introdução Geral	104
5.2 Diagrama Esquemático dos Protótipos de 1 kW e 10 kW	104
5.2.1 Placas de Aquisição de Sinal	105
5.2.2 Sensor de Temperatura	106
5.2.3 Conversão de Sinal.....	107
5.2.4 <i>Gate-Driver</i> SKHI 10/12.....	107
5.2.5 Circuito de Controle dos Contatores.....	108
5.3 Construção do Protótipo de 1 kW.....	112
5.3.1 Resultados Experimentais do Protótipo de 1 kW	117
5.4 Construção do Protótipo de 10 kW.....	121
5.4.1 Resultados Experimentais do Protótipo de 10 kW	126
5.5 Conclusão	132
6. Conclusões Gerais.....	133
Referências Bibliográficas	136
Apêndices	142

Lista de Figuras

2.1	Conversor boost <i>bridgeless</i> (a) simétrico e (b) assimétrico.....	29
2.2	Conversor boost com três níveis.....	30
2.3	Conversor boost PFC com célula de chaveamento com 3 estados..	31
2.4	Conversor SEPIC modificado.....	32
2.5	Conversor Buck modificado.....	33
2.6	Fluxo de potencia de conversores operando em modo (a) cascadeado e (b) paralelo.....	34
2.7	Conversores chaveados operando em paralelo.....	35
2.8	Arranjo topológico do retificador híbrido monofásico.....	36
3.1	Arranjo topológico do retificador híbrido monofásico.....	40
3.2	Formas de onda teóricas de corrente i_{L1} , i_{L2} , i_{in} . A forma de onda tracejada representa a tensão de entrada.....	41
3.3	Conversor SEPIC.....	48
3.4	Diagrama esquemático do circuito de controle.....	51
3.5	Aplicações do DSP.....	54
3.6	Diagrama de blocos digital.....	57
3.7	Fluxograma do circuito de controle.....	59
3.8	Período de aquisição (10 μ s) e período de chaveamento (60 μ s)..	62
3.9	Rotina de Interrupção.....	65

3.10	Fluxograma do módulo de sincronismo.....	68
3.11	Módulo de proteção.....	71
4.1	Circuito de potência do RHM modelado.....	79
4.2	Simplificação do circuito modelado.....	80
4.3	Circuito equivalente com o interruptor S_1 fechado.....	81
4.4	Circuito equivalente com o interruptor S_1 aberta.....	82
4.5	Interface 1 do programa desenvolvido na plataforma Matlab®	89
4.6	Interface 2 do programa desenvolvido na plataforma Matlab®	89
4.7	Correntes drenadas pelo Ret-1 (i_{L1}) e Ret-2 (i_{L2}) e sua composição (i_{in}).....	91
4.8	Decomposição harmônica da corrente CA de entrada.....	91
4.9	Sinais de referência de corrente (V_{ref-2}), de realimentação(i_{realim}) e sinal lógico proveniente da comparação destes sinais (V_{GS1}).....	91
4.10	Circuito de pré-carga do capacitor de saída C_2	93
4.11	Pico da corrente na energização e no curto-circuito da resistência de pré-carga em função da resistência de pré-carga (R_{pc}).....	95
4.12	(a) Tensão de entrada (V_{in}) e saída (V_{C2}) e (b) corrente i_{L1} durante a pré carga do capacitor de saída C_2 para $R_{pc} = 25 \text{ ohm}$	96
4.13	Circuito Simulado no Orcad®	97
4.14	Tensão de entrada (V_{in}), saída (V_{C2}) e corrente de entrada (i_{in}) obtidos por simulação no (a) Orcad® e (b) Matlab®	98
4.15	Corrente de entrada (i_{in}) obtidos por simulação no (a) Orcad® e	

(b) Matlab®	98
4.16 Decomposição harmônica da corrente CA de entrada obtida no Orcad® e Matlab® através da solução do modelo matemático proposto.....	99
4.17 Senóide digital retificada (V_{ref}) gerada no Matlab®	100
4.18 Distorção harmônica total da corrente de entrada obtida através da análise matemática apresentada para $2 \leq K_1 \leq 3$	101
4.19 Parcela de contribuição de potência ativa média de cada retificador para $1 \leq K_1 \leq 3$	102
5.1 Diagrama esquemático dos protótipo de 1 kW e 10 kW.....	105
5.2 Placas de aquisição de tensão e corrente.....	105
5.3 Condicionamento de sinal do sensor de temperatura.....	106
5.4 Placa de conversão de 3,3 V para 15 V.....	107
5.5 Diagrama de blocos do <i>gate-driver</i> SKHI 10-12 da Semikron® ...	108
5.6 Circuito de potência do RHM com contadores.....	109
5.7 (a) Circuito de controle e (b) gráficos de acionamento.....	110
5.8 Protótipo de 1 kW no Solid Works.....	112
5.9 Interfaces do programa desenvolvido para especificação do Protótipo de 1 kW.....	117
5.10 (a)Visão geral e (b) detalhes do protótipo de 1 kW.....	117
5.11 Tensão (V_{in}), corrente CA de entrada (i_{in}) e pulsos de ataque de	

gate do interruptor S1 (V_{GS1}).....	118
5.12 Tensão (V_{in}) e corrente (i_{in}) de entrada e (a) corrente i_{L1} , (b) corrente i_{L2} e (c) corrente i_{L1} e i_{L2}	119
5.13 Decomposição harmônica da corrente CA de entrada estando ativo (a) somente o Ret-1 e (b) ambos os retificadores (Ret-1 e Ret-2). 119	
5.14 Tensão de entrada (V_{in}) e saída (V_o), corrente (i_o) e potência (P_o) de saída.....	120
5.15 Curva de rendimento.....	121
5.16 Interfaces do <i>software</i> desenvolvido para o protótipo de 10 kW com resultados para uma potência de saída de 3 kW.....	126
5.17 (a) Modelo tridimensional e (b) foto do protótipo de 10 kW.....	126
5.18 Tensão e corrente de entrada (V_{in} e i_{in}) e saída (V_o e i_o) e potência de saída (P_o).....	128
5.19 Tensão de entrada (V_{in}) e (a) corrente i_{L1} , (b) corrente i_{L2} , (c) corrente i_{L1} e i_{L2} compondo a corrente de entrada i_{in} e (d) corrente i_{in} e pulsos de ataque de gate V_{GS1}	128
5.20 DHT de corrente CA de entrada quando ativo (a) somente o Ret-1 e (b) ambos os grupos de retificadores (Ret-1 e Ret-2).....	129
5.21 Tensão (V_{in}) e corrente (i_{in}) de entrada, corrente no indutor L_1 (i_{L1}) e tensão de saída (V_o).....	130
5.22 (a) Tensão, (b) corrente e (c) detalhe da comutação no interruptor S_1 ..	130
5.23 Resposta dinâmica do retificador híbrido monofásico proposto...	131

Lista de Tabelas

2.1	Resumo dos conversores básicos operando como PFC.....	26
3.1	Especificação de projeto do retificador não controlado (Ret-1).....	45
3.2	Especificações do Conversor SEPIC.....	48
3.3	Resumo de dimensionamento.....	50
3.4	Variáveis utilizadas na estratégia de controle digital.....	60
3.5	Informações dos sinais e pinos do ADC	66
5.1	Parâmetros do protótipo 1 kW – Retificador híbrido monofásico.	113
5.2	Ponte Retificadora TB3505.....	113
5.3	Diodos D8/D9 - APT15D100K.....	114
5.4	IGBT S_1 - IRGPC40S.....	114
5.5	Indutor L_1	114
5.6	Indutor L_2/L_3	115
5.7	Capacitor C_1	115
5.8	Capacitor C_2	115

5.9	Parâmetros do protótipo 10 kW – Retificador híbrido monofásico	122
5.10	Ponte Retificadora SKB 52/12.....	122
5.11	Diodos D_8/D_9 120F.....	122
5.12	IGBT S_1 SKM 75GB123D.....	123
5.13	Indutor L_1	123
5.14	Indutor L_2/L_3	124
5.15	Capacitor C_1	124
5.16	Capacitor C_2 B25655.....	124

Simbologia

ADC	- Analogic – Digital Converter
C_1	- Capacitor do conversor SEPIC
C_2	- Capacitor de filtro de saída
CA	- Corrente alternada
CC	- Corrente contínua
D	- razão cíclica
D_{\min}	- razão cíclica mínima
D_{\max}	- razão cíclica máxima
D_{1-4}	- Diodos da ponte retificadora
D_{5-6}	- Diodos do conversor SEPIC
DHT	- Distorção Harmônica Total
DSP	- Digital Signal Processor
ΔI_{L2}	- Ripple de corrente no indutor L_2
ΔI_{L3}	- Ripple de corrente no indutor L_3
ΔV_{C1}	- Ripple de tensão no indutor C_1
ΔV_{C2}	- Ripple de tensão no indutor C_2
FP	- Fator de potência.
f_s	- Frequência de chaveamento
GPIO	- General Purpose In-Out
K_1	- Constante
IEC	- International Electrotechnical Commission
i	- Contador geral
i_{L1}	- Corrente no indutor L_1 do retificador não controlado.
$i_{L1\text{avg}}$	- Corrente média no indutor L_1 do retificador não controlado.
i_{L2}	- Corrente no indutor L_2 do conversor SEPIC
i_{in}	- Corrente AC de entrada
i_{realim}	- Corrente realimentada
I_o	- Corrente média de saída
L_1	- Indutor de filtro do retificador não controlado
L_2	- Indutor do conversor SEPIC 2
L_3	- Indutor do conversor SEPIC 2
P_0	- Potência média de saída
P_1	- Sinal de proteção do interruptor
P_2	- Sinal de proteção dos contadores
$P_{\text{Ret-1}}$	- Potência média processada pelo retificador não controlado
$P_{\text{Ret-2}}$	- Potência média processada pelo conversor chaveado
PWM	- Pulse Width Modulation
Ret-1	- Retificador não controlado
Ret-2	- Conversor chaveado (SEPIC)
R_L	- Resistência de carga
R_{PC}	- Resistência de pré-carga
S_1	- Interruptor do conversor SEPIC
T	- Período de chaveamento
T_1	- Temporizador com retardo na energização

T_2	-	Temporizador com retardo na desenergização
TBPRD	-	Período do Timer Base
T_{emp}	-	Temperatura no dissipador de calor
V_0	-	Tensão de saída
V_{C1md}	-	Tensão média no capacitor C_1 do SEPIC
V_{in}	-	Tensão eficaz de entrada
V_{imax}	-	Tensão máxima de entrada
V_{imin}	-	Tensão mínima de entrada
V_p	-	Valor de pico da tensão de entrada
V_{ref}	-	Tensão senoidal digital
V_{ref-2}	-	Tensão senoidal de referência proporcional à carga
V_{st}	-	Amplitude da onda dente-de-serra.

Capítulo 1

Introdução

1.1 Introdução Geral

Devido à notável evolução da eletrônica de potência e, conseqüentemente, a viabilização de novos dispositivos mais flexíveis, compactos e eficientes, nota-se que é cada vez maior o número de cargas elétricas que utilizam algum tipo de conversor eletrônico de potência. Estima-se que aproximadamente 50% da energia elétrica gerada no Brasil seja processada eletronicamente antes de ser realmente utilizada.

A grande maioria desses equipamentos que processam energia eletronicamente possui um conversor CA-CC (retificadores ou conversores CA-CC), obtendo-se, dessa forma, um barramento de tensão contínua na saída que alimenta a carga. A utilização desses conversores CA-CC trazem como benefício melhorias significativas na operação e no rendimento dos equipamentos. Todavia, na condição de cargas não lineares, esses conversores injetam correntes não senoidais pela rede CA de alimentação [1].

Dentre os problemas causados pelos componentes harmônicos na rede CA de alimentação podem-se destacar [1]-[3]:

- Aquecimento em máquinas elétricas e capacitores;
- Mau funcionamento de disjuntores termomagnéticos;
- Aumento na corrente de neutro;
- Perda em condutores;
- Erro em equipamentos convencionais de medição.

Destaca-se que, além dos problemas citados, a inserção de conteúdos harmônicos devido ao elevado número de equipamentos com reduzido fator de potência conectados na rede de distribuição em CA causam uma redução global da eficiência do sistema, resultando em perdas desde a geração até a distribuição de energia.

Diante desse quadro, inúmeras pesquisas vêm sendo realizadas no intuito de diagnosticar e resolver os problemas causados pela distorção harmônica e o redução do fator de potência no sistema elétrico [4] - [6].

Neste sentido, como proposta de reduzir a distorção harmônica de corrente (DHT_I) devido à presença de cargas não lineares, realizar a correção do fator de potência e a busca por redução de custos, alto rendimento e confiabilidade operacional, este trabalho propõe um novo estágio pré-regulador composto por um retificador híbrido monofásico de alta potência e elevado FP.

O Retificador Híbrido Monofásico (RHM) proposto é composto por um retificador monofásico não controlado (Ret-1), associado em paralelo com um conversor monofásico chaveado (Ret-2). Destaca-se que as principais vantagens de se utilizar retificadores híbridos como estágio pré-regulador com correção do fator de potência para conexão de conversores eletrônicos são:

- Maior rendimento global da estrutura, uma vez que os conversores chaveados processam reduzida parcela de potência ativa entregue à carga;
- Menor custo, quando comparado com conversores pré-reguladores chaveados convencionais com FP unitário, uma vez que os dispositivos semicondutores utilizados nessas estruturas são dimensionados para potência nominal;
- Flexibilidade quanto ao atendimento às restrições impostas pela normas IEC610003-2 e IEC610003-4, uma vez que a corrente a ser imposta na

rede CA de alimentação pode assumir diferentes formas, dependendo da DHT_1 desejada;

- Técnica de controle simples, de baixo custo e eficiente.

A grande vantagem proporcionada por retificadores híbridos, trifásicos ou monofásicos, é a associação da robustez, confiabilidade e simplicidade dos retificadores não controlados a diodos com a redução de peso e volume proporcionados pelos conversores chaveados, que operam em alta frequência de chaveamento. Desta forma, a potência nominal da estrutura híbrida pode ser drasticamente aumentada, sem prejudicar a eficiência global do retificador, o que não pode ser alcançado com retificadores PWM convencionais, sem aumentar consideravelmente os custos [2], [7]-[10].

1.2 Considerações Iniciais

Os objetivos deste trabalho envolvem a análise, o desenvolvimento e implementação de um novo retificador híbrido monofásico com características de elevado fator de potência e reduzida distorção harmônica da corrente CA de entrada para operação em aplicações de elevados níveis de potência.

Para demonstrar a viabilidade técnica e econômica do RHM proposto, construiu-se no Núcleo de Pesquisa em Eletrônica de Potência (NUPEP) dois protótipos a fim de verificar o comportamento do conjunto operando em baixas potências (1 kW) e em potências mais elevadas (10 kW).

Destaca-se que o controle digital utilizado, baseado em DSP, constitui uma inovação tecnológica no desenvolvimento de equipamentos, permitindo uma grande versatilidade na implementação de técnicas de controle digital aplicadas em eletrônica de potência.

Os trabalhos publicados durante a pesquisa [11] - [16] introduzem importantes e inovadores conhecimentos tecnológicos para a comunidade científica, contribuindo, portanto, com o desenvolvimento da pesquisa em Eletrônica de Potência.

1.3 Estrutura da Dissertação

Este trabalho está dividido em 6 capítulos, incluindo este capítulo introdutório.

1.3.1 – Capítulo 2

No capítulo 2 serão apresentadas as topologias tradicionalmente utilizadas para mitigação de harmônicos em sistemas monofásicos, fornecendo, dessa forma, informações suficientes para comparação da estrutura proposta com aquelas encontradas na literatura.

1.3.2 – Capítulo 3

Neste capítulo será apresentando o retificador híbrido monofásico proposto, com detalhes de sua operação, projeto e da estratégia de controle adotada. São apresentados também a metodologia para o dimensionamento dos componentes do circuito de potência de cada protótipo construído, além de detalhes da implementação das leis de controle digital baseado em DSP.

1.3.3 – Capítulo 4

O capítulo 4 é destinado ao desenvolvimento da modelagem matemática do retificador híbrido monofásico proposto. A modelagem matemática é baseada no método por espaço de estados e a solução do modelo tem como objetivo o cálculo dos valores eficazes, médio e pico de tensão e corrente em todos os elementos do circuito de potência, possibilitando sua completa especificação. Além disso, é possível determinar

parâmetros do controle digital com base em um DHT desejado para a corrente CA de entrada, fornecido através de uma interface gráfica desenvolvido no *software* Matlab[®].

Como método de validação do modelo proposto, as formas de onda resultantes da sua solução foram comparadas com as formas de onda obtidas através da simulação do retificador híbrido monofásico no Orcad[®] para uma mesma condição de carga e mesmo DHT da corrente CA de entrada. Os resultados alcançados comprovam a eficácia da modelagem realizada.

1.3.4 – Capítulo 5

No capítulo 5 são apresentados os resultados experimentais para os protótipos construídos e ensaiados com base nas leis de controle descritas no Capítulo 3. O objetivo é avaliar o comportamento e o desempenho da estrutura mitigando harmônicos da corrente CA de entrada e elevando o fator de potência do conjunto.

Foram realizados exaustivos testes em situações extremas de funcionamento dos protótipos, verificando a eficiência da estrutura e a eficácia dos dispositivos de proteção configurados para manter a integridade do conjunto.

1.3.5 – Conclusões

Conclusões gerais do trabalho.

1.3.6 – Apêndices

Programas desenvolvidos no *software* Matlab[®].

Capítulo 2

Estado da Arte

2.1 Introdução Geral

Neste capítulo serão descritas resumidamente as topologias de conversores CA-CC encontradas na literatura tradicionalmente utilizadas para correção ativa do fator de potência e para mitigação de componentes harmônicos na corrente de alimentação de sistemas monofásicos. Essa abordagem é oportuna por reunir informações a respeito do tema, servindo como parâmetro de comparação para a estrutura topológica apresentada neste trabalho.

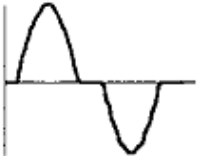
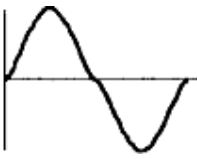
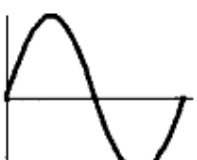
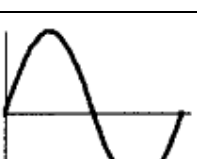
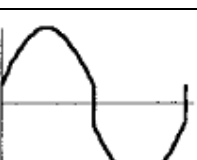
2.2 Conversores CC-CC Básicos

De acordo com as informações apresentadas em [17]-[20] a respeito dos conversores nas suas topologias básicas conclui-se que os conversores boost, flyback e buck-boost apresentam os melhores desempenhos operando como estágio pré-regulador. A conclusão pode ser estendida para a mitigação de harmônicos, visto as formas de onda de corrente de entrada dos conversores citados apresentarem a menor distorção.

Os outros conversores podem ser utilizados para correção ativa de fator de potência e mitigação de harmônicos, desde que sejam modificados para apresentarem uma curva característica de entrada $V - I$ linearizada ou desde que operem em modo de condução contínuo (MCC).

As características a respeito dos conversores básicos operando como estágio pré-regulador com elevado fator de potência ou simplesmente Conversores PFC – *Power Factor Corrector* podem ser resumidas na Tab. 2.1 [17].

Tab. 2.1 – Resumo dos conversores básicos operando como PFC.

Conversor Básico	Forma de onda da corrente de entrada	Avaliação	Nível de Potência
Buck		Ruim	Baixo a médio
Boost		Bom	Baixo a médio
Buck-Boost		Excelente	Baixo a médio
Flyback		Excelente	Baixo
Forward	-	-	-
Cuk, Sepic, Zeta		Ruim	Baixo a médio

As formas de onda e as avaliações apresentadas na Tab. 2.1 são relativas aos conversores básicos operando como estágio PFC. O grau de distorção da forma de onda da corrente de entrada foi tomado como critério de avaliação de desempenho dos conversores. Assim, apesar de apresentar uma forma de onda aproximadamente senoidal, os conversores PFC básicos tradicionalmente utilizados para este fim são os

conversores Flyback e Boost, os quais são adequados para aplicações de baixa potência (centenas de watts) e média potência (até algumas unidades de kilowatts), respectivamente. Cabe ressaltar que os referidos conversores apresentando queda de rendimento em aplicações de potências mais elevadas, limitando, dessa forma, sua utilização.

Com vistas a superar essa desvantagem, ou seja, limitação de potência em aplicações monofásicas, é apresentado neste trabalho uma nova concepção de conversor PFC capaz de processar altas potências (dezenas de kW) mantendo elevada eficiência sem comprometer a robustez da estrutura. O conversor proposto recebe a denominação de Retificador Híbrido Monofásico por se tratar de uma estrutura topológica composta de um retificador não controlado operando em paralelo com um conversor chaveado (conversor CC-CC), resultando em uma estrutura que apresenta características de elevado fator de potência e reduzida distorção harmônica da corrente de alimentação. Quando comparado com as topologias PFC tradicionais, o retificador híbrido monofásico desenvolvido neste trabalho apresenta como vantagem o fato de o conversor chaveado processar apenas uma parcela de potência ativa total entregue à carga, sendo a maior parte processada pelo retificador não controlado, possibilitando, portanto, que o conjunto processe níveis mais elevados de potência (dezenas de kilowatts), promovendo maiores robustez e densidade de potência e elevada eficiência.

Nesse contexto, foram pesquisados outros trabalhos na literatura com o objetivo de encontrar estruturas que operam com elevado fator de potência e reduzido DHT_I adequado para operação em sistemas monofásicos de alta potência (dezenas de kilowatts). Dessa forma, constatou-se que a maioria dos estudos realizados até o presente momento se baseiam na implementação de modificações topológicas em estruturas básicas e em novos arranjos topológicos baseados no paralelismo de

conversores chaveados tradicionais, resultando em novas topologias com características total ou parcialmente diferentes daquelas de origem.

Neste contexto, a seguir são apresentados os principais trabalhos encontrados na literatura com o intuito de promover um estudo comparativo entre as soluções encontradas e Retificador Híbrido Monofásico apresentado nesta dissertação, objetivando evidenciar suas principais vantagens e desvantagens para aplicação como estágio pré-regulador com elevado fator de potência.

2.3 Topologias Modificadas de Conversores PFC

Nesta seção serão apresentadas as topologias modificadas que foram encontradas na literatura, que operam ativamente na mitigação de conteúdos harmônicos e na correção do fator de potência.

2.3.1 Conversor Boost Modificado

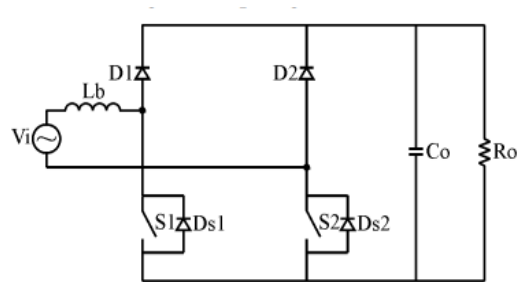
O conversor boost operando em modo contínuo (MCC) é tradicionalmente utilizado para correção de fator de potência e mitigação de componentes harmônicos da corrente de alimentação de equipamentos de média a alta potência (400 W até poucos kilowatts). Operando em modo contínuo de condução, a corrente de entrada do conversor proporciona reduzida interferência eletromagnética (EMI), quando comparado a outros conversores PFC, como buck e o buck-boost.

São encontrados na literatura muitos trabalhos com o objetivo de determinar qual tipo de conversor é o mais adequado para determinadas aplicações, levando-se em consideração robustez, densidade de potência, eficiência, custo e complexidade [21]. Nesse contexto, várias topologias de conversores boost PFC modificados foram pesquisados com o objetivo de melhorar as características do conversor boost tradicional utilizado como PFC, como por exemplo o problema de recuperação reversa

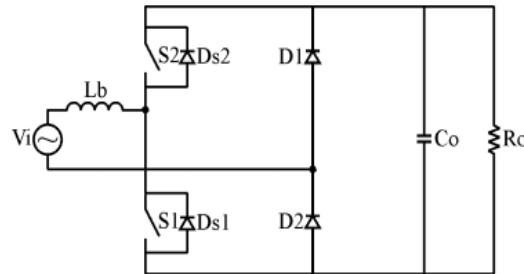
do diodo, que afeta o interruptor principal, [22], [23] e a elevada tensão de saída [24]. Esses esforços se justificam pela necessidade de se reduzir o conteúdo harmônico da corrente de entrada, os níveis de EMI, o peso e o volume do conjunto, aumentar a robustez e o rendimento da estrutura possibilitando, dessa forma, elevar os níveis de potência de operação do conversor.

2.3.1.1 Conversor Boost CA-CC *Bridgeless*

Para aumentar o rendimento do conversor boost tradicional foi desenvolvido o conversor boost bridgeless, ilustrado na Fig. 2.1 [25], [26].



(a)



(b)

Fig. 2.1 – Conversor boost *bridgeless* (a) simétrico e (b) assimétrico.

Por reduzir o número de componentes, as perdas de condução são reduzidas, elevando, nesse aspecto, o rendimento da estrutura. Entretanto, os diodos de saída quando polarizados reversamente ficam submetidos a uma tensão elevada e assim apresentam problemas graves de corrente de recuperação reversa. Essas elevadas correntes de recuperação reversa aumentam as perdas de comutação nos interruptores e

produzem interferência eletromagnética (EMI). Além disso, por utilizar dois interruptores (S_1 e S_2) a complexidade e o custo do projeto se elevam.

Concluindo, quando comparado com o conversor boost tradicional, o conversor boost *bridgeless* tem como vantagem a minimização das perdas de condução, mas apresenta, como desvantagem, um maior custo e complexidade de projeto.

A referência [27] apresenta uma alteração topológica no conversor apresentado na Fig. 2.1(a), incluindo-se um par de indutores acoplados e dois diodos adicionais, como método alternativo para minimização das desvantagens citadas. Dessa forma, reduz-se a corrente de recuperação reversa e os transitórios de chaveamento são melhorados.

2.3.1.2 Conversor Boost CA-CC com Três Níveis.

O conversor boost com três níveis é apresentado na Fig. 2.2.

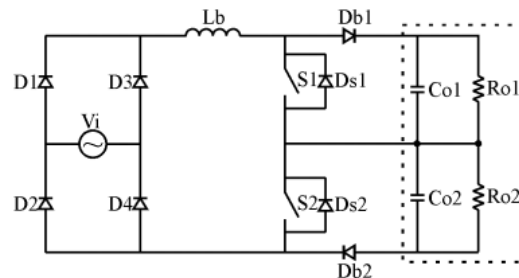


Fig. 2.2 – Conversor boost com três níveis.

Esta topologia é adequada para aplicações com potências mais elevadas (alguns kilowatts). Por utilizar dois interruptores (S_1 e S_2), que devem ser projetados para metade da tensão de saída, pode-se elevar a tensão de operação. Do ponto de vista prático, esta topologia é adequada para aplicações onde a tensão de saída gira em torno de 400 V e a potência de saída é de alguns kilowatts [21].

Um importante aspecto a ser investigado nessa topologia é o tamanho do indutor pois, para uma mesma tensão de operação e mesma potência de saída, e consequentemente para um mesmo *ripple* de corrente, necessita-se de um indutor quatro

vezes menor, resultando em uma frequência de ripple duas vezes maior, que aquele requerido no conversor boost tradicional [28]. Um indutor menor requer menos material magnético e uma maior frequência de ripple de corrente tem impacto no filtro entrada, reduzindo-o [28].

Assim, conclui-se que o conversor boost PFC com três níveis é melhor que o conversor boost PFC tradicional, levando-se em consideração o rendimento e o volume da estrutura. Por outro lado, para contornar os empecilhos da estrutura do conversor boost tradicional, que limita o nível de potência do conversor, utiliza-se um número maior de componentes, elevando o custo e a complexidade do conjunto.

2.3.1.3 Conversor Boost com Célula de Chaveamento com Três Estados.

A referência [29] apresenta uma nova família de conversores CC-CC com uma célula de chaveamento com três estados, destacando como vantagens a alta eficiência, o pequeno *ripple* de corrente de entrada e reduzidos peso e volume do conjunto. A Fig. 2.3 ilustra o conversor com célula de comutação com três estados.

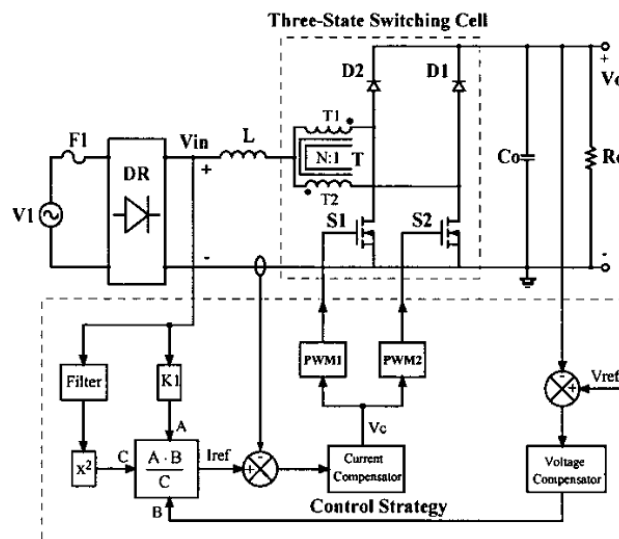


Fig. 2.3 – Conversor boost PFC com célula de chaveamento com 3 estados .

De acordo com a estratégia de controle apresentado em [29], parte da potência transferida para a carga é realizada através de um autotransformador, não havendo, nessa condição, circulação de corrente através dos interruptores S_1 e S_2 . Dessa forma, o conversor proposto é capaz de operar em níveis mais elevados de potência, uma vez que o autotransformador é responsável por processar uma parcela de potência entregue a carga.

Através dos resultados experimentais apresentados em [29] nota-se uma redução sensível da DHT da corrente de entrada e um elevado fator de potência, alcançados com os interruptores processando 60% da corrente de carga, sendo o restante processado pelo autotransformador.

2.3.2 Conversor SEPIC Modificado

O desempenho do conversor SEPIC clássico é atrativo por ser um conversor tanto abaixador quanto elevador, tornando-se adequado para aplicações onde a tensão de saída é maior ou menor que a tensão de entrada. Entretanto, essa topologia apresenta o inconveniente da tensão no interruptor ser a soma da tensão da entrada com a tensão de saída. Nesse contexto, a referência [30] apresenta uma adaptação na topologia clássica do SEPIC, ilustrada na Fig. 2.4, incluindo o diodo D_M e o capacitor C_M na topologia básica, com o intuito de reduzir a tensão sobre o interruptor S .

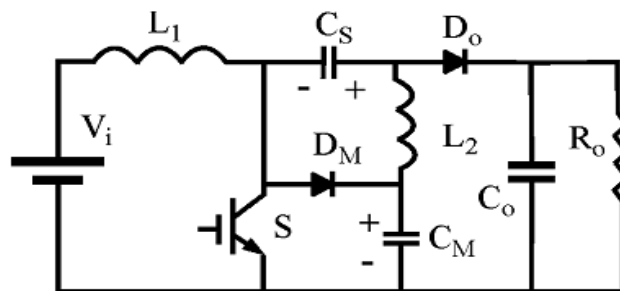


Fig. 2.4 – Conversor SEPIC modificado.

Analisando o circuito da Fig. 2.4 percebe-se que o conversor SEPIC modificado apresenta, como desvantagem, a perda da característica de abaixador-elevador presente no conversor SEPIC básico. Dessa forma, apesar de reduzir os níveis de tensão no interruptor S, possibilitando aumentar a tensão de operação para elevar o nível de potência de saída, o conversor SEPIC modificado apresentado em [30] não pode operar em aplicações onde a tensão de saída é menor que a tensão de entrada.

2.3.3 Conversor Buck Modificado

O circuito do conversor buck modificado apresentado em [31] é ilustrado na Fig. 2.5. A diferença do conversor proposto em relação ao conversor buck tradicional é a inclusão de capacitores eletrolíticos (C_{1-4}) conectados em paralelo com os diodos da ponte retificadora (D_{1-4}). Com essa configuração, o circuito de entrada fica sempre conectado a um terminal do link DC, tornando a forma de onda da corrente de entrada mais próxima de uma senóide.

De acordo com os resultados apresentados em [31], observa-se um fator de potência próximo da unidade e uma redução sensível da DHT da corrente de entrada quando comparado com os resultados obtidos com conversor buck tradicional, sendo que tais melhorias são obtidas através de uma simples mudança topológica.

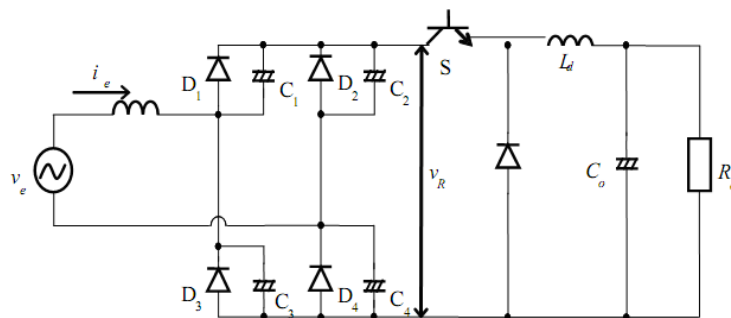


Fig. 2.5 – Conversor Buck modificado.

Contudo, percebe-se que os resultados são satisfatórios apenas quando o interruptor S é acionado através de pulsos com uma pequena razão cíclica (em torno de

10%), resultando em uma reduzida tensão de saída. Assim, a utilização do conversor buck modificado fica limitado a aplicações de baixa potência, visto que a tensão de saída ser necessariamente pequena para se obter uma corrente de entrada com reduzido conteúdo harmônico e elevado fator de potência.

2.4 Conversores PFC Operando em Paralelo

A Fig. 2.6 ilustra o diagrama básico dos métodos tradicionais utilizados para correção de fator de potência e mitigação de conteúdo harmônico.

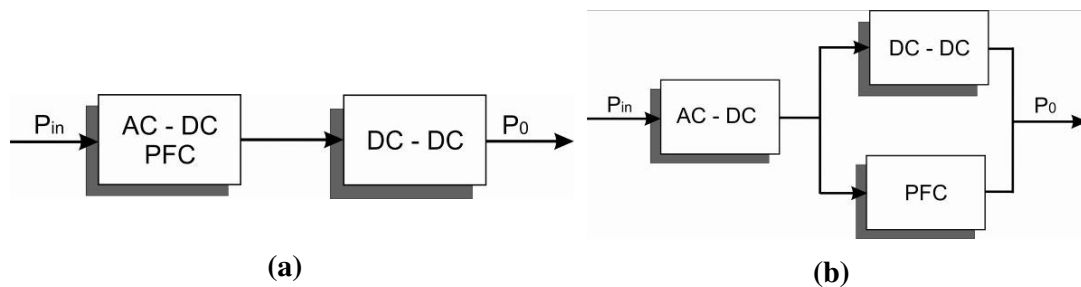


Fig. 2.6 – Fluxo de potência de conversores operando em modo (a) cascadeado e (b) paralelo.

Para se obter uma boa regulação na tensão de saída e um *ripple* de corrente reduzido são utilizados dois conversores cascadeados, sendo um estágio PFC seguido por um conversor DC-DC. Dessa forma, por utilizar dois estágios, a estrutura PFC ilustrada na Fig. 2.6 apresenta um baixo rendimento, visto a potência de saída ser processada por ambos os conversores [32]. Por outro lado, no modo em paralelo (Fig. 2.6(b)) a potência de saída é dividida entre o conversor DC-DC e o estágio PFC, o que contribui para um melhor rendimento do conjunto.

Nesse contexto, nas seções que seguem serão apresentadas estruturas que utilizam conversores operando em paralelo para fins de obtenção de elevado fator de potência e reduzida DHT_i. Objetiva-se destacar que a associação em paralelo de conversores proporciona elevação do rendimento global da estrutura, uma vez que cada conversor

processa apenas uma parcela da potência total entregue à carga, elevando, dessa forma, o rendimento total da estrutura.

2.4.1 – Conversores Flyback e Forward Operando em Paralelo

A Fig. 2.7 ilustra a estrutura básica de conversores PFC operando em paralelo apresentado em [33].

É realizado o estudo da estrutura proposta utilizando-se os conversores Flyback e Forward, ilustrados na Fig. 2.7 (b), sendo que o conversor Flyback é diretamente responsável pela forma de onda de corrente CA de entrada. Nessa configuração, são desenvolvidos dois métodos de controle. Em um dos métodos há uma divisão igualitária de potência entre os conversores, ou seja, cada um processa 50% da potência total de saída. No outro método, o conversor Flyback processa 68% e o conversor Forward processa 32% da potencia de saída.

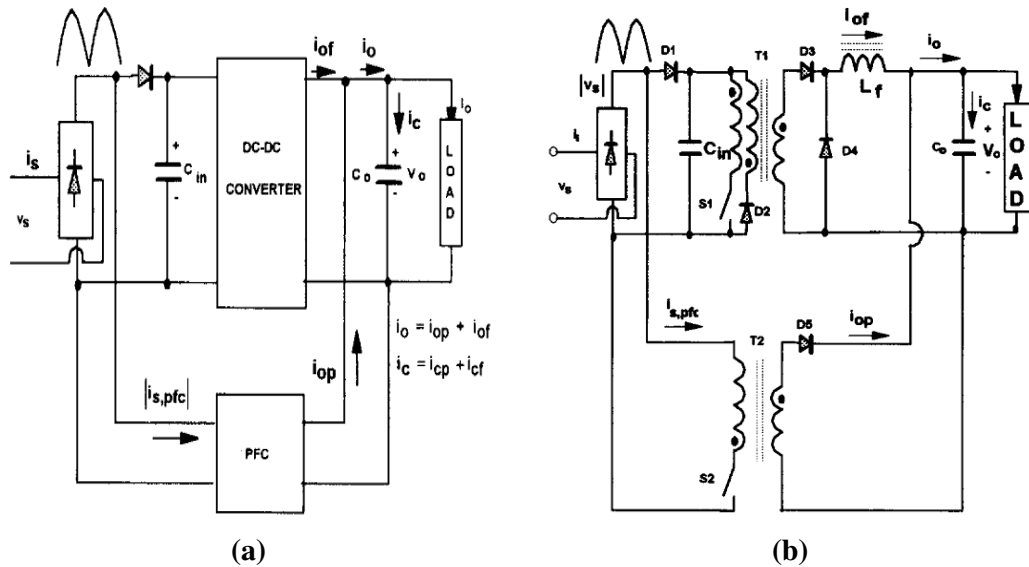


Fig. 2.7 – Conversores chaveados operando em paralelo.

Analisando os resultados apresentados, observa-se que em ambos os métodos obteve-se uma redução da DHT₁ e um elevado fator de potência. No método de controle em que a parcela de contribuição de potência é de 68% e 32% para o conversor Flyback

e Forward, respectivamente, a redução da DHT_I foi mais significativa. Porém, nesse método, a resposta dinâmica da estrutura apresentou pior desempenho.

A estrutura composta pelos conversores Flyback e Forward operando em paralelo apresenta um melhor rendimento que a estrutura tradicional composta por conversores cascadeados. Todavia, de acordo com o apresentado em [33], conclui-se que a estrutura proposta é limitada a aplicações onde o nível de potência de saída gira em torno de 600W.

2.4.2 – Retificador Híbrido Monofásico Proposto.

O arranjo topológico do Retificador Híbrido Monofásico (RHM) proposto é ilustrado na Fig. 2.8.

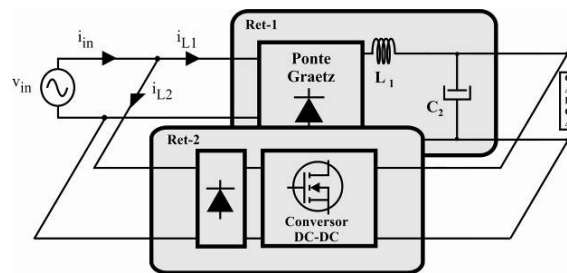


Fig. 2.8 – Arranjo topológico do retificador híbrido monofásico

O RHM desenvolvido consegue aliar a robustez e eficiência dos retificadores não controlados (Ret-1) com a capacidade que os conversores chaveados (Ret-2) têm de impor correntes CA de alimentação na forma de onda desejada.

Destaca-se que o conversor chaveado processa apenas parte da potência ativa entregue à carga, sendo a maior parcela de potência processada pelo retificador não controlado. Dessa forma, diferentemente das estruturas topológicas PFC apresentadas neste capítulo, que são limitadas à aplicações de baixa e média potência (até algumas unidades de kilowatts), o RHM proposto apresenta como vantagem a possibilidade de operar com níveis mais elevados de potência (dezenas de kilowatts) com capacidade de

compor a forma de onda da corrente CA de alimentação desejada com apenas uma fração de potência sendo processada pelo conversor chaveado. Trata-se, portanto, de uma estrutura compacta, de alta eficiência, com volume e peso reduzidos, capaz de impor corrente senoidal na rede CA de alimentação, adequada para aplicação em sistemas monofásicos de alta potência (dezenas de kilowatts) onde se deseja elevado fator de potência e reduzida distorção harmônica de corrente.

O conversor chaveado utilizado nesse projeto deve possuir característica de fonte de corrente de entrada, uma vez que sua função é compor a forma de onda da corrente de entrada do conjunto. Vale ressaltar que conversores Boost são tradicionalmente utilizados em sistemas PFC, tanto trifásicos como monofásicos. Porém, para compor o retificador híbrido proposto sua utilização é inviabilizada pelo fato de não haver o controle sobre a tensão de saída, conforme descrito detalhadamente no Capítulo 3.

Baseado nas conclusões apresentadas na Tab. 2.1 os conversores buck-boost e flyback são os indicados para compor o conversor chaveado. Todavia, o conversor buck-boost apresenta uma tensão de saída invertida em relação à tensão de entrada, o que inviabiliza sua operação em paralelo com o retificador não controlado (Ret-1). O conversor flyback, por ser inerentemente um conversor isolado, necessita de um transformador de acoplamento, elevando consideravelmente o peso, volume e custo da estrutura.

Diante do exposto, optou-se pelo conversor SEPIC para operar como conversor chaveado (Ret-2). O conversor SEPIC possui naturalmente característica de fonte de corrente de entrada, sendo capaz de operar impondo corrente segundo uma dada referência. Além disso, por possuir um capacitor série que força o decrescimento da corrente quando o interruptor é aberto, sua operação não depende do nível da tensão de saída, tornando-o apto a operar em todas as etapas de operação do RHM.

Apesar de o conversor SEPIC ser avaliado como ruim na Tab. 2.1, resultado da distorção na forma de onda da sua corrente entrada, ressalta-se que esta avaliação de desempenho considera o conversor atuando isoladamente na composição da corrente de entrada. Ao utilizá-lo em paralelo com o retificador não controlado (Ret-1) e, dessa forma, tornando-o responsável por drenar apenas uma parcela da corrente de entrada, a avaliação proposta na Tab. 2.1 não pode ser considerada.

2.5 Conclusão

Neste capítulo foram apresentadas diversas topologias tradicionalmente utilizadas para correção de fator de potência e mitigação de conteúdo harmônico. Foram analisadas as topologias PFC básicas, suas versões modificadas e o arranjo composto por conversores operando em paralelo, no qual está inserido o retificador híbrido proposto nesse trabalho.

Portanto, o objetivo deste capítulo foi apresentar uma revisão geral e apresentar o estado da arte sobre o tema, possibilitando uma comparação dos métodos tradicionais com o método apresentado neste trabalho para correção de fator de potência e redução de conteúdos harmônicos da corrente de entrada do conjunto para aplicações monofásicas com níveis mais elevados de potência.

Isto posto, acredita-se que o RHM apresentado neste trabalho é uma opção para contornar o problema de limitação de potência encontrado nos conversores PFC para sistemas monofásicos de alimentação, tanto nas suas versões tradicionais quanto nas modificadas.

Capítulo 3

Operação do Retificador Híbrido

Monofásico Proposto

3.1 Introdução Geral

Neste capítulo serão apresentadas as etapas de operação e a estratégia de controle do retificador híbrido monofásico proposto. Serão descritos detalhadamente as características de cada etapa de operação, destacando os instantes em que ocorrem e a parcela de contribuição de corrente de cada grupo de retificador.

A estratégia de controle adotada visa obter uma corrente CA de entrada com baixos níveis de DHT e elevado o fator de potência, garantindo ainda um elevado rendimento e robustez do conjunto. Será apresentado o diagrama de blocos do controle, com a descrição dos sinais envolvidos e os detalhes da sua implementação digital utilizando DSP.

3.2 Operação do Retificador Híbrido Monofásico

O retificador híbrido monofásico proposto é composto por um retificador monofásico não controlado (Ret-1), associado em paralelo com um conversor monofásico chaveado (Ret-2), como ilustrado na Fig. 3.1. Destaca-se que as principais vantagens de se utilizar retificadores híbridos como estágio pré-regulador com correção do fator de potência para conexão de conversores eletrônicos são:

- Maior rendimento global da estrutura, uma vez que os conversores chaveados processam reduzida parcela de potência ativa entregue à carga;
- Menor custo, quando comparado com conversores pré-reguladores chaveados convencionais com FP unitário, uma vez que os dispositivos semicondutores utilizados nessas estruturas são dimensionados para potência nominal;
- Flexibilidade quanto aos limites impostos pelas normas IEC610003-2 e IEC610003-4, uma vez que a corrente imposta na rede CA de alimentação pode assumir diferentes formas, dependendo da DHT_I desejada;
- Técnica de controle simples, de baixo custo e eficiente.

Conforme ilustrado na Fig. 3.1, a corrente drenada da rede (i_{in}) será a composição daquela requerida pelo retificador não controlado (i_{L1}), com a parcela do conversor chaveado (i_{L2}), sendo que a forma de onda da corrente i_{L2} é diretamente responsável pela característica final da forma de onda da corrente CA drenada da fonte de alimentação.

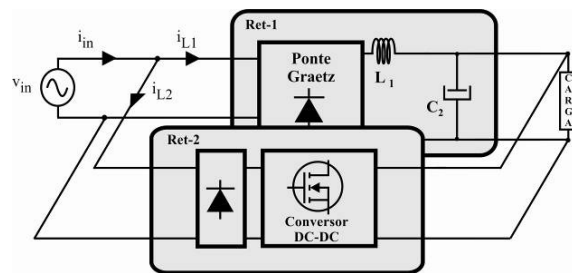


Fig. 3.1 – Arranjo topológico do retificador híbrido monofásico

Desta forma, resultam desta combinação na corrente de linha, as correntes i_{L1} e i_{L2} , sendo que i_{L1} é a corrente clássica dos retificadores monofásicos não controlados de onda completa, operando no modo descontínuo de condução, enquanto que a corrente i_{L2} é aquela imposta de acordo com a referência senoidal desejada. Portanto, tem-se que a composição das correntes i_{L1} e i_{L2} (i_{L1} somada a i_{L2}), assume a forma aproximadamente senoidal (i_{in}), se assim for desejado, conforme referência exemplo da Fig. 3.2.

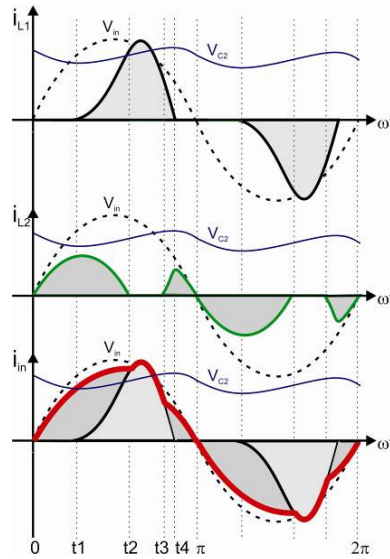


Fig. 3.2 – Formas de onda teóricas de corrente i_{L1} , i_{L2} , i_{in} . A forma de onda tracejada representa a tensão de entrada (v_{in}) e a v_{C2} é a tensão de saída.

3.2.1 Etapas de Operação

São identificadas 5 etapas de operação no funcionamento do RHM, ilustradas na Fig. 3.2. Os intervalos são divididos conforme a parcela de contribuição de cada grupo de retificador, na qual a forma de onda final da corrente é determinada pelo retificador não controlado, pelo conversor chaveado ou pela combinação de ambos.

As etapas descritas são:

De 0 a t1, os diodos da ponte retificadora do retificador não controlado estão polarizados reversamente, isto é, a tensão no barramento CC é maior que a tensão de entrada. Desta forma, inicia-se a imposição de corrente no indutor L_2 do conversor chaveado, seguindo a referência senoidal de corrente. Portanto, neste intervalo de tempo, o retificador não controlado está fora de operação;

De t1 a t2, a tensão de entrada (v_{in}) é maior que a tensão de saída (v_{C2}) e, portanto, os diodos da ponte retificadora do retificador não controlado entram em condução e a corrente i_{L1} começa a crescer pela ação de v_{in} . Neste instante, o retificador não controlado começa a contribuir com a potência entregue à carga e, portanto, a

contribuição do conversor chaveado começa a diminuir. A corrente imposta no conversor chaveado (i_{L2}) começa a decrescer, respeitando a referência senoidal de corrente, chegando a zero em t_2 ;

De t_2 a t_3 , apenas o retificador não controlado fornece potência à carga, pois a diferença entre a referência senoidal de corrente e o sinal realimentado é zero, desabilitando o conversor chaveado. Portanto, neste intervalo de tempo, a corrente de entrada é igual à corrente no indutor L_1 do retificador não controlado;

Neste momento cabe ressaltar que, conforme descrito no Capítulo 2, se o conversor Boost fosse utilizado para compor o retificador híbrido seria impossível impor corrente entre os intervalos t_1 e t_3 , visto que a tensão de saída ser menor que a tensão de entrada.

De t_3 a t_4 , o conversor chaveado entra novamente em operação seguindo a referência de corrente senoidal imposta. A corrente i_{L1} chega a zero em t_4 uma vez que a tensão v_{C2} fica maior que a tensão de entrada, retirando o retificador não controlado de operação;

De t_4 a π , apenas o conversor chaveado fornece potência à carga, pois os diodos da ponte retificadora do retificador não controlado foram bloqueados pela tensão de saída v_{C2} . Portanto, neste intervalo de tempo, a corrente de entrada é igual à corrente i_{L2} .

Desta forma, observa-se que a forma de onda da corrente i_{L2} é diretamente responsável pela característica final da forma de onda da corrente CA de alimentação, promovendo, portanto, uma sensível redução de sua TDH_I. Destaca-se que, apesar de i_{in} ser uma forma de onda atípica, seu espectro harmônico apresenta níveis harmônicos adequados, tomando, indicativamente, como referência as normas internacionais IEC61000-3-2 e IEC61000-3-4, dependendo do nível de potência adotado, conforme comprovação experimental apresentada no Capítulo 5.

3.3 Projeto do Retificador Não Controlado (Ret-1)

Considerando o capacitor de saída infinito, a tensão na carga é constante e pode ser escrita como V_o .

Assim, a expressão da tensão no indutor L_1 pode ser escrita como:

$$L_1 \frac{di_{L1}(t)}{dt} = V_p \sin(\omega t) - V_o \quad (3.1)$$

Onde V_p é a tensão de pico da senóide de entrada.

A corrente no indutor L_1 pode ser obtida através da integral de (3.1):

$$i_{L1}(t) = \frac{1}{L_1} \int_{t_1}^t (V_p \sin(\omega t) - V_o) dt \quad (3.2)$$

$$i_{L1}(t) = \left(\frac{-1}{L_1} \right) \cdot \left\{ \frac{V_p [\cos(\omega t) - \cos(\omega t_1)]}{\omega} - V_o (t - t_1) \right\} \quad (3.3)$$

Onde t_1 é o instante em que a tensão de saída se iguala à tensão de entrada, polarizando diretamente os diodos da ponte retificadora e fazendo a corrente i_{L1} crescer. Seu valor pode ser determinado por:

$$t_1 = \frac{\sin^{-1} \left(\frac{V_o}{V_p} \right)}{\omega} \quad (3.4)$$

A expressão da corrente i_{L1} representada em (3.2) é válida somente no intervalo de t_1 a t_4 , onde t_4 é o instante em que a corrente i_{L1} se iguala a zero.

O valor de t_4 pode ser determinado igualando a Eq. (3.2) a zero, ou seja:

$$\frac{V_p [\cos(\omega t_4) - \cos(\omega t_1)]}{\omega} - V_o (t_4 - t_1) = 0 \quad (3.5)$$

A solução da Eq. (4) deve ser obtida por métodos numéricos. Dentro do intervalo de 0 a T (período de meio ciclo da tensão de entrada) obtêm-se 2 soluções: uma delas coincide com o valor de t_1 , obtido em (3.4). A segunda solução é o valor de t_4 .

Dessa forma, a corrente i_{L1} pode ser escrita como:

$$\begin{cases} i_{L1}(t) = 0 & \text{se } 0 \leq t < t_1 \\ i_{L1}(t) = \left(\frac{-1}{L_1}\right) \cdot \left\{ \frac{V_p [\cos(\omega t) - \cos(\omega t_1)]}{\omega} - V_o (t - t_1) \right\} & \text{se } t_1 \leq t < t_4 \\ i_{L1}(t) = 0 & \text{se } t_4 \leq t < T \end{cases} \quad (3.6)$$

No intervalo de 0 a t_1 a tensão de saída é maior que a tensão de entrada, bloqueando os diodos da ponte retificadora, resultando em uma corrente i_{L1} nula. A partir do instante t_1 até o instante t_4 , a tensão de entrada (v_{in}) é maior que a tensão de saída (v_{C2}) e a corrente no indutor L_1 se comporta de acordo a Eq. (3.2). No instante t_4 a corrente i_{L1} se iguala a zero, permanecendo nula enquanto a tensão de entrada for menor que a tensão de saída, repetindo o ciclo.

O valor médio da corrente i_{L1} pode ser obtido integrando as equações de cada intervalo de (3.6). Assim:

$$i_{L1avg} = \left(\frac{1}{T}\right) \left[\int_0^{t_1} i_{L1}(t) dt + \int_{t_1}^{t_4} i_{L1}(t) dt + \int_{t_4}^T i_{L1}(t) dt \right] \quad (3.7)$$

$$i_{L1avg} = \left(\frac{1}{T}\right) \left[0 + \int_{t_1}^{t_4} i_{L1}(t) dt + 0 \right] \quad (3.8)$$

Substituindo (3.2) em (3.8) tem-se:

$$i_{L1avg} = \left(\frac{1}{T}\right) \int_{t_1}^{t_4} \left\{ \left(\frac{-1}{L_1}\right) \cdot \left[\frac{V_p [\cos(\omega t) - \cos(\omega t_1)]}{\omega} - V_o (t - t_1) \right] \right\} dt \quad (3.9)$$

Integrando (3.9) obtêm-se o valor da corrente média no indutor L_1 :

$$i_{L_{avg}} = \left(\frac{-1}{L_1 \cdot T} \right) \left[\frac{V_p (\sin \omega t_4 - \sin \omega t_1)}{\omega^2} + \frac{V_p \cos \omega t_1 (t_1 - t_4)}{\omega} + \frac{V_o t_4^2}{2} + \frac{V_o t_1^2}{2} - V_o t_1 t_4 \right] \quad (3.10)$$

A potência média processada pelo retificador não controlado pode ser expressa como:

$$P_{Ret1} = i_{L_{avg}} \cdot V_o \quad (3.11)$$

Substituindo (3.10) em (3.11) é obtida a expressão da potência média processada pelo retificador não controlado em função do valor de pico da tensão de entrada, do valor médio da tensão de saída e do indutor de filtro L_1 .

$$P_{Ret1} = \left(\frac{-V_o}{L_1 \cdot T} \right) \left[\frac{V_p (\sin \omega t_4 - \sin \omega t_1)}{\omega^2} + \frac{V_p \cos \omega t_1 (t_1 - t_4)}{\omega} + \frac{V_o t_4^2}{2} + \frac{V_o t_1^2}{2} - V_o t_1 t_4 \right] \quad (3.12)$$

O valor da indutância L_1 pode ser calculado através da Eq. 3.13, obtida através da Eq. 3.12. Dessa forma obtém-se uma equação que determina o valor da indutância L_1 em função do valor de pico da tensão de entrada (V_p), do valor médio da tensão de saída (V_o), da potência média processada pelo retificador não controlado (P_{Ret1}) e dos instantes t_1 e t_4 , calculados através das Eq. 3.4 e 3.5, respectivamente.

$$L_1 = \left(\frac{-V_o}{P_{Ret1} \cdot T} \right) \left[\frac{V_p (\sin \omega t_4 - \sin \omega t_1)}{\omega^2} + \frac{V_p \cos \omega t_1 (t_1 - t_4)}{\omega} + \frac{V_o t_4^2}{2} + \frac{V_o t_1^2}{2} - V_o t_1 t_4 \right] \quad (3.13)$$

O capacitor de saída C_2 pode ser calculado através da Eq. 3.14.

$$C_2 = \left(\frac{P_{out}}{4 \cdot V_o \cdot \Delta V_o \cdot f} \right) \quad (3.14)$$

Onde:

P_{out} – potência total de saída.

V_o – tensão média de saída.

ΔV_o – *ripple* da tensão de saída.

f – frequência da tensão senoidal retificada de entrada.

ω – velocidade angular da tensão senoidal retificada de entrada.

A Tab. 3.1 trás as especificações para o dimensionamento do retificador não controlado utilizado nos protótipos de 1 kW e 10 kW.

Tab. 3.1 – Especificação de projeto do retificador não controlado (Ret-1)

Parâmetros	Símbolo	Protótipo 1 kW	Protótipo 10kW
Tensão de pico de entrada	V_p	311 V	311 V
Tensão média de saída	V_o	250 V	250 V
Potência média do Ret-1	P_{ret1}	0.6 kW	6 kW
Ondulação da tensão no capacitor C_2	ΔV_{C2}	15	150

3.3.1 Dimensionamento Retificador Não Controlado do Protótipo de 1 kW

3.3.1.1 Cálculo do Indutor L_1

Para se obter o valor do indutor L_1 pode ser obtido através da Eq. 3.13 é necessário o cálculo dos instantes t_1 e t_4 , obtidos através da Eq. 3.4 e 3.5, respectivamente. Assim

$$t_1 = \frac{\sin^{-1}\left(\frac{V_o}{V_p}\right)}{\omega} = 2,5 \text{ ms} \quad (3.15)$$

Através da solução numérica da Eq. 3.5 obtêm-se o instante t_4 .

$$t_4 = 7,6 \text{ ms} \quad (3.16)$$

Dessa forma:

$$L_1 = \left(\frac{-V_o}{P_{ret1} \cdot T} \right) \left[\frac{V_p (\sin \alpha_4 - \sin \alpha_1)}{\omega^2} + \frac{V_p \cos \alpha_1 (t_1 - t_4)}{\omega} + \frac{V_o t_4^2}{2} + \frac{V_o t_1^2}{2} - V_o t_1 t_4 \right] = 19,7 \text{ mH} \quad (3.17)$$

3.3.1.2 Cálculo do Capacitor C2

O valor do capacitor de saída C2 pode ser obtido através da Eq. 3.14.

$$C_2 = \left(\frac{P_{out}}{4 \cdot V_o \cdot \Delta V_o \cdot f} \right) = 555 \mu F \quad (3.18)$$

3.3.2 Dimensionamento Retificador não Controlado do Protótipo de 10 kW

3.3.2.1 Cálculo do indutor L1

De maneira análoga ao dimensionamento do indutor L1 do protótipo de 1 kW, obtêm-se os instantes t1 e t4 para o protótipo de 10 kW através da Eq. 3.4 e 3.5, respectivamente. Dessa forma:

$$t_1 = \frac{\sin^{-1}\left(\frac{V_o}{V_p}\right)}{\omega} = 2,3 \text{ ms} \quad (3.19)$$

Através da solução numérica da Eq. 3.5 obtêm-se o instante t4.

$$t_4 = 7,9 \text{ ms} \quad (3.20)$$

Dessa forma:

$$L_1 = \left(\frac{-V_o}{P_{Ref1} \cdot T} \right) \left[\frac{V_p (\sin \alpha_4 - \sin \alpha_1)}{\omega^2} + \frac{V_p \cos \alpha_1 (t_1 - t_4)}{\omega} + \frac{V_o t_4^2}{2} + \frac{V_o t_1^2}{2} - V_o t_1 t_4 \right] = 2,65 \text{ mH} \quad (3.21)$$

3.3.2.2 Cálculo do Capacitor C2

O valor do capacitor de saída C2 do protótipo de 10 kW pode ser obtido através da Eq. 3.14.

$$C_2 = \left(\frac{P_{out}}{4 \cdot V_o \cdot \Delta V_o \cdot f} \right) = 555 \mu F \quad (3.22)$$

3.4 Projeto do Conversor Chaveado (Ret-2)

O conversor SEPIC utilizado nesta aplicação é ilustrado na Fig. 3.3.

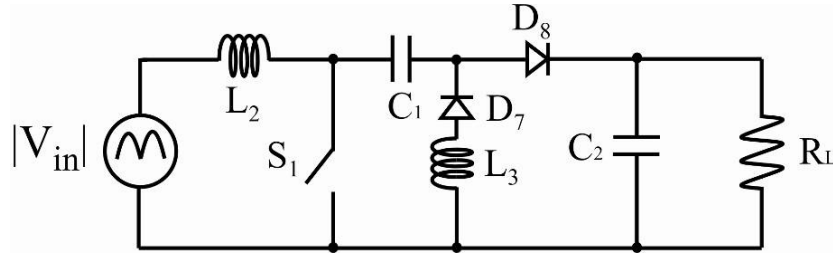


Fig. 3.3 – Conversor SEPIC.

Suas especificações de projeto são apresentadas na Tab. 3.2.

Tab. 3.2 – Especificações do Conversor SEPIC.

Parâmetros	Símbolo	Protótipo 1kW	Protótipo 10 kW
Tensão máxima na entrada	V_{imax}	311 V	311 V
Tensão mínima na entrada	V_{imin}	300 V	300 V
Potência de Saída	P_o	0.4 kW	4 kW
Tensão na média de saída	V_o	250 V	250 V
Contribuição da corrente na saída	I_o	1.6 A	16 A
Ondulação da corrente no Indutor L_2	ΔI_{L2}	1 A	6 A
Ondulação da corrente no Indutor L_3	ΔI_{L3}	1 A	6 A
Ondulação da tensão no capacitor C_1	ΔV_{C1}	4 V	20 V
Frequência de chaveamento	f_s	25 kHz	25 kHz

3.4.1 Dimensionamento do Protótipo de 1 kW

3.4.1.1 Dimensionamento do Indutor L_2

A razão cíclica mínima e máxima podem ser determinada por:

$$\frac{D_{\min}}{1 - D_{\min}} = \frac{V_o}{V_{imax}} \quad (3.23)$$

$$D_{\min} = 0,44 \quad (3.24)$$

$$\frac{D_{\max}}{1 - D_{\max}} = \frac{V_o}{V_{imin}} \quad (3.25)$$

$$D_{\max} = 0,45 \quad (3.26)$$

Assim, o indutor L_2 pode ser obtido por:

$$L_2 = \frac{V_{i\max}}{\Delta I_{L1}} D_{\min} T \cong 5,5 \text{ mH} \quad (3.27)$$

3.4.1.2 Dimensionamento do Indutor L_3

Considerando a máxima tensão, o valor do indutor L_3 pode ser obtido por:

$$L_3 = \frac{V_o}{\Delta I_{L3}} (1 - D_{\min}) T \cong 5,5 \text{ mH} \quad (3.28)$$

3.4.1.3 Dimensionamento do Capacitor C_1

Considerando a mínima tensão de entrada a tensão média no capacitor C_1 pode ser obtida por:

$$V_{C1md} = V_{i\min} = 300V \quad (3.29)$$

O valor do capacitor C_1 pode ser obtido por:

$$C_1 = \frac{I_{L3} D_{\max}}{0,2 V_{C1md} f_s} = 5,36 \mu F \quad (3.30)$$

3.4.2 Dimensionamento para Protótipo de 10 kW

3.4.2.1 Dimensionamento do Indutor L_2

A razão cíclica mínima e máxima podem ser determinada por:

$$\frac{D_{\min}}{1 - D_{\min}} = \frac{V_o}{V_{i\max}} \quad (3.31)$$

$$D_{\min} = 0,41 \quad (3.32)$$

$$\frac{D_{\max}}{1 - D_{\max}} = \frac{V_o}{V_{i\min}} \quad (3.33)$$

$$D_{\max} = 0,42 \quad (3.34)$$

Assim, o indutor L_2 pode ser obtido por:

$$L_2 = \frac{V_{i\max}}{\Delta I_{L1}} D_{\min} T \cong 859 \mu H \quad (3.35)$$

3.4.2.2 Dimensionamento do Indutor L_3

Considerando a máxima tensão, o valor do indutor L_3 pode ser obtido por:

$$L_3 = \frac{V_o}{\Delta I_{L3}} (1 - D_{\min}) T \cong 859 \mu H \quad (3.36)$$

3.4.2.3 Dimensionamento do Capacitor C_1

Considerando a mínima tensão de entrada a tensão média no capacitor C_1 pode ser obtida por:

$$V_{C1md} = V_{i\min} = 300V \quad (3.37)$$

O valor do capacitor C_1 pode ser obtido por:

$$C_1 = \frac{I_{L3} D_{\max}}{0,2 V_{C1md} f_s} = 5,9 \mu F \quad (3.38)$$

Um resumo de todos os valores dos componentes dimensionados pode ser encontrado na Tab. 3.3.

Tabela 3.3 – Resumo de dimensionamento.

Parâmetro	Protótipo 1 kW	Protótipo 10 kW
Indutor L_1	19.7 mH	2.65 mH
Indutor L_2	5.5 mH	859 μ H
Indutor L_3	5.5 mH	859 μ H
Capacitor C_1	5.36 μ F	5.9 μ F
Capacitor C_2	555 μ F	555 μ F

3.5 Estratégia Controle

A estratégia de controle adotada é baseada na imposição da corrente de linha de entrada com baixa DHT_I e elevado FP . Não é realizado o controle da tensão de saída, sendo seu valor definido pelo valor de pico da tensão de alimentação e pelo valor do seno do ângulo em que a condução dos diodos da ponte retificadora (D_1 - D_4) começa,

definido na seção 3.2 como θ_I . Assim, a estratégia de controle proposta se concentra em impor uma corrente aproximadamente senoidal na entrada, limitando a potência ativa processada pelo conversor chaveado, garantindo, portanto, que o conversor chaveado jamais assuma a potência total entregue a carga. Caso contrário, a tensão no barramento CC de saída se eleva, bloqueando os diodos da ponte retificadora não controlada (D_1 - D_4) e retirando, conseqüentemente, o retificador não controlado de operação. Para alcançar tal objetivo, o valor de pico da corrente do conversor chaveado será sempre menor que o valor de pico da corrente do retificador não controlado. Neste contexto, o diagrama esquemático ilustrando a estratégia de controle desenvolvida é apresentado na Fig. 3.4.

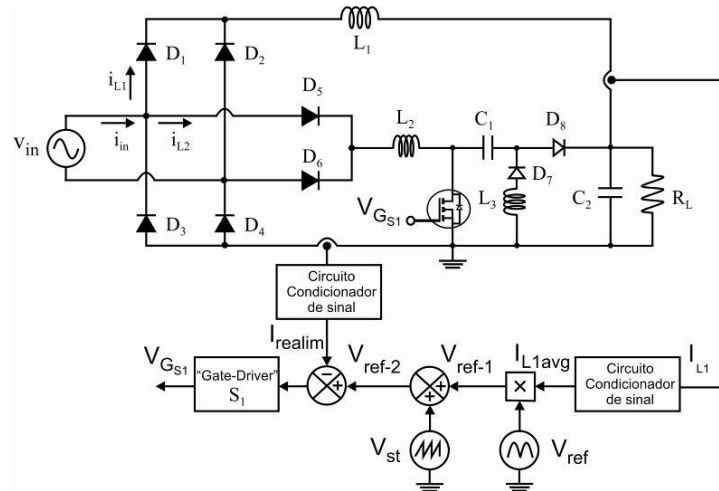


Fig. 3.4 – Diagrama esquemático do circuito de controle.

Para impor uma corrente aproximadamente senoidal na rede CA e em sincronismo com a tensão de alimentação, uma tensão senoidal retificada (V_{ref}) é multiplicada pelo valor médio da corrente do retificador não controlado (i_{L1avg}). Este sinal é obtido através da aquisição e condicionamento do sinal de corrente que flui pelo indutor L_1 do retificador não controlado (i_{L1}), conforme ilustrado na Fig. 3.4. Vale ressaltar que variações de carga implicam em variações no valor médio da corrente do retificador não controlado (i_{L1}) e, conseqüentemente, na forma de onda final da corrente de

alimentação. Por este motivo, deve-se fazer com que a magnitude do sinal de referência de corrente varie na mesma proporção, mantendo a composição da corrente de entrada na forma de onda desejada. Como resultado da multiplicação tem-se, portanto, um sinal senoidal de referência proporcional à carga aplicada na saída do retificador híbrido proposto (V_{ref-1}). O ajuste adequado da amplitude da tensão senoidal retificada garante que a magnitude do sinal de referência de corrente e, conseqüentemente, o valor de pico da corrente imposta no conversor chaveado, seja sempre menor que o valor de pico da corrente do retificador não controlado. Assim, consegue-se impor a forma de onda desejada na corrente CA de alimentação, limitando a potência fornecida pelo conversor chaveado. A amplitude máxima do sinal de referência é ajustada para condição nominal de carga, portanto, o valor de pico da corrente imposta no conversor chaveado é menor que o valor de pico da corrente do retificador não controlado, em qualquer condição de carga. Vale ressaltar que a parcela de contribuição do conversor chaveado deve ser tal que a corrente imposta na rede CA de alimentação tenha baixos níveis harmônicos, tomando como referência as normas IEC 61000-3-2 e IEC 61000-3-4, dependendo do nível de potência de saída.

Para se obter um sinal *PWM* de referência, soma-se um sinal de tensão dente de serra (V_{S1}), com amplitude adequada e frequência de 25 kHz, com o sinal V_{ref-1} , obtendo-se, portanto, o sinal V_{ref-2} . Concluindo, o sinal *PWM* de referência (V_{ref-2}) é comparado com o sinal de corrente realimentado do conversor chaveado (i_{realim}). Este sinal é proporcional à soma das correntes i_{L1} (através do indutor L_1), e i_{L2} (através do indutor L_2). Como resultado da comparação obtém-se os sinais de ataque de gatilho (V_{GSI}) do interruptor S_1 . Portanto, a corrente que flui através do indutor L_2 seguirá a forma de onda da referência imposta por uma simples técnica de controle de modulação por largura de pulso [34], [35].

3.6 Implementação da Estratégia de Controle

Para a implementação da estratégia de controle do RHM pode-se utilizar meios analógicos ou digitais. Ao utilizar-se de circuitos analógicos têm-se como vantagens o baixo custo e a facilidade de implementação de projeto. Porém, como desvantagem, os circuitos analógicos são poucos configuráveis, limitando alterações de projeto.

Por outro lado, os circuitos digitais vêm diminuindo seu custo em relação aos circuitos analógicos, bem como aumentando seu desempenho. Em virtude dessas condições, os controles de estruturas de potência vêm migrando para a tecnologia digital, que traz alguns benefícios para o controle, dentre eles pode-se destacar [36]:

- **Facilidade de expansão:** O circuito pode ser facilmente reconfigurado para implementar mais funções;
- **Aumento no desempenho:** Algumas características podem ser melhoradas devido à alta velocidade de processamento dos atuais dispositivos digitais, em especiais àquelas que necessitam de rápida realimentação;
- **Múltiplos propósitos:** Em sistemas mais complexos, um mesmo circuito digital pode ser utilizado para realizar diversos processamentos.

3.6.1 Processador de Sinais Digitais - DSP

Os DSPs são processadores que permitem o uso de técnicas de controle de sinais discretos aplicando aos sinais técnicas de controle e processamento. São componentes compostos por conversores analógicos digitais (A/D) e conversores digitais analógicos (D/A) com capacidade de converter os sinais com elevada precisão, além de processadores capazes de manipular esses dados com alta velocidade, incorporando ainda outros periféricos.

Estas características do DSP permitem a implantação de algoritmos de controle (clássico, robusto, adaptativo, fuzzy etc) com a flexibilidade de alteração dos

parâmetros de controle por *software* dispensando a interferência de parâmetros físicos dos componentes do processamento, fazendo com que os custos desta tecnologia passem a ser atrativos [37].

A Fig. 3.5 ilustra algumas aplicações do DSP.

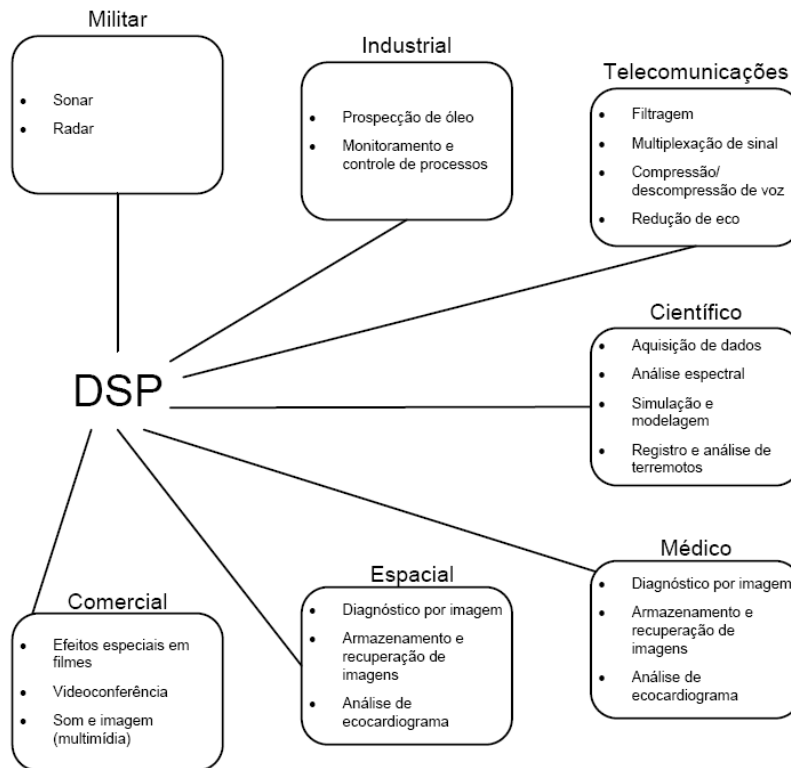


Fig. 3.5 – Aplicações do DSP

Pela característica de serem microprocessadores otimizados para efetuar processamento matemático, operam com velocidades superiores aos demais processadores para aplicações genéricas, que são otimizados para manipulação e gerenciamento de dados. A sua estrutura interna é baseada na topologia *Harvard* modificada possuindo barramentos internos independentes para programas, dados de entrada e saída, permitindo acesso simultâneo a instruções de programa e dados, dobrando o fluxo de informações para aplicações matemáticas, possibilitando realizar múltiplas ações em um mesmo ciclo de *clock*. Este paralelismo de processamento, em

conjunto com um mecanismo bastante flexível de gerenciamento de interrupções e chamada de funções/rotinas, faz com que o DSP tenha um desempenho significativo no processamento dos dados amostrados.

Os DSPs podem ser classificados pelo formato dos dados como ponto fixo ou flutuante, dependendo de como os dados são manipulados e armazenados. Os processadores de ponto fixo são caracterizados por uma palavra de tamanho fixo (16 bits, 32 bits etc). Já nos processadores de ponto flutuante os números são caracterizados pela mantissa e o expoente. Um processador do tipo ponto flutuante ou ponto fixo pode trabalhar com dados no outro formato, porém os processadores baseado em ponto fixo apresentam uma queda no desempenho de processamento para possibilitar o trabalho com números no formato de ponto flutuante. A escolha do formato numérico depende basicamente das restrições sinal ruído requeridas para aplicação desejada e do custo [37].

Para a especificação do DSP devem ser considerados:

- Principais sinais a serem monitorados pelo DSP
- Frequência de operação do conversor
- Circuito de condicionamento de sinais
- Tipo de modulação

Outras características importantes na escolha dos DSPs são:

- Resolução, número de canais e tempo de conversão A/D;
- Tempo de execução das instruções;
- Capacidade de memória do DSP;
- Arquitetura básica do DSP;
- Ferramentas de hardware e *software* disponíveis no mercado.

No momento de escolha do DSP algumas dessas características resultam diretamente na especificação mínima necessária para a aplicação.

3.6.2 DSP TMS320F28335 – Características Gerais

O microcontrolador TMS320F28335 apresenta uma série de características fundamentais necessárias para a implementação do projeto em questão, pois atende às necessidades exigidas principalmente nos quesitos de capacidade de armazenamento de dados, tamanho reduzido e configuração robusta. Outro fator que o diferencia em relação a outros microcontroladores é sua arquitetura de ponto flutuante de 32 bits, o que lhe garante uma maior precisão no armazenamento e manipulação de variáveis. Além disso, possui conversor analógico/digital (A/D) ultra-rápido (80ns), que permite aquisição de sinais em frequências mais elevadas; 512 KB de memória flash possibilitando o armazenamento de um grande conjunto de dados gerados para análise da qualidade da energia; 68 KB de memória RAM; frequência de 150 MHz; múltiplos conectores (“176 pinos I/O”), para possível comunicação do processador com outros dispositivos.

Diante dos benefícios apresentados, o DSP TMS320F28335 foi utilizado como plataforma de processamento digital por apresentar características de hardware que satisfazem os requisitos da presente aplicação.

A Fig 3.5 apresenta o circuito de potência e o diagrama de blocos do circuito de controle do RHM implementado com o DSP F28335.

A lógica utilizada no diagrama de blocos apresentada na Fig. 3.4 foi incorporada no controle digital, utilizando os recursos e periféricos do DSP F28335.

Conforme descrito na seção 3.5, a corrente realimentada (i_{realim}) é comparada com a referência senoidal de corrente (V_{ref-2}) para geração de pulsos de ataque de gatilho do interruptor S_1 . No controle digital, o sinal V_{ref-2} é provindo de uma senóide digital

retificada (V_{ref}) multiplicada por uma constante proporcional à carga aplicada ao conversor (i_{L1avg}) e por um ganho de ajuste K_1 .

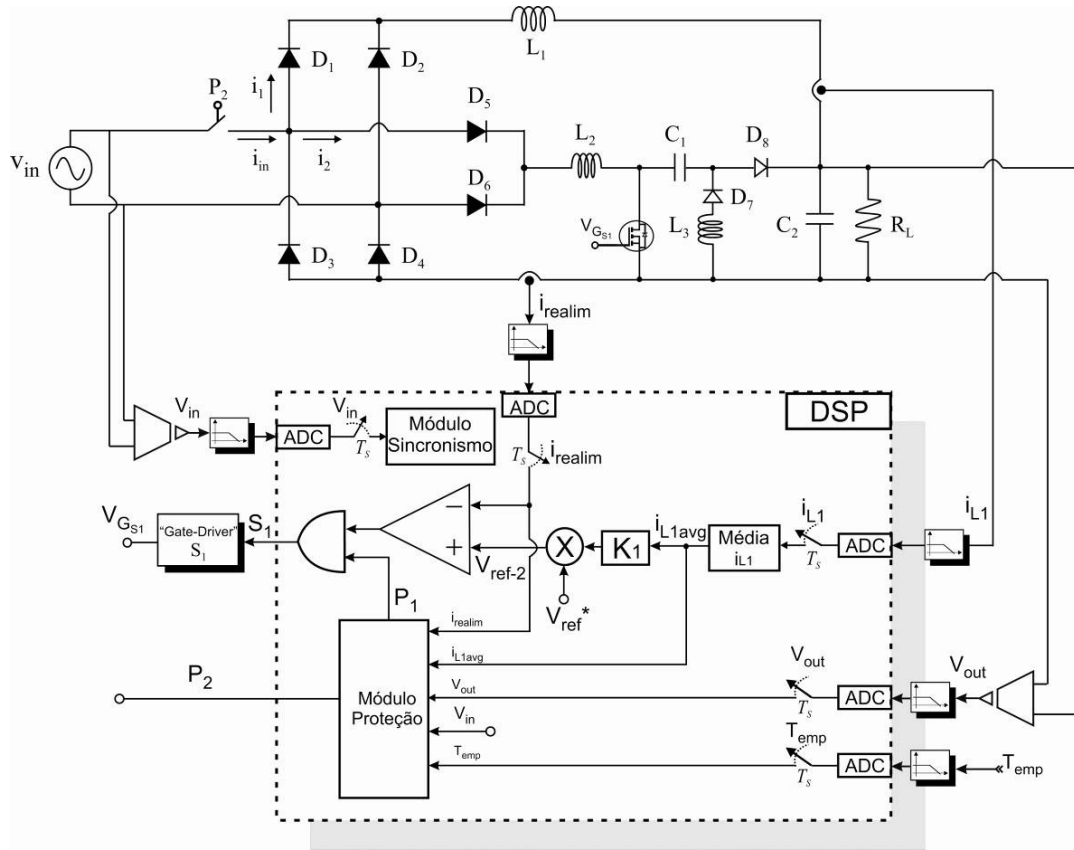


Fig. 3.6 – Diagrama de blocos digital.

A constante proporcional à carga aplicada ao RHM (i_{L1avg}) é obtida através de uma média da corrente i_{L1} . O valor de i_{L1avg} é um indicador qualitativo da carga aplicada ao RHM, uma vez que variações da carga acarretam em variações proporcionais da corrente média no indutor L_1 . Assim, multiplicando o valor médio da corrente i_{L1} pela senóide digital retificada (V_{ref}) obtêm-se uma referência de corrente (V_{ref-2}) que varia proporcionalmente com a carga, tendendo a variar a contribuição do conversor chaveado no sentido de manter a mesma DHT da corrente CA de entrada.

Quanto maior a referência de corrente maior será a contribuição do conversor chaveado e menor será a DHT da corrente de entrada do conversor. O ganho K_1 é uma constante que ajusta a amplitude referência de corrente e, consequentemente, possibilita

um controle direto na DHT da corrente CA de entrada. Seu valor pode ser determinado através do modelo matemático do RHM desenvolvido e apresentado no Capítulo 4.

A senóide retificada, juntamente com a onda dente-de-serra, são geradas digitalmente, correspondendo ao sinal V_{ref} . Utiliza-se o *software* Matlab[®] para a geração de pontos que serão utilizados pelo DSP para a composição de uma senóide. A referência senoidal gerada digitalmente traz como benefício primordial a imunidade à presença de harmônicos e ruídos existentes na tensão da rede, garantindo que a corrente CA de entrada não sofra interferência de componentes harmônicos oriundos da tensão de entrada.

Uma amostra da tensão de entrada é utilizada no módulo de sincronismo, permitindo sincronizar a senóide retificada digital (V_{ref}) com a tensão de entrada (v_{in}), o que garante que a leitura de pontos da senóide digital inicie somente com a passagem do zero da tensão de alimentação. Por segurança, a ação de sincronização é realizada a cada semi-ciclo da tensão de entrada e caso não seja detectado a passagem por zero o módulo de proteção é ativado no sentido de retirar o conversor chaveado de operação.

Conforme será descrito na seção 3.7.3.4, o módulo de proteção implementado digitalmente é configurado para atuar do sistema diante dos seguintes eventos:

- Sobrecarga do retificador não controlado;
- Sobrecarga do retificador chaveado;
- Perda de alimentação do DSP;
- Curto-circuito;
- Sobreaquecimento;

Os eventos citados são monitorados através dos sinais de tensão de entrada (v_{in}) e saída (V_{out}), da corrente realimentada (i_{realim}) e no indutor L_1 (i_{L1}) e um sinal provindo do sensor de temperatura (T_{emp}), posicionado no dissipador de calor da estrutura. O

módulo de proteção atua no interruptor S_1 e nos contadores de entrada do conjunto, que secciona a alimentação do RHM.

3.7 Fluxograma da Estratégia de Controle

Para implementação da estratégia de controle descrita utilizou-se o *Code Composer Studio*[®], necessário para programação do DSP F28335. O código completo é listado nos anexos.

A Fig. 3.7 ilustra o fluxograma da estratégia de controle.



Fig. 3.7 – Fluxograma do circuito de controle

Nas seções que seguem há uma descrição a respeito de cada bloco do fluxograma, detalhando sua função, as variáveis envolvidas e os meios de sua implementação.

3.7.1 Declaração das Variáveis

A Tab. 3.4 apresenta uma descrição detalhada das variáveis utilizadas no código do controle implementado, onde são evidenciados o nome, tipo e funcionalidade de cada variável.

Tab. 3.4. – Variáveis utilizadas na estratégia de controle digital.

Variável	Tipo	Função
BUFFERSIZE	Inteiro 16 bits	Determina o número de pontos das variáveis que armazenam os sinais amostrados.
V_{ref}	<i>Float</i>	Vetor com os pontos gerados no Matlab [®] que define a senóide retificada de referência.
V_{ref-2}	<i>Float</i>	Referência senoidal de corrente proporcional à carga aplicada ao conversor. É comparada com a realimentação de corrente (i_{realim_fl}) para geração dos pulsos de ataque de gate do interruptor S_1 .
V_{in}	Inteiro 16 bits	Recebe o valor presente da conversão do sinal proveniente do sensor de tensão de entrada.
V_{in_ant}	Inteiro 16 bits	Recebe o valor passado da conversão do sinal proveniente do sensor de tensão de entrada.
mult	<i>Float</i>	Recebe o produto de V_{in} por V_{in_ant} . É utilizado no módulo de sincronismo para detecção da passagem por zero da tensão de entrada.
i_{realim}	Inteiro 16 bits	Recebe o valor da conversão do sinal proveniente do sensor de corrente de realimentação.
i_{realim_fl}	<i>Float</i>	Conversão da variável inteira i_{realim} para float. É utilizada na comparação da referência senoidal de corrente (V_{ref-2}) para geração de pulsos para ataque de gate do interruptor S_1 .
i_{L1}	Inteiro 16 bits.	Recebe o valor da conversão do sinal proveniente do sensor de corrente no indutor L_1 .
i_{L1avg}	<i>Float</i>	Média da corrente i_{L1} .
V_{out}	Inteiro 16 bits.	Recebe o valor da conversão do sinal proveniente do sensor da tensão de saída.
K_1	<i>Float</i>	Constante utilizada para ajuste de amplitude da referência senoidal de corrente (V_{ref-2}).
i	Inteiro 16 bits	Contador geral. É incrementado a cada chamada de interrupção e é zerado na passagem por zero da tensão senoidal de entrada.

P_1	Inteiro 16 bits	Sinal proveniente do módulo de proteção. Se $P_1=1$ os pulsos para o ataque de gate do interruptor S_1 são ativados. Se $P_1=0$ os pulsos são cancelados, retirando o conversor chaveado de operação.
P_2	Inteiro 16 bits.	Sinal proveniente do módulo de proteção. Se $P_2=1$ os contadores de entrada do RHM são energizados. Se $P_2=0$ os contadores de entrada são desenergizados, retirando o RHM de operação.

A variável `BUFFERSIZE` determina número de pontos da senóide utilizada como referência de corrente e é diretamente relacionada com a frequência de aquisição dos sinais. A relação do `BUFFERSIZE` com a frequência de amostragem pode ser representado através da Eq. 3.39.

$$\text{BUFFERSIZE} = 1.1 \frac{F_a}{F_s} \quad (3.39)$$

Onde:

F_a é a frequência de amostragem do sinal;

F_s é a frequência do sinal a ser adquirido;

Para aumentar a resolução dos sinais amostrados toda a análise é feita por semi-ciclo da senóide de entrada, resultando em uma frequência de sinal de 120 Hz.

A frequência de amostragem é relacionada com a precisão dos valores digitais resultado das aquisições. Uma baixa frequência de amostragem em relação à frequência do sinal amostrado pode gerar uma forma de onda digital muito discrepante em relação à forma de onda do sinal original. Para esta aplicação, a frequência de amostragem foi estabelecida em 100 kHz. Através da Eq. 3.39 obtêm-se um valor de 916 para o `BUFFERSIZE`. Esse valor indica que os sinais de tensão e corrente amostrados serão representados em 916 pontos.

É importante salientar que a frequência de amostragem não é exatamente a frequência de chaveamento do interruptor S_1 . A frequência de amostragem determina a frequência da aquisição das amostras dos sinais de tensão e corrente e,

consequentemente, a frequência das ações de comparação que irão determinar o estado do pulso para o interruptor S_1 , o que não garante que o estado do interruptor mudará a cada amostra adquirida, conforme ilustra a Fig. 3.8.

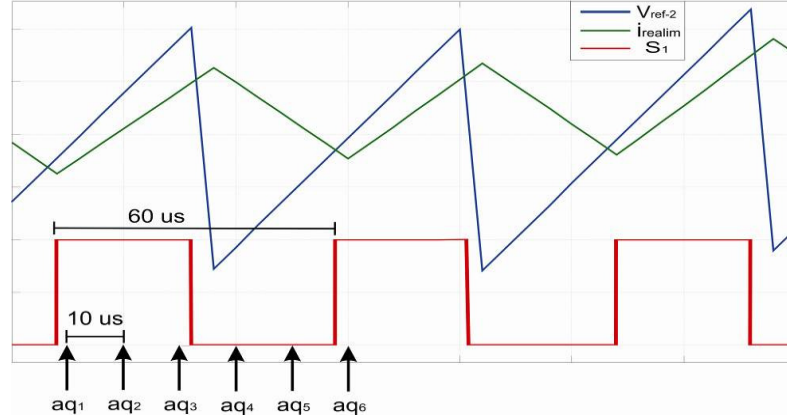


Fig. 3.8 – Período de aquisição (10 μs) e período de chaveamento (60 μs).

O que de fato determina a frequência de chaveamento do interruptor S_1 é a dinâmica do conjunto, que está relacionada com os valores dos componentes do conversor: indutâncias, capacitâncias e carga e, de forma indireta, do valor da frequência e amplitude da onda dente-de-serra embutida na senóide retificada digital (V_{ref}).

Na Eq. 3.39 multiplica-se a relação entre a frequência de amostragem (F_a) e a frequência do sinal (F_s) por um fator de 1,1. Consequentemente, com o valor do BUFFERSIZE obtido é previsto a aquisição de um ciclo de sinal mais 10% do próximo ciclo. Esse excedente de aquisição é uma margem de segurança utilizada pelo módulo de sincronismo, onde se detecta o zero da tensão senoidal de entrada. Dessa forma, garante-se que a passagem por zero da tensão de entrada seja detectada pelo módulo de sincronismo mesmo se houver um pequeno atraso de fase da senóide de entrada.

3.7.2 Configuração dos Registros do Sistema

Através configuração dos registros do sistema é possível ativar e desativar recursos, habilitar e desabilitar periféricos, definir a origem e frequência do *clock* do sistema, determinar quais pinos GPIO serão utilizados, configurar o ADC etc.

Nesta aplicação, como ponto de partida foi utilizado o projeto-modelo “*adc_soc*”, constituinte dos arquivos *Headers*. Neste projeto, são configurados todos os registros necessários que possibilitam o ADC gerar uma chamada de interrupção.

3.7.3 Rotina de Interrupção

A rotina de interrupção corresponde ao trecho do código onde, de fato, é implementada toda a estratégia de controle. Após o contador do *Timer Base* atingir o seu período, o ADC inicia a conversão dos sinais oriundos dos sensores e, concluída a conversão, é realizado uma chamada de interrupção.

A frequência de amostragem é definida em 100 kHz, o que significa que os sinais devem ser amostrados a cada 10 us. Assim, configura-se o registro de período do *Timer Base* para que o tempo gasto na contagem do *timer* de zero até seu período seja de 10 us. Após esse intervalo um sinal de *Start of Conversion* (SOC) é enviado ao ADC para iniciar a conversão dos sinais e, finalizada a conversão, é gerado uma chamada de interrupção.

Para que o tempo gasto na contagem do *Timer Base* desde seu valor inicial (zero) até seu período seja de 10 us o valor do registro de período deve ser configurado de acordo com a Eq. 3.40.

$$TB_{PRD} = \frac{F_{CLK}}{F_a} \quad (3.40)$$

Onde:

TB_{PRD} – período do *Timer Base*;

F_a – frequência de amostragem;

F_{CLK} – frequência do *clock* interno do DSP F28335;

A frequência do *clock* configurada nos registros de sistema é de 75 MHz. Assim, através da Eq. 3.40 obtêm-se o valor de 750 a ser utilizado no registro de período do *Timer Base*, correspondendo a um tempo de contagem de 10 μ s.

Uma vez ajustado o período do *Timer Base* e configurado o ADC para iniciar a conversão dos sinais após o contador igualar ao período garante-se que um serviço de interrupção seja requisitado pelo a cada 10 μ s.

A Fig. 3.9 mostra o fluxograma da rotina de interrupção.

Inicialmente é verificado se o contador “i” é inferior ou igual ao tamanho do BUFFERSIZE, que define o número máximo de pontos de um semi-ciclo da tensão de entrada. Se o contador “i” for menor ou igual ao o BUFFERSIZE, é realizada a aquisição e condicionamento dos sinais de entrada (V_{in} , i_{realim} , i_{L1} , V_{out} e T_{emp}). Posteriormente, é realizado o sincronismo da senóide digital retificada (V_{ref}) com a tensão de entrada (V_{in}) e calculado o valor médio da corrente i_{L1} (i_{L1avg}). Se não houver anormalidades previstas no módulo de proteção, multiplica-se i_{L1avg} e o ganho K_I pela senóide digital retificada (V_{ref}), obtendo V_{ref-2} , e realiza-se a comparação deste sinal com a realimentação de corrente (i_{realim}) para geração de pulsos de ataque de gate do interruptor S_1 .

Finalizando, o contador “i” é incrementado e tem-se o fim da rotina de interrupção com o *reset* dos flags de interrupções, habilitando o periférico de interrupção (*PIE*) a realizar uma nova chamada de rotina interrupção quando houver uma requisição pelo *Timer Base*.

Se o contador “i” ultrapassar o valor do BUFFERSIZE significa que o módulo de sincronismo não detectou a passagem por zero de tensão de entrada após um meio-ciclo

completo mais a margem de segurança. Por motivos de segurança, os pulsos na chave são cancelados e finaliza-se a rotina de interrupção.

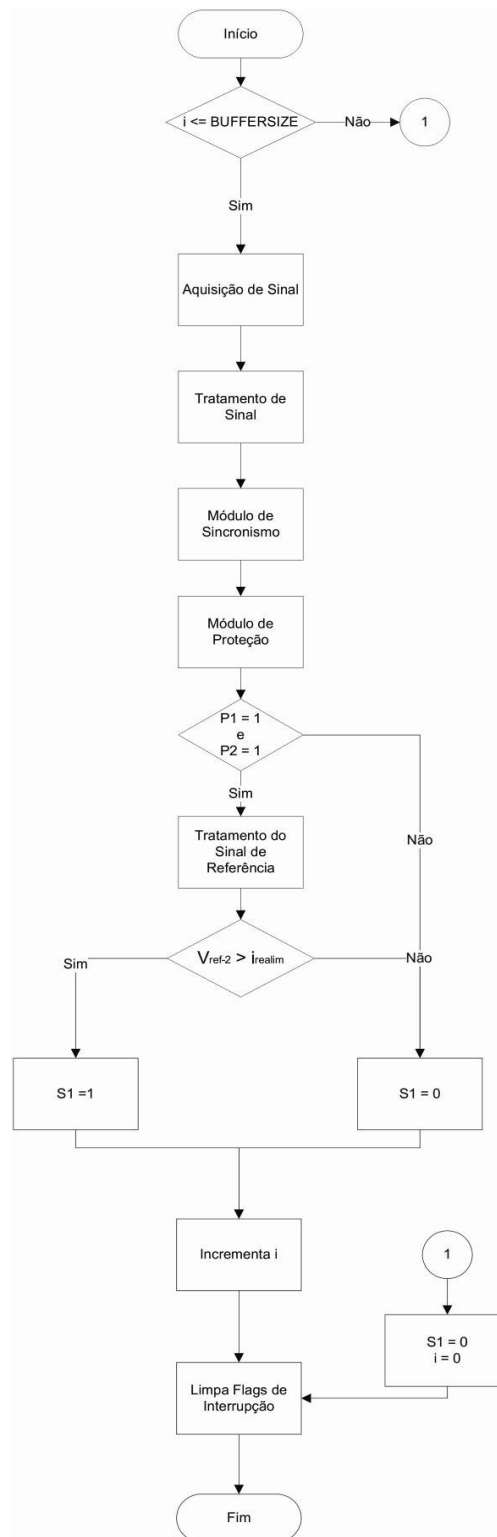


Fig. 3.9 – Rotina de Interrupção

Nas seções seguintes são descritos detalhadamente cada bloco do fluxograma de interrupção.

3.7.3.1 Aquisição dos Sinais

A aquisição dos sinais necessários para a implementação da estratégia de controle é realizada através dos pinos de entrada do ADC.

O DSP F28335 possui um ADC de 12 bits com dois blocos de conversão (A e B) que, cascadeados, permitem a aquisição de 16 sinais. No modo simultâneo cada bloco permite a aquisição de 8 sinais.

Nesta aplicação optou-se pela conversão em cascata com 5 aquisições. A Tab. 3.5 mostra os sinais amostrados, os pinos de entrada onde são conectados os sinais provindos dos sensores e os registros de saída onde são obtidos os valores da conversão.

Tab. 3.5 – Informações dos sinais e pinos do ADC.

Sinal	Pino de Entrada	Registro de Saída
V_{in}	ADCINA0	ADC_RESULT0
i_{realim}	ADCINA1	ADC_RESULT1
i_{L1}	ADCINA2	ADC_RESULT2
V_{out}	ADCINA3	ADC_RESULT3
T_{emp}	ADCINA4	ADC_RESULT4

A relação entre a amplitude do valor do sinal analógico e o valor digital da conversão é expressa pela Eq. 3.41.

$$V_{digital} = 1365 \cdot V_{analógico} \quad (3.41)$$

O ADC do DSP F28335 suporta níveis de tensão de entrada de, no máximo, 3,3 V de amplitude. Valores de tensão maiores que esse limite pode danificar o DSP.

Dessa forma, são utilizadas placas de aquisição de sinal específicas, especialmente projetadas para utilização em DSP. Elas limitam a saída em 3,3 V, garantindo uma proteção de sobretensão nos pinos de entrada do ADC.

Cada placa possui um sensor de tensão e um de corrente, ambos de efeito Hall, com suportabilidade de 500 V e 50 A eficazes, respectivamente. Dessa forma são

utilizadas duas dessas placas para a aquisição dos sinais de tensão de entrada (V_{in}) e saída (V_{out}) e dos sinais de corrente realimentada (i_{realim}) e no indutor L_1 (i_{L1}).

Como característica da tensão de saída das placas, os sinais possuem um nível DC de 1,5V. Não é realizado nenhum tratamento de sinal para retirada desse nível DC antes da aquisição, sendo sua compensação realizada após a conversão, no bloco de condicionamento de sinal.

3.7.3.2 Condicionamento de Sinal

Após realizada a conversão dos sinais, é necessário um condicionamento digital desses sinais, onde se realiza:

- Conversão do resultado digital de 12 bits para 16 bits;
- Retirada do nível DC;
- Inversão de sinal.

O ADC presente no F28335 tem resolução de 12 bits. Dessa forma, apenas 12 dos 16 bits dos registros de saída são utilizados, sendo os demais reservados. Uma vez que serão utilizados variáveis de 16 bits para o armazenamento destes valores, deve-se converter, através de deslocamento de bits, os valores da aquisição de 12 bits para 16 bits.

Além do deslocamento de bits é necessário eliminar o nível DC inserido no sinal analógico pelas placas de aquisição. O nível DC inserido no sinal de saída das placas de aquisição é de 1.5 V, que representa um valor digital de 2048, obtido através da Eq. 3.41. Diminuindo esse valor das variáveis que receberão os sinais amostrados elimina-se o efeito do nível DC inserido pelas placas de aquisição.

Há ainda a possibilidade de inversão do valor digital amostrado caso a disposição das placas de aquisição no circuito de potência resulte em uma aquisição de sinal

analógico com polaridade invertida. A inversão no valor digital é obtida trocando o sinal da variável que recebe o sinal amostrado.

3.7.3.3 Módulo de Sincronismo

O módulo de sincronismo é responsável por sincronizar a senóide digital retificada (V_{ref}) com a tensão de entrada (V_{in}), colocando-as em fase. Calcula-se também o valor médio da corrente no indutor L_1 (i_{L1avg}). O fluxograma do módulo de sincronismo é ilustrado na Fig. 3.10.

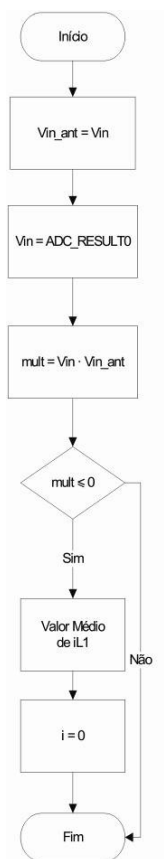


Fig. 3.10 – Fluxograma do módulo de sincronismo.

Para implementação da lógica de sincronismo é realizada a multiplicação do valor da aquisição da tensão de entrada no momento presente (V_{in}) pelo valor da tensão no momento anterior (V_{in_ant}). Se as aquisições ocorrem quando a tensão de entrada estiver em pleno ciclo positivo ou negativo o sinal da multiplicação será positivo. O sinal

negativo ocorre somente na passagem por zero, quando o valor das variáveis V_{in} e V_{in_ant} estão em ciclos diferentes.

Dessa forma, o sinal negativo da multiplicação indica uma passagem por zero da tensão de entrada. Assim, zera-se o contador “i” quando detectado o sinal negativo na multiplicação, garantindo o sincronismo da tensão de entrada com a senóide digital V_{ref} .

É calculado também o valor médio da corrente i_{L1} , obtido através da soma dos valores do vetor da variável i_{L1} . Dessa forma, obtém-se a cada semi-ciclo da tensão senoidal de entrada o valor atualizado da média da corrente no indutor L_1 .

3.7.3.4 Módulo de Proteção

O módulo de proteção implementado digitalmente atua nos contadores de entrada e é configurado para proteger o sistema nos seguintes eventos:

- Sobrecarga do retificador não controlado;
- Sobrecarga do retificador chaveado;
- Perda de alimentação do DSP;
- Curto-circuito;
- Sobreaquecimento;

O módulo recebe como sinais de entrada a corrente realimentada (i_{realim}), a corrente média no indutor $L_1(i_{L1avg})$, a tensão de entrada (V_{in}) e saída (V_{out}) e o sinal proveniente do sensor de temperatura (T_{emp}). Conforme o evento detectado, o módulo atua no interruptor S_1 e/ou no circuito de controle dos contadores através do sinal P_2 .

Se dentre os eventos citados for detectado sobrecarga do conversor chaveado os pulsos de ataque de gatilho do interruptor S_1 são cancelados através do sinal P_1 , retirando o conversor chaveado de operação e mantendo o retificador não controlado ativo.

Por outro lado, se detectado sobrecarga do retificador não controlado, curto-circuito, perda do circuito de alimentação do DSP ou sobretemperatura o conjunto é retirado de operação através do sinal P_2 , que atua nos contadores de entrada do circuito de potência.

O fluxograma do módulo de proteção é ilustrado na Fig. 3.11, onde são destacados as tomadas de decisão para cada evento que aciona o módulo.

Especifica-se como parâmetros de entrada os valores limiares dos eventos que acionam o módulo de proteção:

- Corrente média do retificador não controlado processando potência nominal ($i_{L1_{avg_n}}$);
- Pico de corrente do retificador não controlado processando potência nominal (i_{L1_max});
- Pico da tensão senoidal de entrada (V_p);
- Temperatura máxima de operação dos semicondutores (T_{emp_max});

Quando as saídas P_1 e P_2 possuem o valor 1 (nível alto) indicam funcionamento normal do conversor. Quando levadas ao valor 0 (nível baixo) as saídas P_1 e P_2 desabilitam o conversor chaveado e o conjunto completo, respectivamente.

Vale frisar que a atuação do módulo de proteção na saída P_1 isoladamente não desativa o conjunto completo. Esse sinal atua somente no interruptor S_1 , retirando de operação o conversor chaveado, mas mantendo ativo o retificador não controlado. Se o evento que fez a saída P_1 atuar for cancelado, os pulsos serão habilitados novamente. Tal estratégia frisa a alimentação contínua da carga, que continua a ser alimentada pelo retificador não controlado caso haja pane no conversor chaveado. Por outro lado, quando detectado curto-circuito, sobrecarga no retificador não controlado ou sobreaquecimento, a saída P_2 atua no sentido de desenergizar o conjunto completo. Tal

ação é irreversível, ou seja, mesmo que o evento cesse é necessário o *reset* do circuito de controle para iniciar uma nova operação.

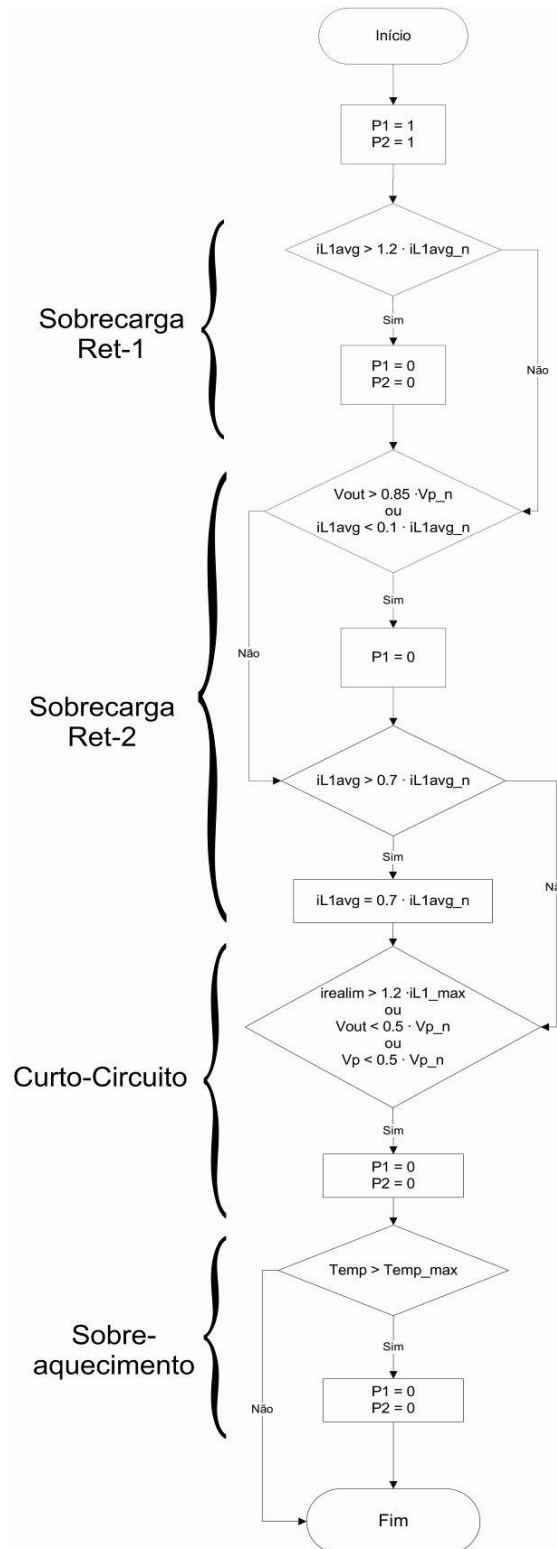


Fig. 3.11 – Módulo de proteção.

O evento de sobrecarga do retificador não controlado é detectado através do monitoramento da corrente média no indutor L_1 (i_{L1avg}). Se a corrente média no indutor L_1 atingir 120% da corrente média obtida o retificador não controlado processando potência nominal (i_{L1avg_n}) os sinais P_1 e P_2 são levados a nível baixo (0), desabilitando o conjunto.

A sobrecarga do conversor chaveado é detectada através da análise dos sinais de corrente média no indutor L_1 (i_{L1avg}), da tensão de saída (V_{out}) e de entrada (V_{in}).

O indicativo mais evidente da sobrecarga do retificador não controlado é o valor da corrente média no indutor L_1 (i_{L1avg}). Quanto mais corrente o conversor chaveado drena menor será a corrente no retificador não controlado (i_{L1}), até o ponto extremo do conversor chaveado processar toda a potência de carga, fazendo a tensão no barramento de saída se elevar, ultrapassando o pico da tensão de entrada e bloqueando os diodos da ponte retificadora, retirando, dessa forma, o retificador não controlado de operação. Assim, estabelece-se um valor mínimo para a corrente média no indutor L_1 (i_{L1avg}) como sendo 10% do valor médio da corrente no indutor L_1 quando o retificador não controlado processa a potência nominal (i_{L1avg_n}). Abaixo desse valor de corrente média entende-se como sobrecarga do retificador não controlado, levando o sinal P_1 a nível baixo (0), desabilitando os pulsos de ataque de gate no interruptor S_1 , retirando o conversor chaveado de operação e mantendo o retificador não controlado ativo. Caso o valor médio da corrente no indutor L_1 volte a crescer, ultrapassando o patamar-limite especificado, o conversor chaveado é novamente habilitado a operar.

A corrente drenada pelo conversor chaveado depende da amplitude do sinal de referência de corrente (V_{ref-2}). Quanto maior for a amplitude do sinal V_{ref-2} mais potência processa o conversor chaveado. Sendo o sinal V_{ref-2} dependente do valor médio da corrente no indutor L_1 (i_{L1avg}), seu valor deve ser saturado quando ultrapassar um

patamar limite. O valor limite de i_{L1avg} estabelecido é 70% do valor da corrente média no indutor L_1 quando o retificador não controlado processa potência nominal (i_{L1avg_n}). Dessa forma, evita-se que o conversor chaveado processe uma potência maior que dimensionado, o que poderia levar à sua destruição.

É monitorada ainda a amplitude da tensão de saída (V_{out}). A tensão média de saída aumenta quando o conversor chaveado processa mais potência. A relação limite estabelecida entre o pico da tensão de entrada e saída é de 85%. Assim, quando a tensão de saída atingir 85% do pico da tensão de entrada (V_{p_n}), indicando sobrecarga no conversor chaveado, o sinal P_1 é levado a nível baixo (0), retirando o conversor chaveado de operação até que a tensão de saída retorne a um valor abaixo do patamar estabelecido.

Para a proteção de curto-circuito é monitorada a corrente de realimentação (i_{realim}) e a tensão de saída (V_{out}). Entende-se como curto-circuito uma corrente realimentada superior a 120% do valor de pico da corrente do retificador não controlado processando a potência nominal de saída (i_{L1_max}) ou uma amplitude de tensão de saída abaixo de 50% da tensão de pico de entrada (V_{p_n}). Assim, se detectado algum desses eventos o sinal P_2 é levado a nível baixo (0), desenergizando o circuito de potência do RHM.

Finalizando, o módulo de proteção deve atuar caso a temperatura dos componentes atinja valores inadequados ao funcionamento dos semicondutores. O sinal P_2 é levando a nível baixo (0) quando a temperatura no dissipador de calor do conjunto atingir a temperatura máxima (T_{emp_max}) de 85 °C.

3.7.3.5 Tratamento de Referência

O tratamento do sinal de referência consiste em multiplicar a senóide digital retificada (V_{ref}) pela média de corrente no indutor L_1 (i_{L1avg}) e pela constante K_1 , obtendo o sinal V_{ref-2} .

Ao multiplicar a senóide digital V_{ref} pela corrente média i_{L1avg} garante-se uma referência de corrente proporcional à carga aplicada ao conversor, uma vez que o valor de i_{L1avg} é diretamente proporcional ao valor da corrente de carga.

A constante K_1 é diretamente responsável pela DHT da corrente CA de entrada do RHM. Quanto maior o valor de K_1 maior será o valor do sinal de referência de corrente (V_{ref-2}), forçando o conversor chaveado a drenar mais corrente, tornando a corrente CA de entrada mais próxima de uma senóide diminuindo, conseqüentemente, sua DHT.

Foi desenvolvido um *software* na plataforma Matlab[®] para o cálculo da constante K_1 em função de uma dada DHT da corrente CA de entrada desejada. Os detalhes do *software*, que utiliza solução numérica aplicada no modelo matemático desenvolvido, serão apresentados no Capítulo 4.

3.7.3.6 Comparação V_{ref-2} e i_{realim}

A comparação entre o sinal de referência de corrente (V_{ref-2}) e a corrente realimentada (i_{realim}) define os pulsos de ataque de gate para o interruptor principal S_1 (V_{GS1}). Foi definido o pino GPIO12 como porta de saída para alimentação do gate do interruptor S_1 . Dessa forma, se a referência de corrente (V_{ref-2}) for maior que a realimentação (i_{realim}) o pino GPIO12 é configurado como nível alto ($S_1=1$), aplicando pulso no gate do interruptor S_1 . Caso contrário, se a referência de corrente foi menor que a realimentação, o pino GPIO12 é configurado como nível baixo ($S_1=0$), retirando o pulso do gate do interruptor S_1 .

3.7.3.7 Incremento de i e Reset de Interrupção

Após realizadas as rotinas descritas, o contador i é incrementado e os *flags* de interrupção são zerados, habilitando o *PIE* a realizar uma nova chamada de interrupção quando houver requisição.

Caso o módulo de sincronismo falhe, o contador i não é resetado na passagem por zero da tensão de entrada (V_{in}), sendo incrementado a cada nova chamada de interrupção. Por segurança, quando seu valor ultrapassar o valor do `BUFFERSIZE` é realizado um *reset* forçado do contador “ i ” e os pulsos S_1 que comandam o interruptor S_1 são cancelados.

O *reset* dos flags do periférico de interrupção indica o final da rotina de interrupção. Assim, o programa retorna ao *loop* infinito, permanecendo latente até que o contador do *Timer Base* atinja seu período, enviando um novo sinal de *Start of Conversion* para o ADC e este gere uma nova chamada de interrupção quando as conversões estiverem concluídas.

3.8 Conclusão

Neste capítulo foi descrito detalhadamente a operação do retificador híbrido monofásico, destacando suas etapas de operação e a parcela de contribuição de cada grupo de retificador para a composição da forma de onda da corrente CA de entrada.

A estratégia de controle adotada visa obter uma corrente de entrada com baixo nível de DHT, garantindo ainda que o retificador não controlado processe a maior parcela de potência da carga. A potência processada pelo conversor chaveado será a mínima possível, suficiente para manter a decomposição harmônica da corrente CA de entrada dentro dos limites impostos pelas normas internacionais IEC61000-3-2 e IEC61000-3-4. Dessa forma, o retificador não controlado processa sempre a maior parcela de potência, garantindo uma elevada robustez na estrutura.

A senóide digital utilizada como referência garante que a corrente CA de entrada não seja influenciada pelos harmônicos presentes na tensão da rede. A amostra de tensão adquirida da rede é utilizada somente para sincronização da senóide digital.

O módulo de proteção atua nos pulsos do interruptor S_1 e nos contadores de entrada do circuito de potência, protegendo-o contra sobrecargas, curto-circuito ou sobre temperatura. A lógica do módulo de proteção visa à continuidade de fornecimento de energia à carga, desativando o conversor chaveado quando detectado sua sobrecarga, mas mantendo ativo o retificador não controlado processando a potência nominal de saída.

Capítulo 4

Modelagem Matemática e Resultados de Simulação Computacional

4.1 Introdução Geral

Neste capítulo será apresentada a modelagem matemática do RHM utilizando método por variáveis de estado. O modelo matemático será utilizado para especificar os componentes do circuito de potência (indutores, capacitores, resistor de pré-carga, diodos e interruptores), além de calcular o parâmetro K_1 do circuito de controle, responsável direto pela forma de onda final de corrente CA de entrada do retificador híbrido monofásico.

Foi desenvolvida um interface gráfica na plataforma Matlab[®] para apresentação dos resultados da solução do modelo apresentado. A partir dos parâmetros de entrada (valor de pico da tensão de entrada, indutâncias, capacitâncias e carga) obtêm-se, por solução numérica, as correntes nos indutores e as tensões nos capacitores do circuito de potência e, a partir deles, é possível calcular o valor médio, de pico e eficaz de corrente e tensão em todos os componentes do circuito. Além disso, a partir de uma dada DHT da corrente CA de entrada é possível calcular o parâmetro K_1 , discutido no Capítulo 3.

4.2 Modelagem do Circuito de Potência do RHM Utilizando Variáveis de Estado.

Na engenharia de controle, uma representação em espaço de estados é um modelo matemático de um sistema físico composto de um conjunto de variáveis de entrada, de saída e de estado relacionadas entre si por meio de equações diferenciais de primeira ordem. Para representação do número de entradas, saídas e estados, as variáveis são expressas em vetores e as equações diferenciais e algébricas são escritas na forma matricial. A representação em espaço de estados (também conhecida como "abordagem no domínio do tempo") fornece uma maneira prática e compacta para modelar e analisar sistemas com múltiplas entradas e saídas. Diferentemente da abordagem no domínio da frequência, o uso da representação no espaço de estados não se limita a sistemas com componentes lineares e com condições iniciais nulas [38].

Em circuitos elétricos, tradicionalmente, o número de variáveis de estado suficientes para a completa representação do sistema coincide com o número de elementos armazenadores de energia presentes no circuito. Por conveniência, escolhe-se a corrente no indutor e a tensão no capacitor como variáveis de estado.

As equações de estado podem ser escritas da seguinte forma:

$$\dot{x} = A \cdot x + B \cdot v \quad (4.1)$$

$$y = C \cdot x + D \cdot v \quad (4.2)$$

Onde:

x – vetor de estado.

$\dot{x} = \frac{dx}{dt}$ – derivada do vetor de estado em relação ao tempo;

y – vetor resposta;

v – vetor de entrada ou controle;

A – matriz de sistema;

B – matriz de entrada;

C – matriz de saída;

D – matriz de ação avante.

Como mostrado na Fig. 4.1, a estrutura topológica foco desta pesquisa contém um interruptor (S_1) que alterna o circuito entre duas configurações. Dessa forma, é necessário analisar cada circuito de modo distinto, escrever suas equações características e determinar as matrizes de sistema (A) e de entrada (B) para cada condição (fechada ou aberta) do interruptor S_1 . A estratégia de controle adotada irá determinar sobre qual sistema de equações o método de solução numérica ou algébrica será aplicado a fim de obter a resposta destas equações.

O circuito do retificador híbrido monofásico modelado é mostrado na Fig. 4.1, onde são destacadas as variáveis de estado definidas para cada configuração do circuito. A Fig. 4.2 ilustra uma simplificação do circuito apresentado na Fig. 4.1, onde foram retirados os diodos retificadores (D_1 , D_2 , D_3 e D_4) e a tensão senoidal de entrada foi substituída por uma senóide retificada ($|v_{in}|$). Esta modificação simplifica a análise para a determinação e solução do modelo.

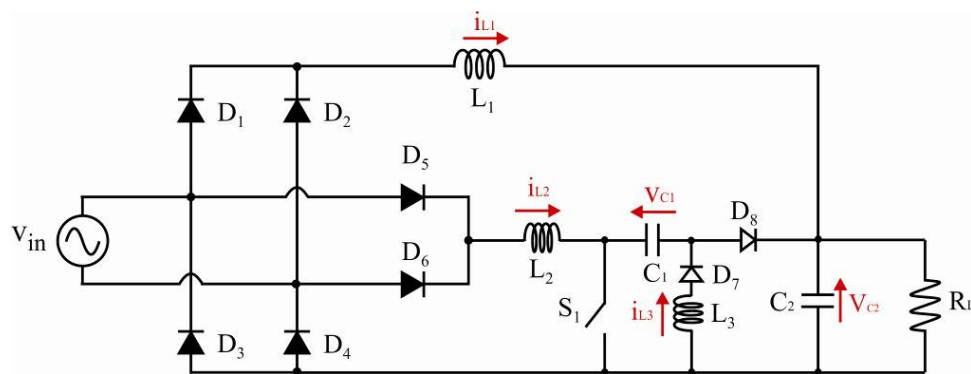


Fig. 4.1 Circuito de potência do RHM modelado.

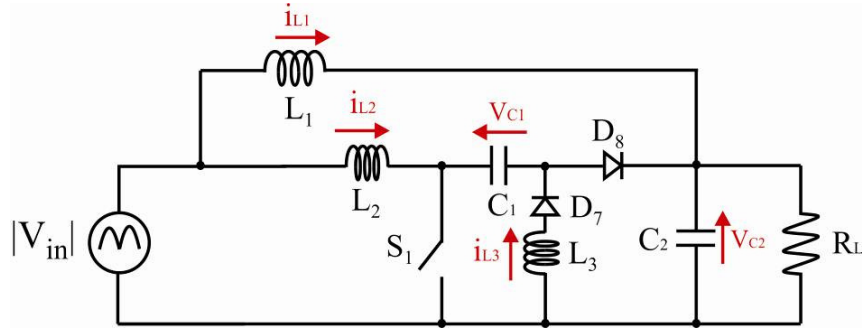


Fig. 4.2. Simplificação do circuito modelado.

Escolhendo-se as correntes nos indutores e as tensões nos capacitores como variáveis de estado, assim, o vetor de estado e a derivada do vetor de estado podem ser escritos como:

$$x_{(t)} = \begin{bmatrix} i_{L_1} \\ i_{L_2} \\ i_{L_3} \\ v_{C_1} \\ v_{C_2} \end{bmatrix} \quad \dot{x} = \begin{bmatrix} di_{L_1}/dt \\ di_{L_2}/dt \\ di_{L_3}/dt \\ dv_{C_1}/dt \\ dv_{C_2}/dt \end{bmatrix} \quad (4.3)$$

De posse do vetor de estado (x) e da derivada do vetor de estado (\dot{x}) é necessário obter as matrizes de sistema (A) e de entrada (B). O circuito modelado apresentado duas configurações, determinados pela condição do interruptor S_1 , obtendo-se, dessa forma, um par de matrizes para cada configuração do circuito.

4.2.1 Circuito Equivalente para Interruptor Fechado

O circuito resultante quando o interruptor estiver na condição fechada é mostrado na Fig. 4.3.

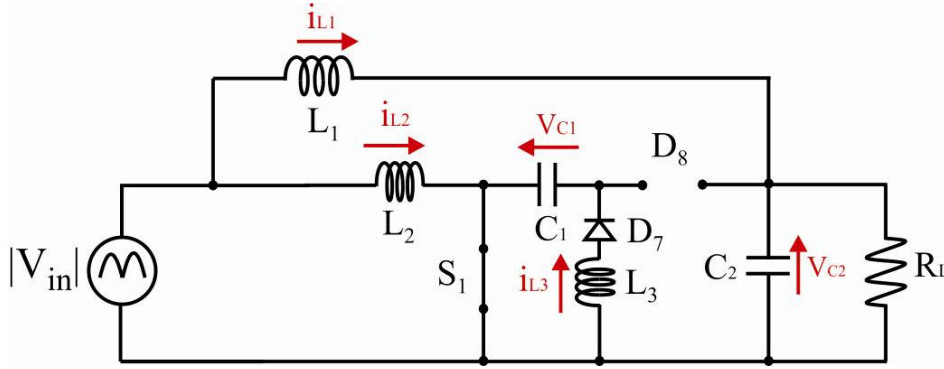


Fig. 4.3 – Circuito equivalente com o interruptor S_1 fechado.

As Eq. 4.4 a 4.8 governam o circuito para esta condição do interruptor S_1 . Nota-se que as equações estão em função das variáveis de estado e da tensão de entrada ($|v_{in}|$).

$$L_1 \left(\frac{di_{L_1}}{dt} \right) = |V_{in}| - v_{C_2} \quad (4.4)$$

$$L_2 \left(\frac{di_{L_2}}{dt} \right) = |V_{in}| \quad (4.5)$$

$$L_3 \left(\frac{di_{L_3}}{dt} \right) = v_{C_1} \quad (4.6)$$

$$C_1 \left(\frac{dv_{C_1}}{dt} \right) = -i_{L_3} \quad (4.7)$$

$$C_2 \left(\frac{dv_{C_2}}{dt} \right) = \frac{v_{C_2}}{R_L} - i_{L_1} \quad (4.8)$$

Rearranjando as Eq. 4.4 a 4.8 e colocando-as na forma da Eq. 4.1 obtêm-se a matriz de sistema A_1 e a matriz de entrada B_1 para o interruptor S_1 na condição fechada.

$$A_1 = \begin{bmatrix} 0 & 0 & 0 & 0 & -1/L_1 \\ 0 & 0 & 0 & 0 & 0 \\ 0 & 0 & 0 & 1/L_3 & 0 \\ 0 & 0 & -1/C_1 & 0 & 0 \\ 1/C_2 & 0 & 0 & 0 & -1/R_L C_2 \end{bmatrix} \quad B_1 = \begin{bmatrix} 1/L_1 \\ 1/L_2 \\ 0 \\ 0 \\ 0 \end{bmatrix} \quad (4.9)$$

4.2.2 Circuito equivalente para interruptor aberto

O circuito equivalente na condição do interruptor S_1 aberta é ilustrado na Fig. 4.4.

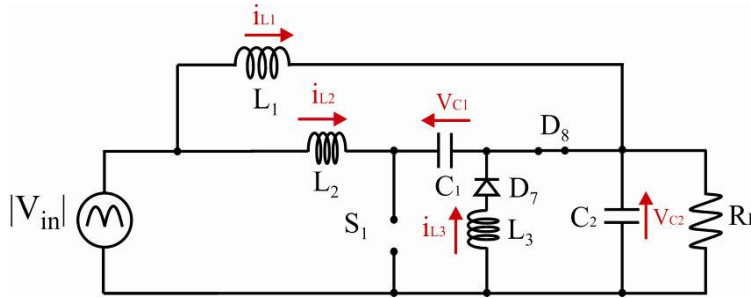


Fig. 4.4. Circuito equivalente com o interruptor S_1 aberta.

As Eq. 4.10 a Eq. 4.14 são características para o circuito com o interruptor aberto.

$$L_1 \left(\frac{di_{L_1}}{dt} \right) = |V_{in}| - v_{C_2} \quad (4.10)$$

$$L_2 \left(\frac{di_{L_2}}{dt} \right) = |V_{in}| - v_{C_1} - v_{C_2} \quad (4.11)$$

$$L_3 \left(\frac{di_{L_3}}{dt} \right) = -v_{C_2} \quad (4.12)$$

$$C_1 \left(\frac{dv_{C_1}}{dt} \right) = i_{L_2} \quad (4.13)$$

$$C_2 \left(\frac{dv_{C_2}}{dt} \right) = i_{L_1} + i_{L_2} + i_{L_3} - \frac{v_{C_2}}{R_L} \quad (4.14)$$

Novamente, isolando o vetor de derivada das variáveis de estados obtêm-se as matrizes A_2 e B_2 para o interruptor S_1 na condição aberta.

$$A_2 = \begin{bmatrix} 0 & 0 & 0 & 0 & -1/L_1 \\ 0 & 0 & 0 & -1/L_2 & -1/L_2 \\ 0 & 0 & 0 & 0 & -1/L_3 \\ 0 & 1/C_1 & 0 & 0 & 0 \\ 1/C_2 & 1/C_2 & 1/C_2 & 0 & -1/R_L C_2 \end{bmatrix} \quad B_2 = \begin{bmatrix} 1/L_1 \\ 1/L_2 \\ 0 \\ 0 \\ 0 \end{bmatrix} \quad (4.15)$$

Uma vez determinada as matrizes de sistema e entrada para cada condição do interruptor S_1 é necessário determinar as matrizes de saída (C) e ação avante (D) a fim de obter o vetor de resposta (y) e solucioná-lo algébrica ou numericamente.

4.2.3 Vetor resposta

O vetor resposta corresponde a um vetor do tipo coluna com o número de elementos iguais ao número de saídas desejadas.

Neste trabalho, as respostas desejadas são a tensão de entrada (v_{in}) e saída (v_{C2}), assim como a corrente de entrada (i_{in}) e as parcelas de correntes drenadas por cada grupo de retificador (i_{L1} e i_{L2}). Dessa forma o vetor resposta pode ser representado por:

$$y = \begin{bmatrix} v_{in} \\ v_{C2} \\ i_{L1} \\ i_{L2} \\ i_{in} \end{bmatrix} \quad (4.16)$$

O vetor de entrada representa a fonte senoidal retificada ilustrada na Fig. 4.2. Assim:

$$v_{(t)} = |v_{in(t)}| = |V_p \sin(\omega \cdot t)| \quad (4.17)$$

Onde V_p é a amplitude da senóide e ω é sua frequência angular.

A matriz de saída (C) e a matriz de ação avançada (D) são obtidas colocando cada elemento do vetor de resposta (Eq. 4.16) em função das variáveis de estado (Eq. 4.1) e da tensão de entrada (Eq. 4.17), rearranjada na forma da Eq. 4.2. Assim, a matriz de saída e de ação avançada podem ser escritas como:

$$C = \begin{bmatrix} 0 & 0 & 0 & 0 & 0 \\ 0 & 0 & 0 & 0 & 1 \\ 1 & 0 & 0 & 0 & 0 \\ 0 & 1 & 0 & 0 & 0 \\ 1 & 1 & 0 & 0 & 0 \end{bmatrix} \quad D = \begin{bmatrix} 1 \\ 0 \\ 0 \\ 0 \\ 0 \end{bmatrix} \quad (4.18)$$

4.3 Representação da Lógica de Controle Aplicada no Modelo Matemático

Conforme dito, para imposição de uma corrente senoidal de entrada é necessário comparar um sinal de referência de corrente (V_{ref-2}) com um sinal de corrente realimentado do retificador híbrido (i_{realim}).

O sinal de referência de corrente é composto por uma onda senoidal retificada somada a uma onda dente-de-serra (V_{ref}) multiplicada pela média da corrente i_{L1} e pela constante K_1 , que pode ser representada pela Eq. 4.20.

$$V_{ref-2}(t) = K_1 \cdot V_{ref} \cdot i_{L1avg} \quad (4.19)$$

$$V_{ref-2}(t) = K_1 \cdot \left(|V_p \sin(\omega t)| + V_{st}(t) \right) \cdot i_{L1avg} \quad (4.20)$$

Onde:

V_p – valor de pico da senóide de referência;

K_1 – constante;

$V_{st}(t)$ – onda dente-de-serra;

ω – frequência angular.

i_{L1avg} – valor médio da corrente i_{L1} .

A magnitude do sinal de referência de corrente (V_{ref-2}) é proporcional à constante K_1 e i_{L1avg} . A constante i_{L1avg} é obtida através do valor médio da corrente i_{L1} , tornando, por consequência, a referência de corrente V_{ref-2} proporcional à carga aplicada ao RHM. Assim, se a carga do conversor variar, a corrente i_{L1} , seu valor médio i_{L1avg} e, consequentemente, a referência V_{ref-2} variam proporcionalmente, tendendo a manter a DHT da corrente CA de entrada constante para diferentes tipos de carga.

A constante K_1 está diretamente relacionada com o valor da DHT da corrente CA de entrada. Quanto maior for o valor de K_1 maior será a referência de corrente (V_{ref-2}), o que implica em uma corrente CA de entrada mais próxima de uma senóide.

O valor da constante K_1 pode ser calculada através de processo iterativo aplicado no modelo matemático desenvolvido. Com base em uma dada DHT_1 calcula-se o valor de K_1 que, aplicado no circuito de controle descrito, resulta em uma corrente de entrada CA que possui a DHT mais próxima daquela desejada. O *software* desenvolvido para o cálculo da constante K_1 será descrito na seção 4.5.

O sinal de corrente realimentado (i_{realim}) é proporcional à soma das correntes drenadas pelo retificador não controlado (i_{L1}) e do conversor chaveado (i_{L2}), representado pela Eq. 4.21.

$$i_{realim}(t) = i_{L1}(t) + i_{L2}(t) \quad (4.21)$$

Onde:

i_{L1} – corrente drenada pelo retificador não controlado;

i_{L2} – corrente drenada pelo conversor chaveado.

O sinal realimentado de corrente (i_{realim}) será comparado com o sinal de referência de corrente ($V_{\text{ref-2}}$) a fim de determinar sobre qual par de matrizes (A e B) o método de solução numérico será aplicado para solução do modelo.

4.4 Solução do Modelo Matemático

A solução do modelo matemático proposto é alcançada quando se determina todos os elementos do vetor de estado (Eq. 4.3). Dessa forma, o vetor de estado pode ser obtido através da integral da Eq. 4.3, resultando nas Eq. 4.22 e 4.23.

$$\int_0^t \left(\frac{dx}{dt} \right) dt = \int_0^t (A \cdot x_{(t)} + B \cdot v_{(t)}) dt \quad (4.22)$$

$$x_{(t)} = x_{(0)} + \int_0^t (A \cdot x_{(t)} + B \cdot v_{(t)}) dt \quad (4.23)$$

Onde: $x_{(0)}$ é o vetor das condições iniciais do vetor de estado.

A solução da Eq. 4.23 pode ser alcançada por métodos algébricos ou numéricos. A escolha do método envolve um balanço entre a complexidade da solução e o tipo de resposta desejado. Quando se visa equações de estado no domínio do tempo a solução por métodos algébricos deve ser aplicado. Estes, porém, envolvem operações complexas e se tornam impraticáveis quando a ordem do vetor de estado é elevada. Por outro lado, quando se deseja obter formas de onda dos elementos do vetor de resposta a solução por métodos numéricos mostra-se mais vantajosa em relação à solução algébrica. Os vetores de pontos que irão compor as formas de onda dos elementos do vetor resposta podem ser obtidos através de processos iterativos utilizando processamento digital.

Aplicando o método da integração trapezoidal na Eq. 4.23 encontra-se as Eq. 4.24 a 4.27 [39].

$$x_{(t)} = x_{(t-\Delta t)} + \frac{1}{2} \cdot \Delta t (A \cdot x_{(t)} + A \cdot x_{(t-\Delta t)}) + \frac{1}{2} \cdot \Delta t (B \cdot v_{(t)} + B \cdot v_{(t-\Delta t)}) \quad (4.24)$$

$$x_{(t)} = M \cdot x_{(t-\Delta t)} + N \cdot (v_{(t)} + v_{(t-\Delta t)}) \quad (4.25)$$

$$M = (I - \frac{1}{2} \cdot \Delta t \cdot A)^{-1} \cdot (I + \frac{1}{2} \cdot \Delta t \cdot A) \quad (4.26)$$

$$N = (I - \frac{1}{2} \cdot \Delta t \cdot A)^{-1} \cdot (\frac{1}{2} \cdot \Delta t \cdot B) \quad (4.27)$$

Onde Δt é o passo de integração, A é a matriz de sistema e B a matriz de entrada.

Conhecendo-se o vetor de entrada ($v_{(t)}$) em todas as interações e estabelecendo-se valores iniciais para as variáveis de estado pode-se determinar, por técnicas de cálculo numérico, os componentes do vetor de estado ($x_{(t)}$).

Dessa forma, utilizou-se de integração numérica para obtenção da solução das equações de estado e do vetor de resposta. Foram estabelecidos valores iniciais para as variáveis de estado e, a partir deles, foram calculados os valores destas variáveis a cada interação através das Eq. 4.24 a 4.27.

Os valores de M e N utilizados nos cálculos estão em função da matriz de sistema (A) e de entrada (B). A lógica de controle determinará se M e N serão calculados utilizando as matrizes A₁ e B₁, na situação do interruptor na condição fechada, ou A₂ e B₂, na condição aberta.

A cada interação, o sinal de referência de corrente ($V_{\text{ref-2}}$) será comparado com o sinal de realimentação de corrente (i_{realim}), conforme representado pela lógica das Eq. 4.28 e 4.29.

$$V_{\text{ref-2}(t-\Delta t)} \geq i_{\text{realim}(t-\Delta t)} \quad (4.28)$$

$$V_{\text{ref-2}(t-\Delta t)} < i_{\text{realim}(t-\Delta t)} \quad (4.29)$$

Onde:

$$V_{\text{ref-2}(t-\Delta t)} = K_1 \cdot \left| V_p \sin(\omega(t-\Delta t)) + V_{st(t-\Delta t)} \right| \cdot i_{L1avg} \quad (4.30)$$

$$\dot{i}_{\text{realim}(t-\Delta t)} = \dot{i}_{L_1(t-\Delta t)} + \dot{i}_{L_2(t-\Delta t)} \quad (4.31)$$

Se a condição da Eq. 4.28 for satisfeita, as Eq. 4.24 a 4.27 tornam-se:

$$x_{(t)} = M_1 \cdot x_{(t-\Delta t)} + N_1 \cdot (v_{(t)} + v_{(t-\Delta t)}) \quad (4.32)$$

$$M_1 = (I - \frac{1}{2} \cdot \Delta t \cdot A_1)^{-1} \cdot (I + \frac{1}{2} \cdot \Delta t \cdot A_1) \quad (4.33)$$

$$N_1 = (I - \frac{1}{2} \cdot \Delta t \cdot A_1)^{-1} \cdot (\frac{1}{2} \cdot \Delta t \cdot B_1) \quad (4.34)$$

Por outro lado, se a Eq. 4.29 for satisfeita tem-se que as Eq. 4.24 a 4.27 tornam-se:

$$x_{(t)} = M_2 \cdot x_{(t-\Delta t)} + N_2 \cdot (v_{(t)} + v_{(t-\Delta t)}) \quad (4.35)$$

$$M_2 = (I - \frac{1}{2} \cdot \Delta t \cdot A_2)^{-1} \cdot (I + \frac{1}{2} \cdot \Delta t \cdot A_2) \quad (4.36)$$

$$N_2 = (I - \frac{1}{2} \cdot \Delta t \cdot A_2)^{-1} \cdot (\frac{1}{2} \cdot \Delta t \cdot B_2) \quad (4.37)$$

Concluindo, tem-se que, a cada interação, as Eq. 4.28 e 4.29 serão verificadas e a solução do vetor de estado nesta interação será determinada pelas Eq. 4.32 a 4.33 ou 4.35 a 4.37. Uma vez determinado o valor de cada componente do vetor de estado em cada interação o vetor de resposta será determinado por:

$$y_{(t)} = C \cdot x_{(t)} + D \cdot v_{(t)} \quad (4.38)$$

4.5 Resultados de Simulação Utilizando o Modelo Matemático

Para a implementação do método numérico na solução das equações de estado fez-se uso da ferramenta Matlab[®]. Foi desenvolvida uma interface gráfica, conforme mostrada nas Figs. 4.5 e 4.6, com o objetivo de obter as formas de onda dos elementos do vetor de resposta para fins de verificação da eficácia da modelagem proposta.

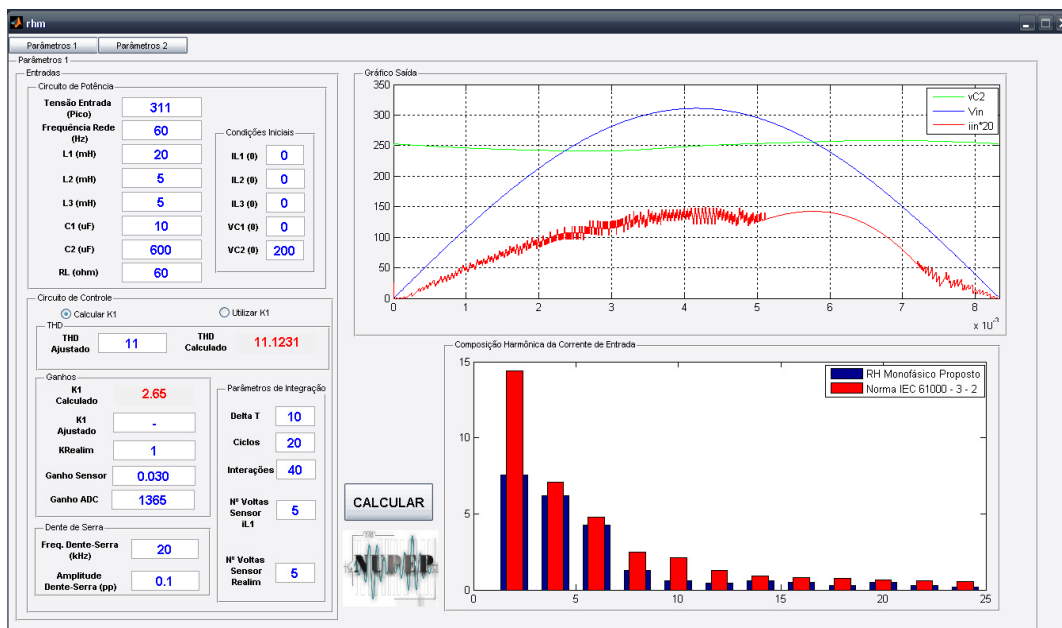


Fig. 4.5 - Interface 1 do programa desenvolvido na plataforma Matlab®.

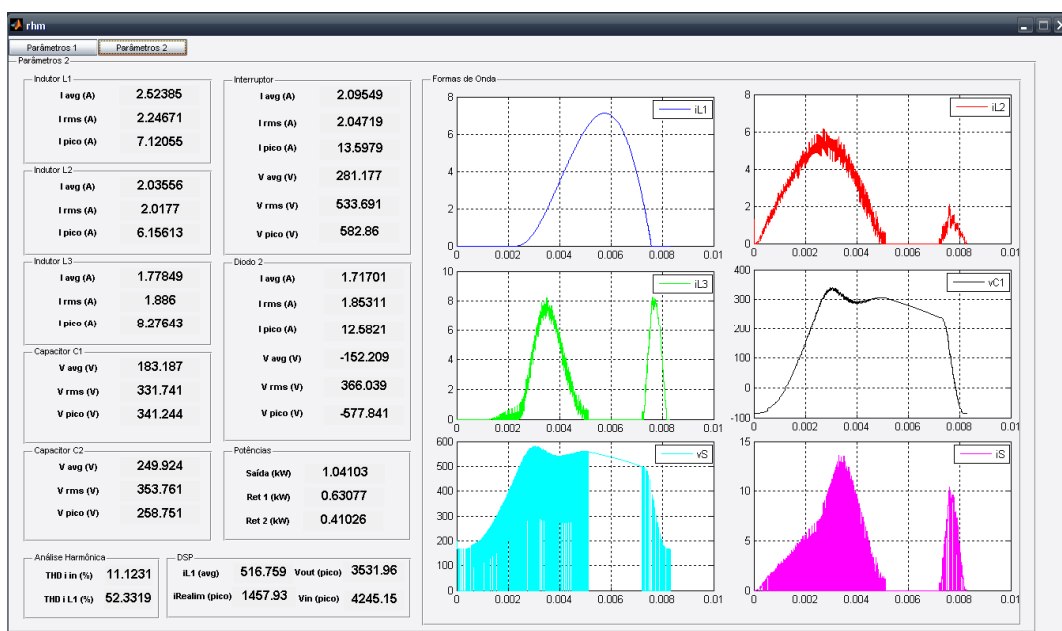


Fig. 4.6 - Interface 2 do programa desenvolvido na plataforma Matlab®.

Para a solução das equações apresentadas é necessário a especificação dos parâmetros do circuito de potência, tais como amplitude e frequência da tensão senoidal de entrada, os valores dos elementos do circuito (capacitâncias, indutâncias e resistência de carga), as condições iniciais das variáveis de estado, os parâmetros de integração (passo de integração (Δt) e número de ciclos a serem simulados), os parâmetros do

circuito de controle, como a amplitude e frequência da onda dente-de-serra e o número de voltas necessárias nos sensores de corrente no indutor L_1 e realimentada.

Como parâmetro de entrada é necessário também especificar a DHT de corrente CA de entrada desejada, utilizada para calcular o valor da constante K_1 utilizado no circuito de controle digital.

Através de processos iterativos, seguindo a lógica descrita na seção 4.4, são criados vetores de pontos dos elementos do vetor de estado e do vetor de resposta e, de posse deles, são obtidas as formas de onda destas variáveis conforme mostrado na Fig. 4.6. São efetuados cálculos de valores médio, eficaz e de pico das correntes e tensões em cada elemento do circuito de potência, o que possibilita a especificação desses elementos e possibilita ainda analisar o esforço térmico e dielétrico em cada componente.

Calcula-se também a potência total de saída e as contribuições de potência pertinente a cada grupo de retificador, assim como a DHT e o espectro harmônico da corrente CA de entrada em confronto com os limites impostos pela norma IEC 61000-3-2 ou IEC 61000-3-4, conforme determina o nível da potência de saída.

A Fig. 4.7 mostra a forma de onda da corrente de entrada (i_{in}) e a contribuição de cada grupo retificador (i_{L1} e i_{L2}) para o RHM processando 1 kW de potência de saída. Percebe-se que a corrente de entrada é praticamente senoidal e, mesmo que atípica, o espectro harmônico da forma de onda obtida está em conformidade com a norma IEC 61000-3-2, conforme mostrado na Fig. 4.8.

A Fig. 4.9 ilustra os sinais de referência utilizados na lógica de controle. O sinal de referência de corrente (V_{ref-2}) é comparado com o sinal realimentado de corrente (i_{realim}) de acordo com a lógica descrita na seção 5, gerando o sinal de ataque de gatilho (V_{GS1}).

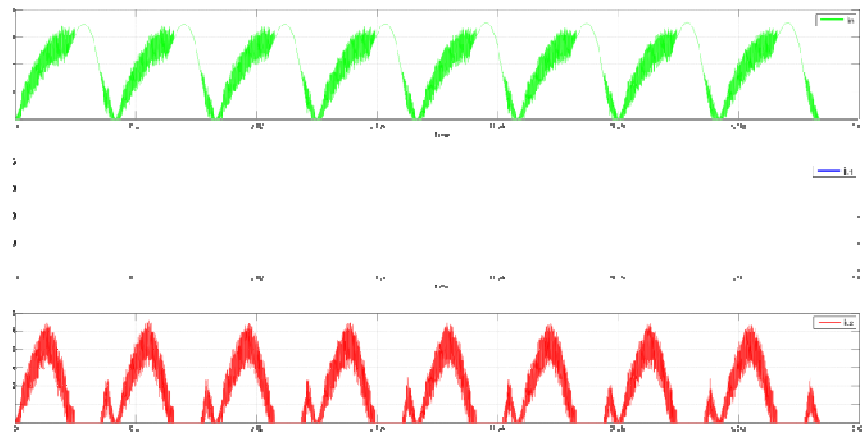


Fig. 4.7 - Correntes drenadas pelo Ret-1 (i_{L1}) e Ret-2 (i_{L2}) e sua composição (i_{in}).

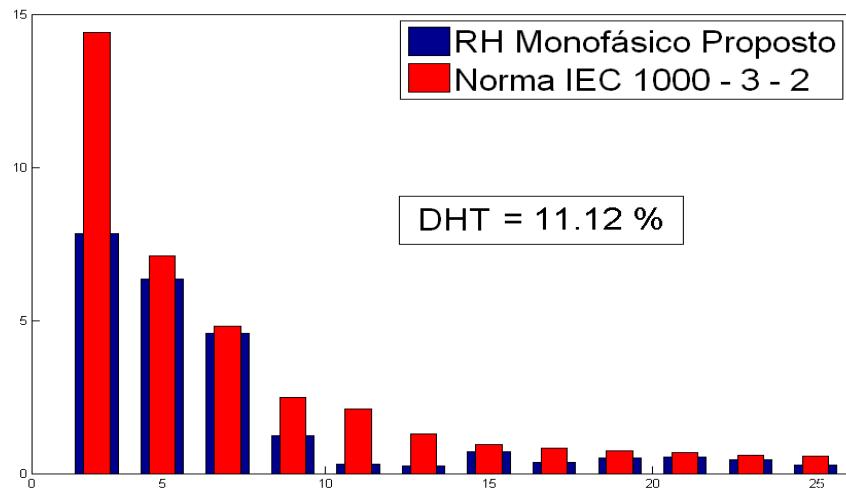


Fig. 4.8 - Decomposição harmônica da corrente CA de entrada.

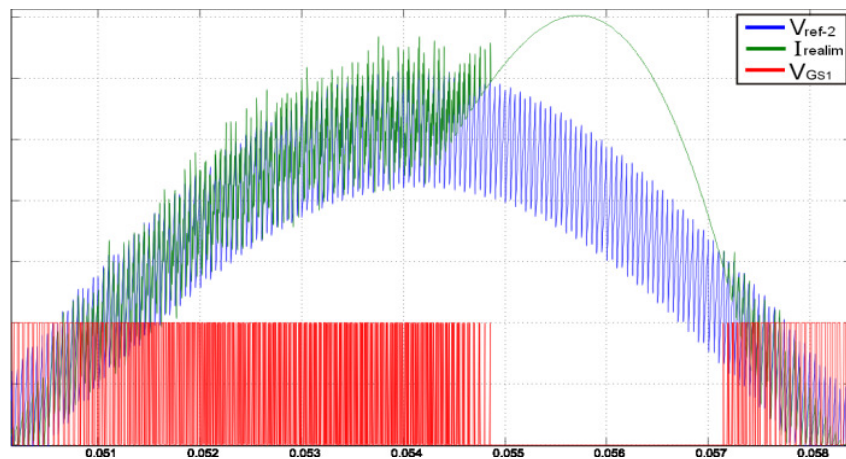


Fig. 4.9 - Sinais de referência de corrente (V_{ref-2}), de realimentação (i_{realim}) e sinal lógico proveniente da comparação destes sinais (V_{GS1}).

Desconsiderando-se as perdas e a componente CA da tensão e da corrente de saída, a potência ativa média processada por cada grupo retificador pode ser estimada calculando-se, primeiramente, a potência ativa média entregue à carga ($P_{0(med)}$), expressa pela Eq. (4.39), em seguida, a potência ativa média processada pelo retificador não controlado através da Eq. (4.40) e, finalmente, a potência ativa média processada pelo retificador chaveado através da Eq. (4.41).

$$P_{0(med)} = \frac{V_{0(med)}^2}{R_L} \quad (4.39)$$

$$P_{Ret-1(med)} = I_{LI(med)} \cdot V_{0(med)} \quad (4.40)$$

$$P_{Ret-2(med)} = P_{0(med)} - P_{Ret-1(med)} \quad (4.41)$$

Onde:

$V_{0(med)}$ – tensão média de saída;

R_L – resistência de carga;

$I_{LI(med)}$ – valor médio da corrente i_{L1} ;

O valor da tensão média na saída ($V_{0(med)}$) e o valor médio da corrente i_{L1} ($I_{LI(med)}$) são determinados integrando numericamente os vetores de pontos da tensão no capacitor C_2 (v_{C2}) e a corrente no indutor L_1 (i_{L1}) obtidos através da solução do modelo matemático proposto.

Vale ressaltar que, as simplificações realizadas não incorrem em erros significativos no que tange ao cálculo da parcela de contribuição de potência de cada grupo retificador.

4.6 Cálculo de Resistência de Pré-Carga

A pré-carga do capacitor de saída C_2 é realizada inserindo-se uma resistência em série no circuito de potência, limitando o pico de corrente de carga do capacitor. Após a tensão do capacitor de saída ficar próxima do valor de pico da tensão de entrada a resistência é retirada de operação, curto-circuitando seus contatos através do contator X_2 .

Conforme será descrito no Capítulo 5, a lógica de controle dos contadores apresentada garante que a pré-carga do capacitor de saída seja realizada sem a carga, reduzindo sensivelmente a corrente de pré-carga e a queda de tensão na resistência R_{pc} .

O circuito equivalente durante a pré-carga é ilustrado na Fig. 4.10.

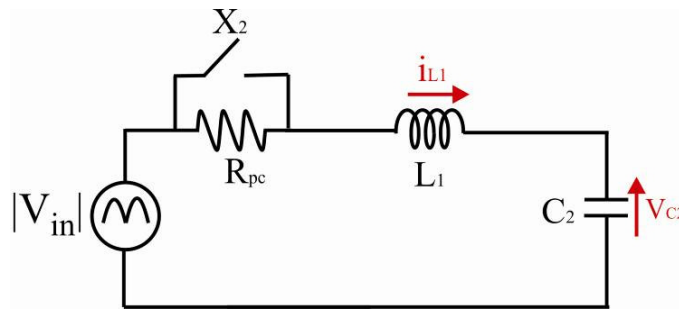


Fig. 4.10 – Circuito de pré-carga do capacitor de saída C_2 .

Para a especificação da resistência de pré-carga do capacitor de saída C_2 utilizou-se os princípios do modelo matemático apresentado na seção 4.2. Pretende-se obter o modelo matemático do circuito apresentado na Fig. 4.10 e, de posse dele, obter a forma de onda da corrente de entrada (i_{L1}) e da tensão de saída (v_{C2}) para diversos valores de resistência de pré-carga. Com base nas formas de onda pode-se definir qual o valor de resistência mais adequado para a aplicação.

4.6.1 Matrizes características do circuito de pré-carga do capacitor de saída

Para o circuito apresentado na Fig. 4.10, o vetor de estado e a derivada do vetor de estado podem ser representado pela Eq. 4.42.

$$x_{(t)} = \begin{bmatrix} i_{L1} \\ v_{C2} \end{bmatrix} \quad \dot{x}_{(t)} = \begin{bmatrix} di_{L1}/dt \\ dv_{C2}/dt \end{bmatrix} \quad (4.42)$$

As matrizes de sistema e entrada do circuito da Fig. 4.10 podem ser representadas pela Eq. 4.43.

$$A = \begin{bmatrix} \frac{-R_{pc}}{L_1} & \frac{-1}{L_1} \\ \frac{1}{C_2} & 0 \end{bmatrix} \quad B = \begin{bmatrix} \frac{1}{L_1} \\ 0 \end{bmatrix} \quad (4.43)$$

4.6.2 Solução do modelo matemático

Para a solução do modelo matemático correspondente ao circuito de pré-carga do capacitor de saída C_2 procede-se de maneira análoga ao método descrito na seção 4.4. Soluciona-se as Eq. 4.24 a 4.27 aplicando as matrizes determinadas nessa seção para determinação da corrente de entrada (i_{L1}) e da tensão de saída (v_{C2}).

A Fig. 4.11 ilustra o valor do pico de corrente i_{L1} no momento da energização do circuito e no momento em que o contator X_2 atua, curto-circuitando a resistência R_{pc} . As grandezas são plotadas em função da resistência de pré-carga, variando de 10 a 50 ohm.

Analisando a Fig. 4.11 percebe-se que valores elevados de resistência de pré-carga resultam em picos acentuados de corrente na energização do circuito. Contudo, há uma maior queda de tensão no resistor, que ocasiona em um maior pico de corrente quando o resistor é retirado de operação pelo curto-circuito dos seus contatos.

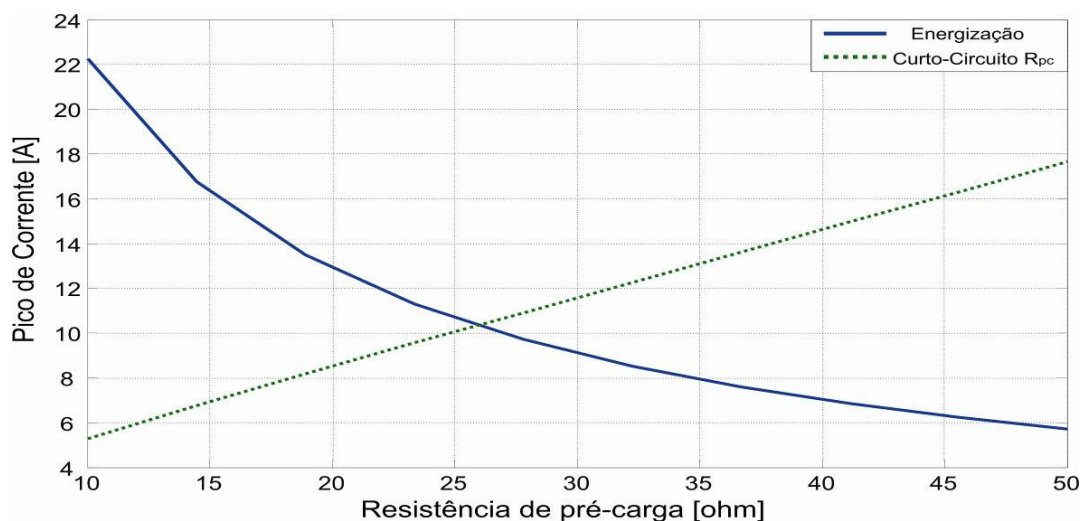
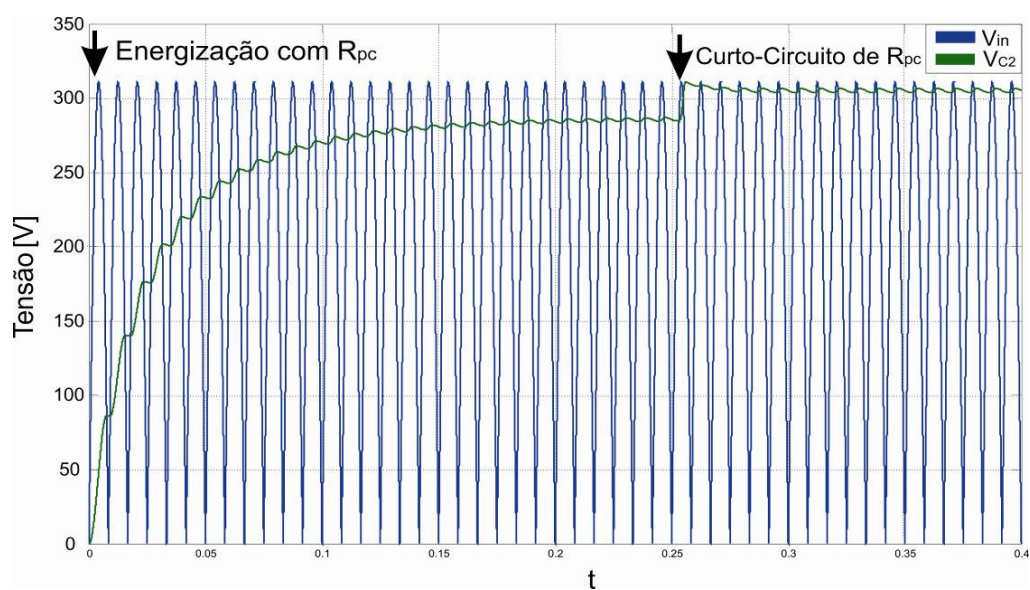


Fig. 4.11 – Pico da corrente na energização e no curto-circuito da resistência de pré-carga em função da resistência de pré-carga (R_{pc}).

Por outro lado, valores reduzidos de resistência de pré-carga resultam em picos de corrente elevados na energização e reduzidos no curto-circuito de R_{pc} , decorrentes da pequena queda de tensão no resistor.

Diante do apresentado, o valor da resistência de pré-carga para esta aplicação foi definido em 25 ohm. A Fig. 4.12 ilustra a dinâmica da tensão de saída (V_{C2}) e da corrente de entrada (i_{L1}) desde a energização até a retirada da resistência de pré-carga definida.



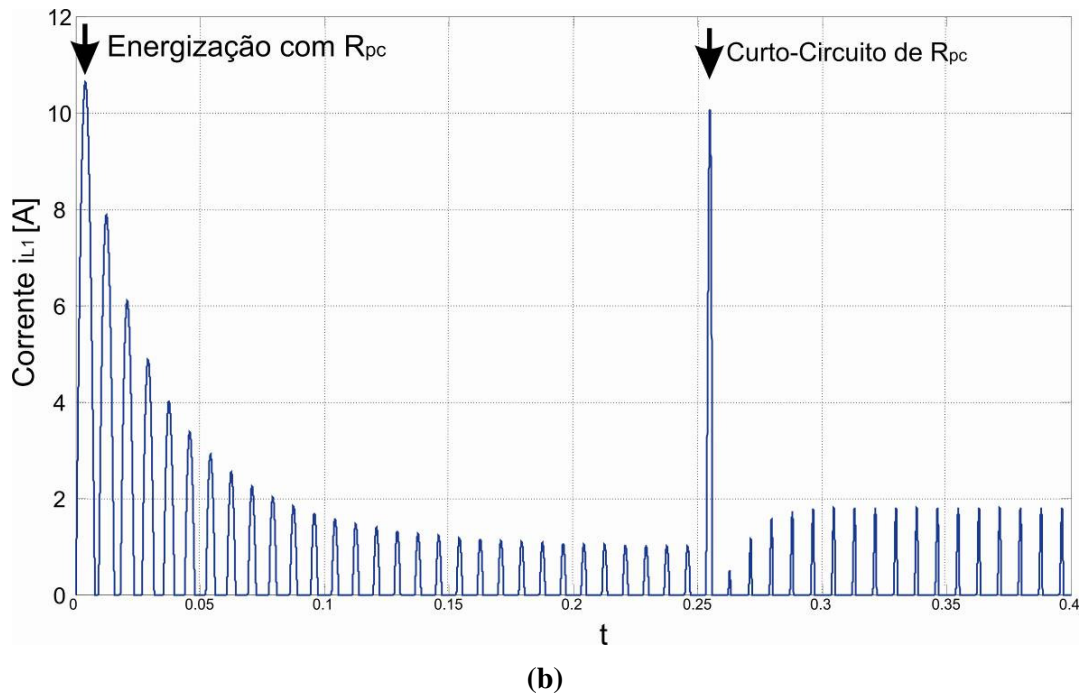


Fig. 4.12 – (a) Tensão de entrada (V_{in}) e saída (V_{C2}) e (b) corrente i_{L1} durante a pré carga do capacitor de saída C_2 para $R_{pc} = 25 \text{ ohm}$.

4.7 Resultados de Simulação Utilizando o Orcad[®].

Como método de validação do modelo matemático proposto simulou-se o RHM no Orcad[®] e comparou-se com os resultados obtidos com a solução do modelo matemático, apresentados na seção 4.5.

O circuito simulado no Orcad[®] é ilustrado na Fig. 4.13.

Os componentes utilizados no circuito de potência do Orcad[®] são idênticos aos parâmetros de potência especificados no programa desenvolvido no Matlab[®] (Fig. 4.5).

Apesar de se usar a mesma estratégia de controle, todos os parâmetros do circuito utilizados no Orcad[®] são puramente analógicos, diferentemente do circuito de controle do *software* desenvolvido no Matlab[®], que contém parâmetros utilizados no controle digital.

Dessa forma, para validar a comparação de resultados, obteve-se as formas de onda utilizando o *software* desenvolvido para uma determinada DHT e ajustou-se os parâmetros do circuito analógico do Orcad[®] para que resultasse em uma corrente CA de

entrada com a mesma DHT ajustada no *software* do Matlab®. Ao simular o mesmo circuito de potência em diferentes plataformas, mas que resultam em uma mesma DHT de corrente CA de entrada garante-se uma equivalência das formas de ondas obtidas, possibilitando a comparação de resultados.

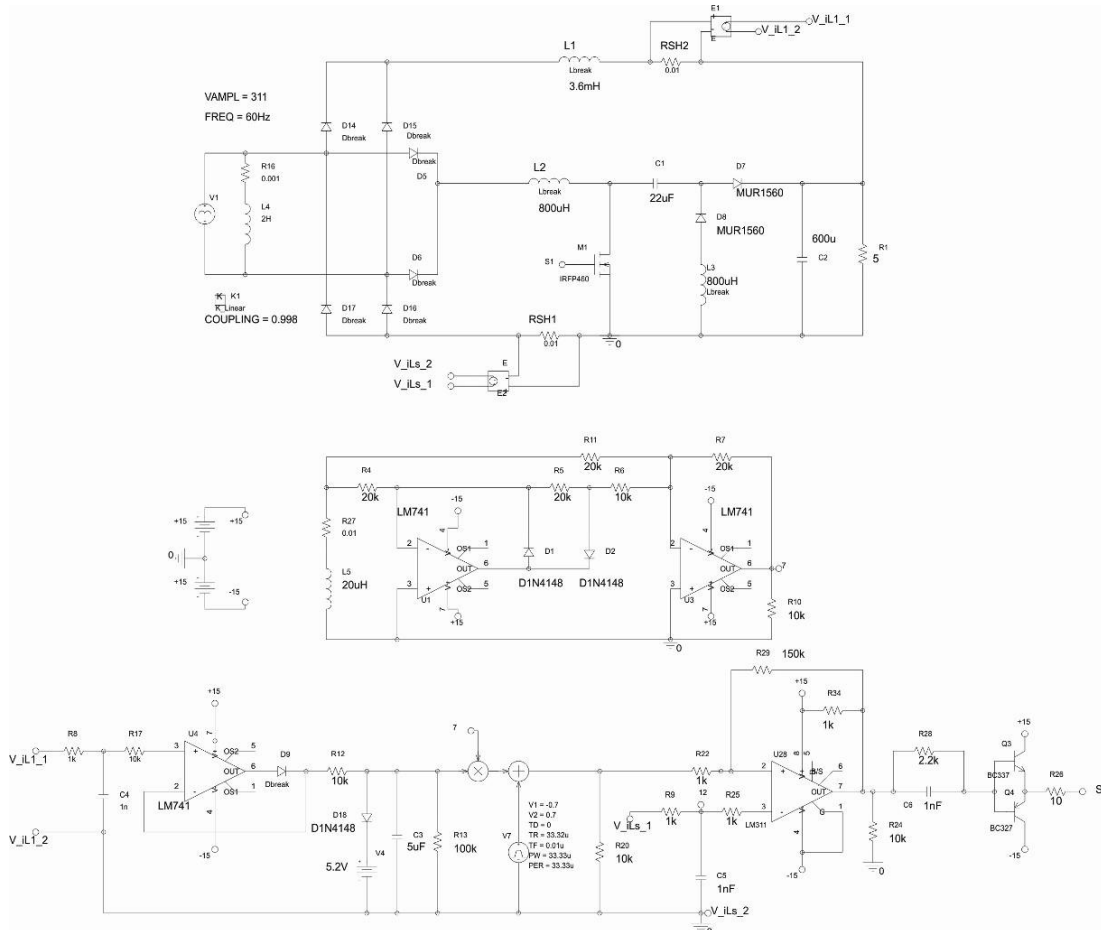
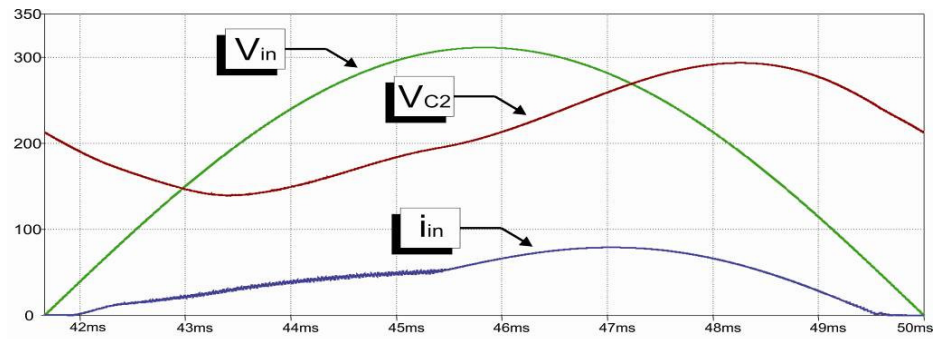
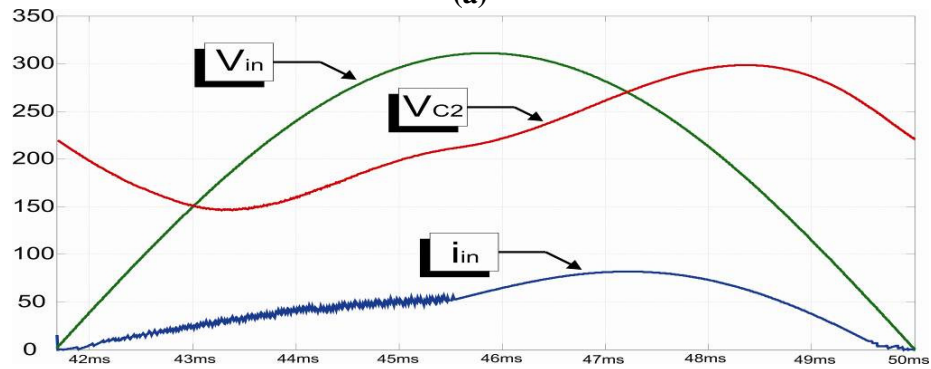


Fig. 4.13 – Circuito Simulado no Orcad®

As Figs 4.14 a 4.15 ilustram as formas de onda com os resultados obtidos através da simulação do RHM no Orcad® e no Matlab® e a Fig. 4.16 compara o espectro de frequência da corrente CA de entrada calculado em ambas plataformas, confirmando a condição para equivalências formas de onda obtidas.

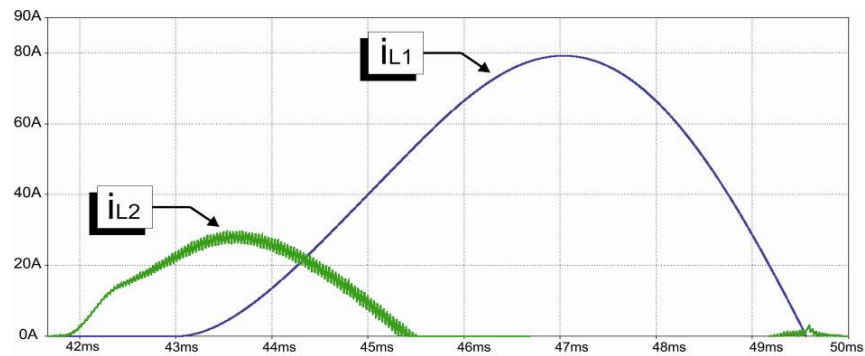


(a)

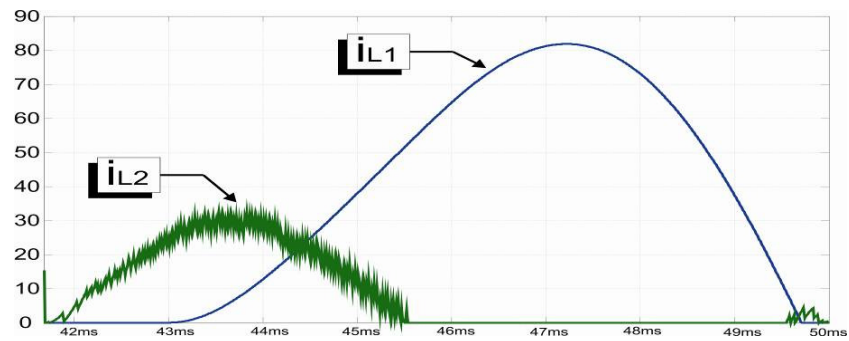


(b)

Fig. 4.14 – Tensão de entrada (V_{in}), saída (V_{C2}) e corrente de entrada (i_{in}) obtidos por simulação no (a) Orcad[®] e (b) Matlab[®].



(a)



(b)

Fig. 4.15 – Corrente de entrada (i_{in}) obtidos por simulação no (a) Orcad[®] e (b) Matlab[®].

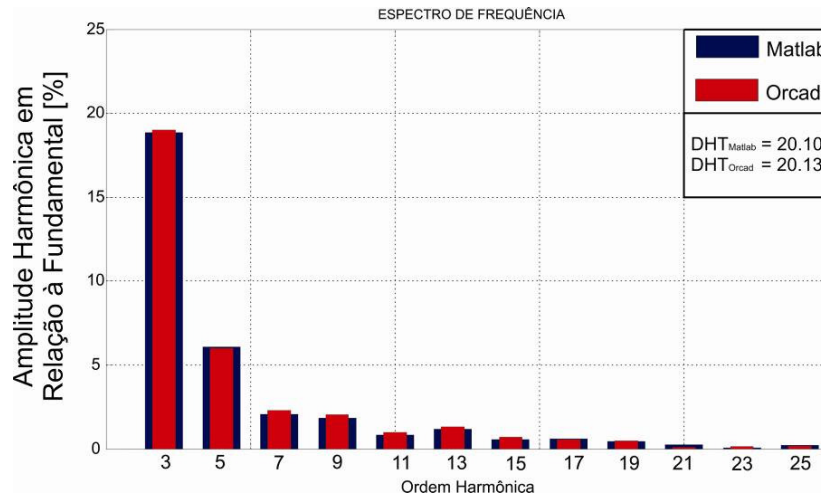


Fig. 4.16 – Decomposição harmônica da corrente CA de entrada obtida no Orcad® e Matlab® através da solução do modelo matemático proposto.

As diferenças verificadas nas formas de onda ocorrem devido ao modelo de componentes utilizado. No *software* desenvolvido os componentes utilizados são considerados ideais, sem resistências, indutâncias ou capacitâncias parasitas. No Orcad®, os componentes utilizados consideram os elementos parasitas que acarretam em pequenas, porém insignificantes, diferenças nas formas de onda.

4.8 Aplicação do Modelo Matemático na Implementação do Controle Digital

Para a implementação digital da estratégia de controle descrito no Capítulo 3, representado no diagrama de blocos da Fig. 3.6, é necessário obter a senóide digital retificada (V_{ref}) e a especificação da constante K_1 .

A senóide retificada digital (V_{ref}) é uma senóide digital que compõe a base do sinal de referência de corrente (V_{ref-2}), que é comparado com o sinal de realimentação (i_{realim}) para geração dos pulsos de ataque de *gate* do interruptor S_1 .

Como consequência do uso do controle digital, os sinais utilizados no controle são discretizados e, dessa forma, a senóide digital retificada (V_{ref}) pode ser representada por um vetor com um número definido de pontos. O número de pontos necessários para se

representar uma senóide digital depende da taxa de amostragem e da frequência do sinal, relacionados através da Eq. 3.1, descrita no Capítulo 3.

O vetor de pontos que representam a senóide digital retificada é obtido previamente através de um programa desenvolvido no Matlab[®]. Tem-se como parâmetros de entrada o valor de pico da senóide, sua frequência angular e a frequência de amostragem. Uma vez gerado, o vetor de pontos é repassado ao código do DSP através da variável V_{ref} , descrita no capítulo 3.

Para esta aplicação, utilizou-se uma senóide com 1 V de pico, frequência de 120 Hz com uma taxa de amostragem de 100 kHz. A Fig. 4.17 ilustra o sinal que corresponde à senóide digital em função do número de pontos necessários para sua representação.

Percebe-se que a senóide digital retificada (V_{ref}) é composta por uma senóide retificada somada a uma onda dente-de-serra de pequena amplitude. A função da onda dente-de-serra é melhorar o efeito comparativo da senóide de referência proporcional à carga (V_{ref-2}) com a corrente realimentada (i_{realim}).

São gerados pontos que compõe mais de um ciclo da senóide retificada. Esse excedente, conforme discutido no Capítulo 3, é uma margem de segurança utilizado no módulo de sincronismo da senóide digital com a senóide provinda da rede.

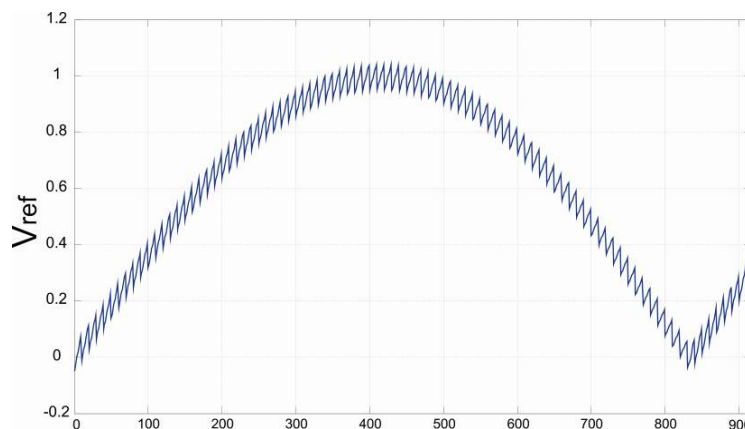


Fig. 4.17 – Senóide digital retificada (V_{ref}) gerada no Matlab[®].

A constante K_1 define a amplitude da referência de corrente V_{ref-2} e, dessa forma, é diretamente relacionada com o valor da DHT da corrente CA de entrada. Seu valor pode obtido a partir de uma dada DHT_1 de entrada desejada. O programa desenvolvido varia o valor de K_1 e calcula o valor da DHT da corrente de entrada ($i_{L1} + i_{L2}$) correspondente através do modelo matemático apresentado nesse capítulo. Esse processo é repetido até que a DHT obtida nos cálculos se aproxime ao máximo da DHT desejada. Dessa forma, determina-se o valor de K_1 a ser utilizado no código implementado no DSP para se obter uma corrente drenada de entrada com a DHT igual à desejada.

A Fig. 4.18 mostra a curva da DHT da corrente de entrada em função do ganho K_1 plotada para o protótipo de 1 kW. Na Fig. 4.19 tem-se a percentagem da potência processada por cada grupo de retificador em função do ganho K_1 . Percebe-se que à medida que o ganho K_1 aumenta a potência processada pelo conversor chaveado eleva-se proporcionalmente, reduzindo a DHT_1 .

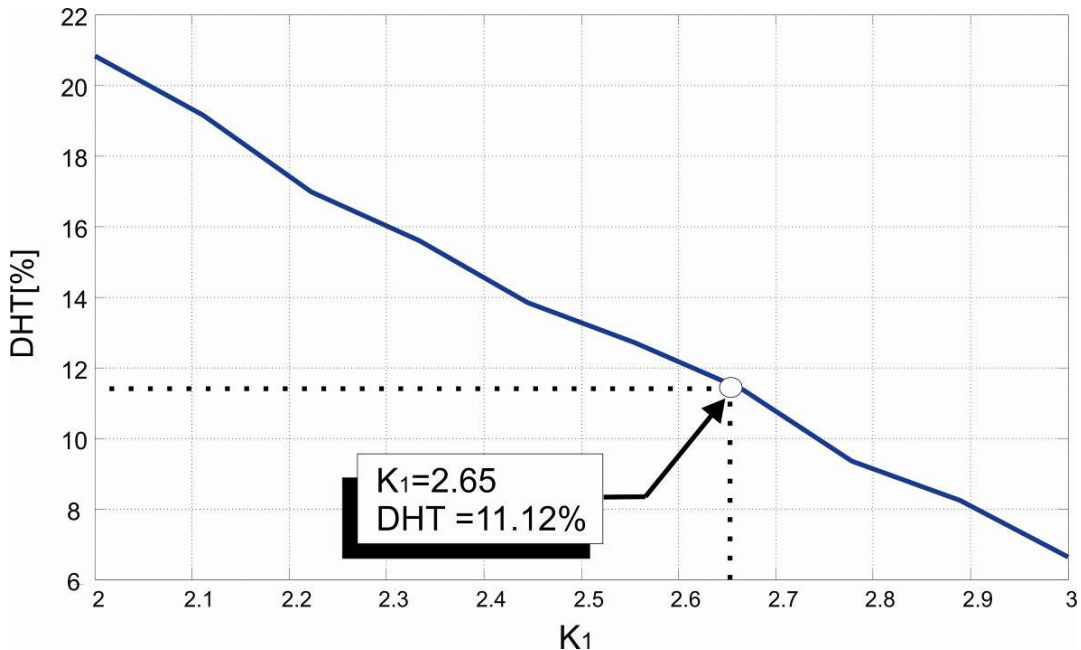


Fig. 4.18. Distorção harmônica total da corrente de entrada obtida através da análise matemática apresentada para $2 \leq K_1 \leq 3$.

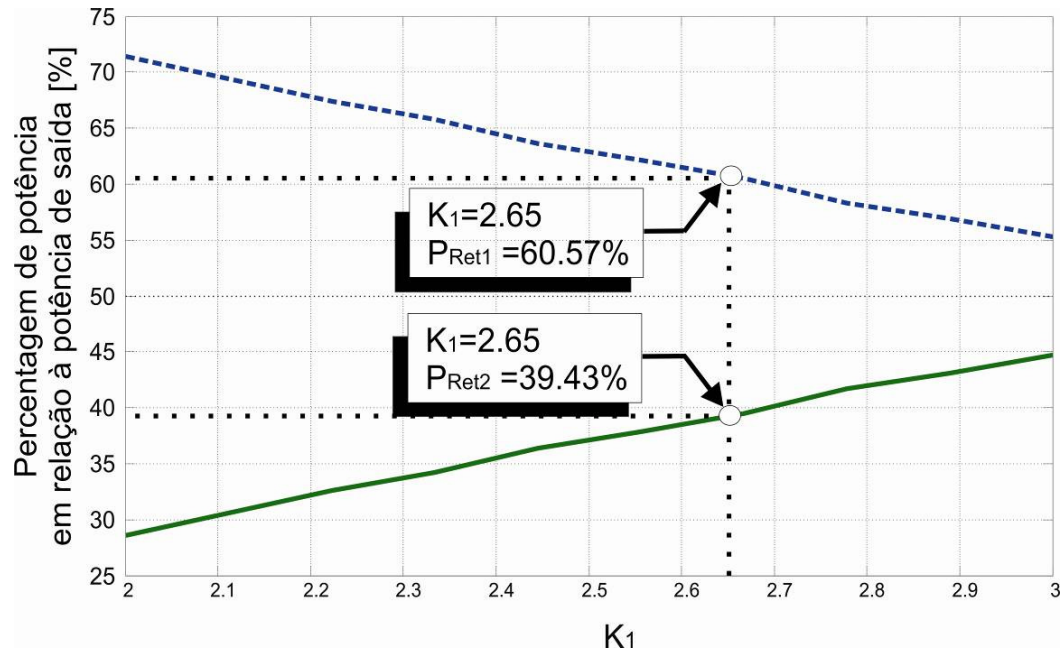


Fig. 4.19. Parcela de contribuição de potência ativa média de cada retificador para $2 \leq K_1 \leq 3$.

É destacado nas Figs. 4.18 e 4.19 o ponto K_1 ajustado na simulação da qual foram obtidas as formas de onda apresentadas. Nota-se que, para um ganho $K_1 = 2,65$, tem-se o retificador não controlado e chaveado processando, respectivamente, 60,57% e 39,43% da potência total de saída (1 kW).

4.9 Conclusão

Neste capítulo foi apresentado o modelo matemático do retificador híbrido monofásico baseado em espaço de estado. Foi descrito detalhadamente toda a metodologia para determinação das matrizes características, seguido do método de solução numérica do modelo proposto para determinação das formas de onda das variáveis de estado. Para validação do modelo simulou-se no Orcad® o mesmo circuito modelado e comparou-se as formas de onda obtidas.

Através do modelo matemático desenvolvido é possível especificar os componentes do circuito de potência a partir dos valores de tensão e corrente de pico,

média e eficaz em todos os elementos do circuito de potência. Além disso, é possível especificar o parâmetro K_1 do circuito de controle em função de uma DHT da corrente CA de entrada desejada.

Através do gráfico em barras, que compara a decomposição harmônica da corrente CA de entrada com os valores da norma IEC 61000-3-2, é possível verificar se os limites da norma não foram ultrapassados para o valor de K_1 calculado.

Capítulo 5

Resultados Experimentais

5.1 Introdução Geral

Para validação da estratégia de controle proposta foram desenvolvidos dois protótipos e as formas de onda obtidas através dos ensaios são analisadas nesse capítulo.

Para comprovar a eficiência da estratégia de controle proposta obteve-se o espectro harmônico da corrente CA de entrada do conjunto e comparou-se com os limites impostos com as normas internacionais IEC 61000-3-2 e IEC 61000-3-4 de acordo com o nível de potência da saída.

Para otimização da estratégia de controle foi desenvolvido um protótipo de 1 kW de potência de saída, realizando-se diversos testes em condições extremas de funcionamento no intuito de verificar a eficácia da estratégia de controle e o comportamento do conjunto.

Após constatada a eficiência da estratégia de controle, através dos testes com o protótipo de 1 kW, foi desenvolvido um protótipo de 10 kW de potência de saída para verificação do comportamento do retificador híbrido monofásico processando potências mais elevadas.

Neste capítulo serão apresentados todos os resultados obtidos através dos ensaios, além de detalhes da implementação dos protótipos.

5.2 Diagrama Esquemático dos Protótipos de 1 kW e 10 KW

A Fig. 5.1 ilustra o diagrama esquemático de construção dos protótipos.

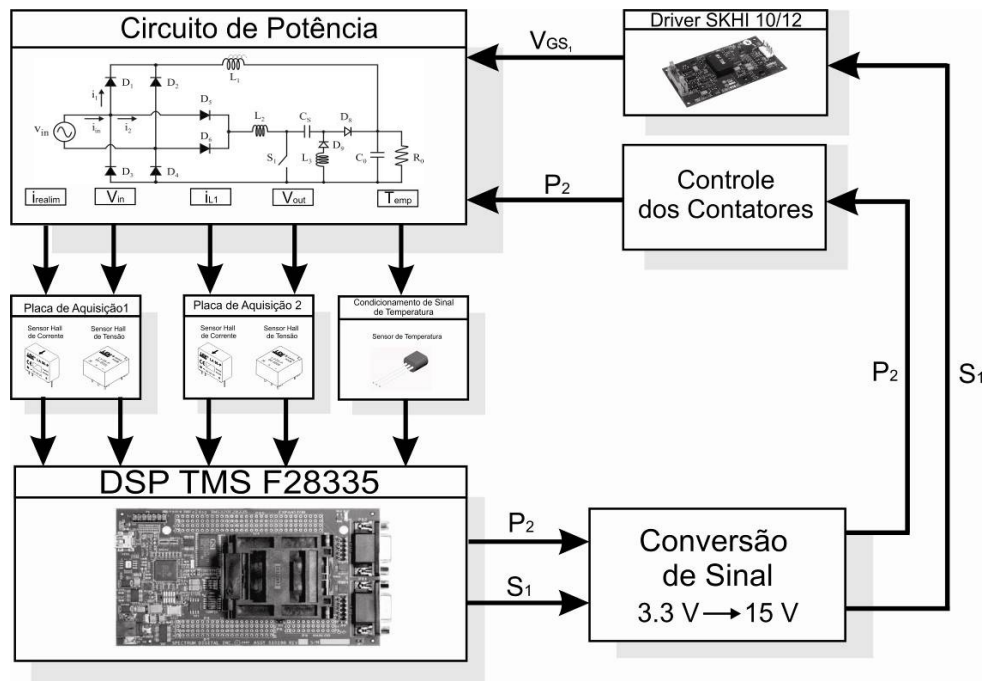


Fig. 5.1 – Diagrama esquemático dos protótipo de 1 kW e 10 kW.

Nas seções que se seguem há uma descrição de cada módulo do diagrama, evidenciando sua função e os detalhes da sua implementação.

5.2.1 Placas de Aquisição de Sinal

Para aquisição dos sinais de tensão e corrente foram utilizadas as placas ilustradas na Fig. 5.2.

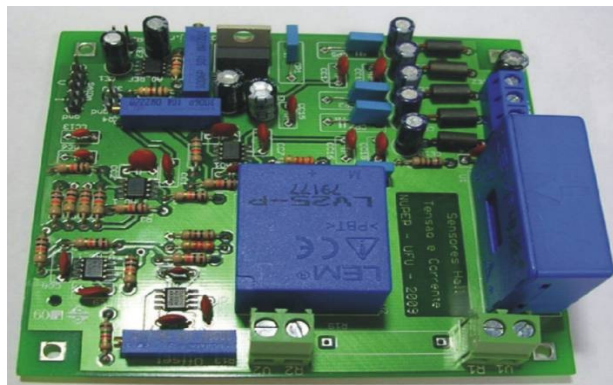


Fig. 5.2 – Placas de aquisição de tensão e corrente.

Cada placa possui um sensor de tensão e um sensor de corrente, ambos de efeito Hall. Os sinais de saída da placa saturam-se em 3.3 V e possuem um nível DC de 1,5 V. A saturação da saída em 3,3V garante uma proteção de sobtensão nos pinos de entrada do conversor analógico-digital (ADC) do DSP, que suportam, no máximo, níveis de tensão com amplitude igual a 3,3 V. A compensação do nível DC de 1,5 V inserido pelas placas de aquisição é realizada digitalmente, diminuindo das variáveis que recebem os sinais adquiridos o valor digital correspondente a 1,5 V analógico.

Conforme descrito no Capítulo 3, para a implementação da estratégia de controle utiliza-se dois sinais de tensão (entrada e saída) e dois de corrente (entrada e no indutor L_1), sendo necessário, portanto, duas dessas placas de aquisição de sinal, conforme ilustra a Fig. 5.1.

5.2.2 Sensor de Temperatura

A Fig 5.3 ilustra o circuito de condicionamento de sinal do sensor de temperatura utilizado no módulo de proteção, descrito no Capítulo 3.

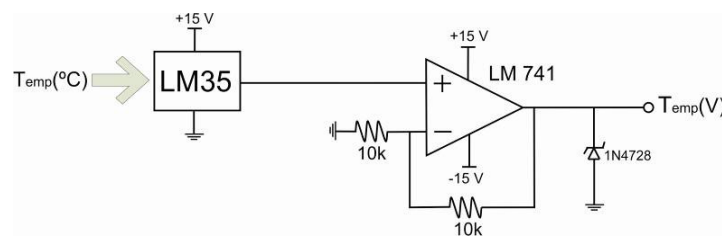


Fig. 5.3 – Condicionamento de sinal do sensor de temperatura.

O sensor de temperatura (LM35), localizado no dissipador de calor da estrutura, fornece um sinal de tensão proporcional à temperatura do circuito integrado.

A relação entre a tensão de saída do circuito condicionador ($T_{emp}(V)$) e a temperatura do integrado LM35 ($T_{emp}(^{\circ}C)$) é expressa pela Eq. 5.1

$$T_{emp}(V) = \frac{T_{emp}(^{\circ}C)}{50} \quad (5.1)$$

O sinal Temp(V) é levado ao pino de entrada do ADC para conversão analógico-digital e, para a proteção de sobretensão nos pinos do ADC, o circuito condicionador de temperatura satura sua saída em 3,3 V através do diodo Zener 1N4728.

5.2.3 Conversão de Sinal

No DSP F28335 o nível alto nos pinos GPIO representa um sinal de 3.3 V de amplitude. Ao utilizarmos esses pinos como porta de saída para geração dos pulsos de ataque do gate do interruptor S_1 (V_{GS1}) e como sinal de proteção P_2 faz-se necessário a conversão de níveis de tensão de 3,3 V para 15 V, realizado pela placa de conversão ilustrada na Fig. 5.4.

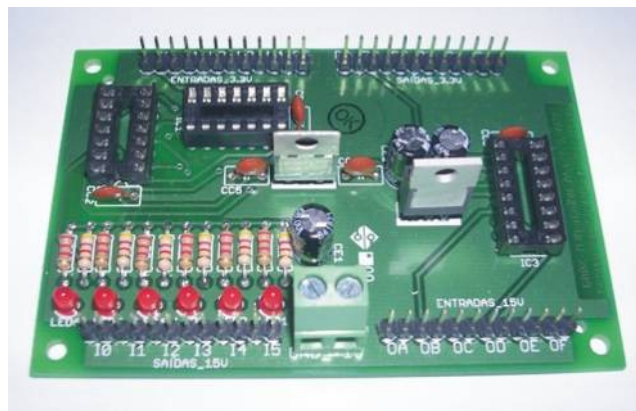


Fig. 5.4 – Placa de conversão de 3,3 V para 15 V.

A placa de conversão converte sinais de 3.3 V para 15 V e vice-versa, possibilitando que sinais de tensão com 15 V de amplitude sejam convertidos para 3.3V, tornando-os compatíveis com os níveis de tensão suportados pelas portas de entrada DSP F28335.

5.2.4 Gate-Driver SKHI 10/12

Após amplificados pela placa de conversão de sinal, os pulsos S_1 , gerados pelo DSP F28335 através da estratégia de controle descrita no Capítulo 3, alimentam o *gate-driver* SKHI 10/12 da Semikron®. O sinal de saída do *gate-driver* (V_{GS1}) alimenta o

gate do interruptor S_1 . Dentre outras funções, o *gate-driver* SKHI 10/12 protege o interruptor S_1 de curto-circuito e sobrechaveamento, cancelando os pulsos na sua saída quando detectado algum desses eventos. A Fig. 5.5 ilustra o diagrama de blocos do *driver* SKHI 10/12.

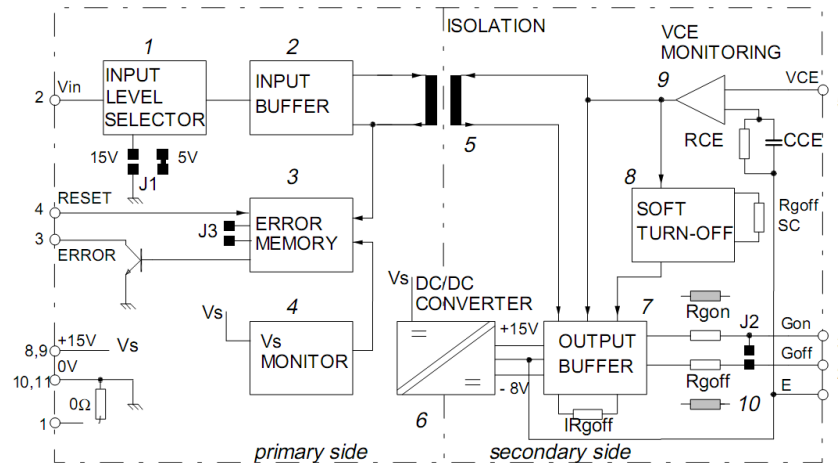


Fig. 5.5 – Diagrama de blocos do *gate-driver* SKHI 10-12 da Semikron®

Os pulsos de entrada, com amplitude 0 e 15 V, são aplicados no pino 2 (V_{in}) do lado primário e tem-se o sinal de ataque de *gate*, com amplitude -8 e 15 V, entre os pinos (2/3 e 1) do lado secundário.

A proteção de curto-circuito é realizada através do monitoramento da tensão entre o coletor e o emissor do interruptor, obtidos através dos pinos 5 (VCE) e pino 1 (E) do lado secundário do *gate-driver*. Se detectados elevados níveis de tensão entre o coletor e o emissor quando o interruptor estiver fechado, indicando curto-circuito, os pulsos no lado secundário são cancelados, sendo enviado, além disso, um sinal de erro através do pino 3 (ERROR) no lado primário. Os pulsos são habilitados novamente quando aplicado um pulso no pino 4 (RESET) no lado primário.

5.2.5 – Circuito de Controle dos Contatores

O sinal P_2 , provindo do módulo de proteção implementado digitalmente no DSP, alimenta o circuito de controle dos contatores ilustrado no diagrama esquemático da

Fig. 5.1. Esse circuito atua nos contatores de entrada e saída do retificador híbrido monofásico, manobrando-os quando o sinal P_2 é levado a nível baixo, indicando que o módulo de proteção foi acionado por algum dos eventos citados no Capítulo 3.

A Fig. 5.6 apresenta o circuito de potência apresentado na Fig. 3.5 incorporando os contatores X_1 , X_2 , X_3 e X_4 utilizados para proteção do conjunto e pré-carga do capacitor de saída C_2 .

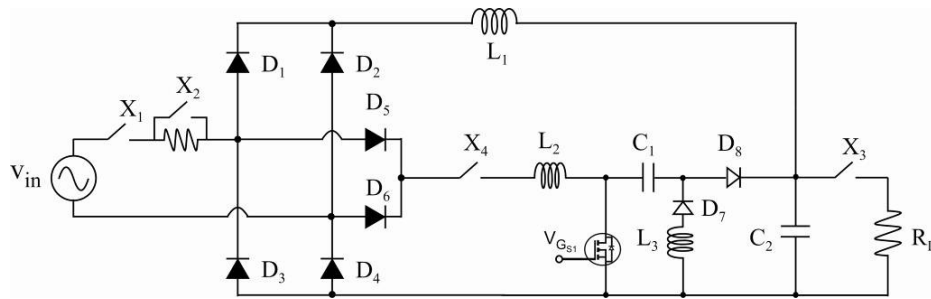
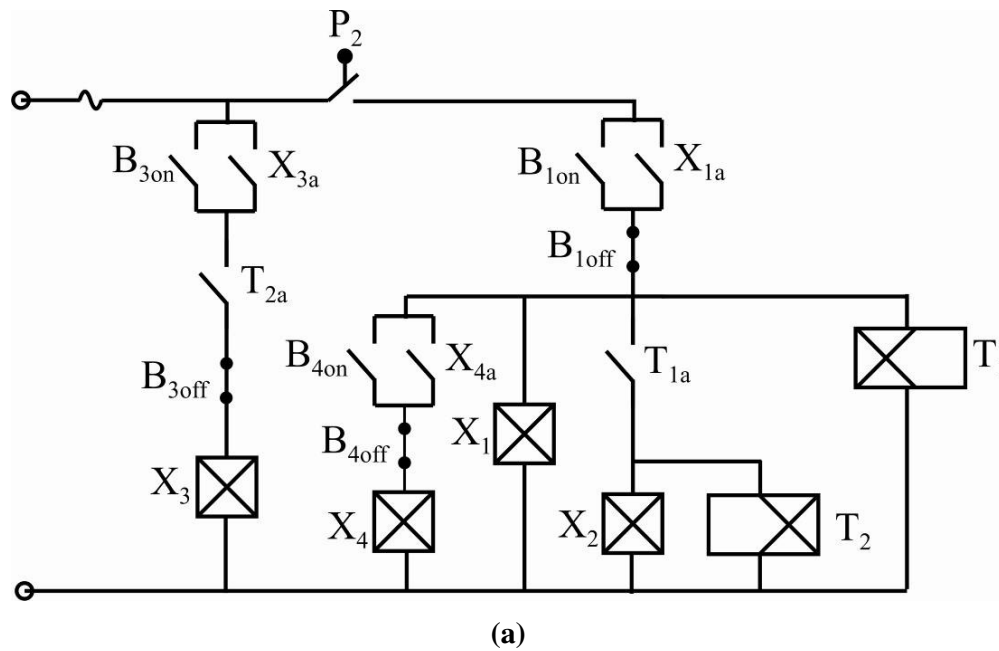


Fig. 5.6 – Circuito de potência do RHM com contatores.

A Fig. 5.7 ilustra o circuito de controle e os gráficos de acionamento dos contatores.



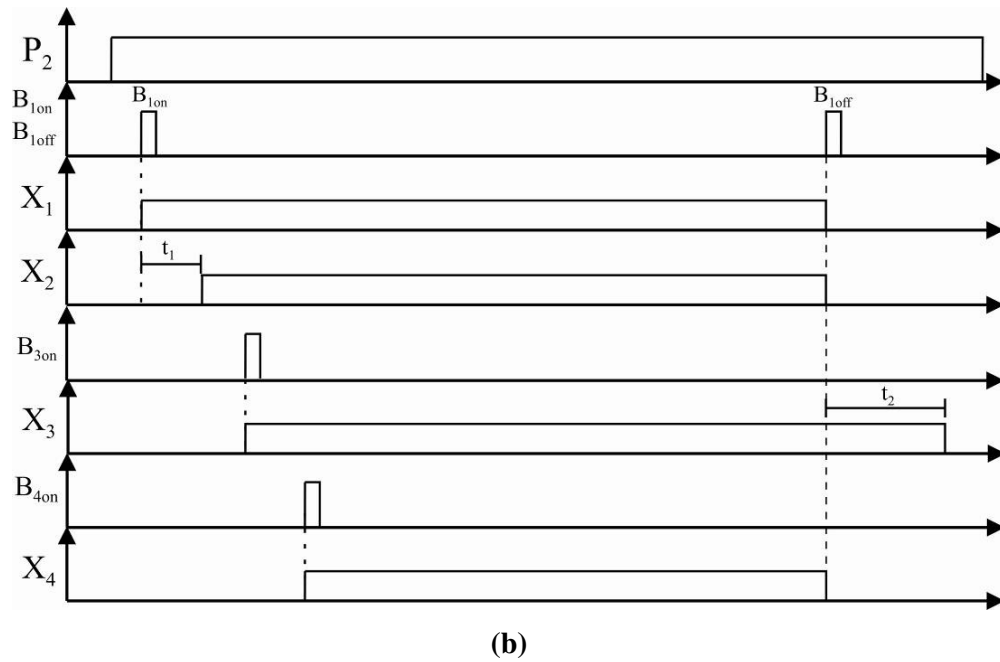


Fig. 5.7 – (a) Circuito de controle e (b) gráficos de acionamento.

O circuito de controle que aciona os contadores ilustrados na Fig. 5.6 é ativo somente quando o sinal P_2 , provindo do módulo de proteção, está em nível alto. Essa condição garante que o circuito de potência seja desativado quando o sinal P_2 for levado a nível baixo, ou seja, quando o módulo de proteção detectar curto-circuito, sobretensão, sobrecarga do retificador não controlado ou perda de alimentação do DSP.

Estando o sinal P_2 em nível alto, a botoeira B_{1on} aciona o contator de entrada X_1 , energizando o retificador não controlado. Decorrido o tempo t_1 , ajustado no relé temporizado T_1 , o contator X_2 é acionado, curto-circuitando a resistência R_{pc} , utilizada para limitação de corrente durante a de pré-carga do capacitor de saída C_2 .

O cálculo da resistência de pré-carga R_{pc} utiliza conceitos do modelo matemático que foram apresentados no Capítulo 4.

A botoeira B_{3on} aciona o contator de saída X_3 , que insere a carga no retificador não controlado. Vale ressaltar que a lógica elaborada do circuito de controle dos contadores garante que a carga esteja sempre seccionada durante a pré-carga do

capacitor de saída C_2 . Essa condição reduz a corrente de pré-carga, reduzindo a queda de tensão na resistência R_{pc} e garante que a tensão no capacitor C_2 após a pré-carga seja próxima do valor de tensão do regime permanente.

Após a pré-carga do capacitor de saída e a inserção da carga, o conversor chaveado é habilitado a operar através do acionamento da botoeira B_{4on} , que ativa o contator X_4 .

A botoeira B_{1off} é responsável pela desenergização do circuito. Conforme ilustrado nos gráficos de controle da Fig. 5.7, ao acionar a botoeira B_{1off} os contadores X_1 , X_2 e X_4 são desativados instantaneamente, desenergizando o circuito de potência. Contudo, o contator de carga X_3 permanece ativo durante o tempo t_2 . Esse tempo é necessário para a descarga do capacitor de saída, garantindo tensão nula nos terminais de saída do RHM.

O valor de t_2 é ajustado em um relé temporizado com retardo de desenergização T_2 e seu valor pode obtido através da Eq. 5.2, correspondente ao tempo de descarga total do capacitor de saída C_2 .

$$t_2 \geq 5 \cdot R_L \cdot C_2 \quad (5.2)$$

Onde:

R_L – Resistência de carga do RHM;

C_2 – Capacitor de saída.

Dessa forma, através da lógica de acionamento descrita, garante-se que a pré-carga do capacitor de saída (C_2) seja realizada sem carga, reduzindo a queda de tensão na resistência de pré-carga (R_{pc}), elevando a tensão no capacitor de saída C_2 . Garante-se também que o conversor chaveado seja ativado somente se a carga estiver alimentada. Quando detectado algum dos eventos que acionam o módulo de proteção os contadores de entrada e saída do circuito são desenergizados por ação do sinal P_2 .

5.3 Construção do Protótipo de 1 kW

Para validação da estratégia de controle proposta foi construído um protótipo de 1 kW de potência de saída para obtenção de resultados a serem comparados com aqueles obtidos através do modelo matemático e os de simulação no Orcad[®].

Para otimização da construção do protótipo de 1 kW do retificador híbrido monofásico utilizou-se um modelo tridimensional do protótipo elaborado no *software* Solid Works[®], ilustrado na Fig. 5.8.

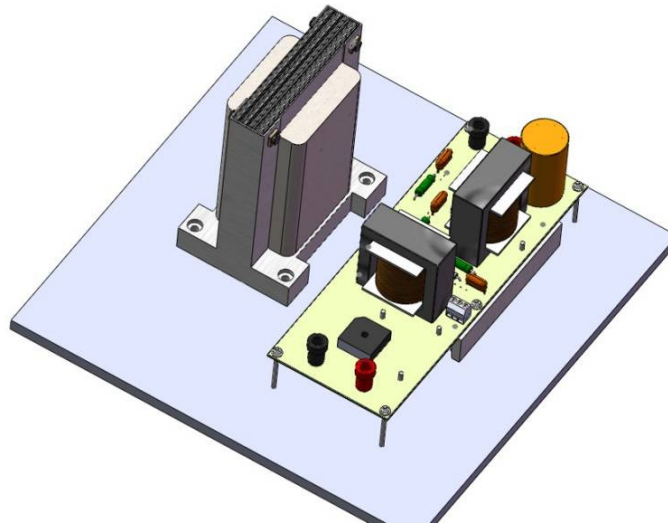


Fig. 5.8 – Protótipo de 1 kW no Solid Works[®].

O arranjo mostrado na Fig. 5.8 é uma maquete eletrônica do protótipo que destaca os componentes de maior volume, auxiliando a construção do protótipo.

A Tab. 5.1 trás informações a respeito dos componentes utilizados no protótipo de 1 kW, especificado no Capítulo 3 e as Tabs 5.2 a 5.4 fornecem informações detalhadas a respeito dos semicondutores utilizados no protótipo de 1 kW.

Uma vez definidos os valores dos elementos do circuito de potência utiliza-se o *software* desenvolvido com base no modelo matemático, apresentado no Capítulo 4, para o cálculo do valor eficaz, de pico e médio das tensões e correntes em todos os

elementos do circuito de potência para a completa especificação desses elementos. Além disso, é calculado o valor da constante K_1 , utilizada no circuito de controle digital, a contribuição de potência de cada grupo de retificador e o espectro de frequência da corrente CA de entrada em confronto com a norma internacional IEC61000-3-2 a fim de verificação se todos os limites impostos foram respeitados para o valor do ganho K_1 calculado. Todos esses cálculos são baseados em um dado valor de DHT desejada da corrente CA de entrada, fornecido através da interface gráfica desenvolvida.

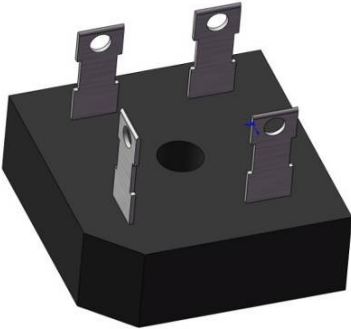
Tab. 5.1

PARÂMETROS DO PROTÓTIPO – RETIFICADOR HÍBRIDO MONOFÁSICO.

Especificações de Projeto	
Tensão média de saída, V_0 (avg) = 250 V	
Potência média de saída, P_0 = 1 kW	
Tensão de entrada, V_{in} (rms) = 220 V	
Máxima frequência de chaveamento, f = 25 kHz	
Retificador Não Controlado (Ret 1)	Conversor Chaveado (SEPIC) (Ret 2)
Ponte Retificadora TB3505-TAITRON	Ponte Retificadora TB3505-TAITRON
Indutor de filtro, L_1 = 20 mH	Indutores, L_1 - L_2 = 5 mH
Capacitor de filtro, C_0 = 220 μ F	Capacitor série, C_1 = 10 μ F
-	Interruptor, S_1 – IGBT IRGPC40S
-	Diodos rápidos, D_8 - D_9 – APT15D100K

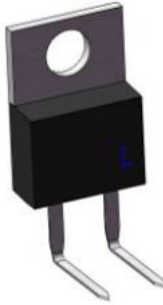
Tab. 5.2

PONTE RETIFICADORA TB3505

Símbolo	Descrição	Valor	
VRRM	Maximo pico de tensão reverso	50 V	
VRMS	Máxima tensão RMS	35 V	
VDC	Máxima tensão de bloqueio	50 V	
$I_O(AV)$	Máxima corrente média a 50 °C	35 A	
IFSM	Pico de corrente	400 A	
CT	Capacitância de junção	300 pF	
TJ	Range de temperatura	-65 a 150 °C	
VF	Máxima queda de tensão direta	1.1 V	

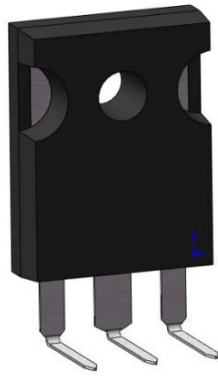
Tab. 5.3

DIODOS D₈/D₉ - APT15D100K

Símbolo	Descrição	Valor	
V _R	Máxima tensão reversa	1000 V	
I _F (AV)	Máxima corrente média	15 A	
I _F (RMS)	Máxima corrente eficaz	25 A	
T _J	Range de temperatura	-55 a 150 °C	
C _T	Capacitância de junção	12 pF	
L _S	Indutância série	10 nH	

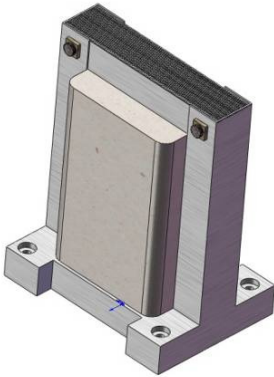
Tab. 5.4

IGBT S₁ - IRGPC40S

Símbolo	Descrição	Valor	
V _{CES}	Tensão coletor-emissor	600 V	
IC @ TC = 25 °C	Corrente de coletor	50 A	
IC @ TC = 100 °C	Corrente de coletor	31 A	
ICM	Pico de corrente no coletor	240 A	
V _{GE}	Tensão entre gate e emissor	±20 V	
PD @ TC = 25 °C	Máxima potência dissipada	160 W	
PD @ TC = 100 °C	Máxima potência dissipada	65 W	
T _J	Range de temperatura	-55 a 150 °C	

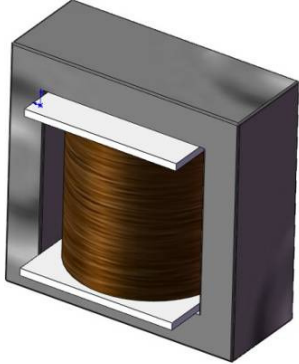
Tab. 5.5

INDUTOR L₁

Símbolo	Descrição	Valor	
L	Indutância	5 mH	
I _{avg}	Máxima corrente média	10 A	
I _{rms}	Máxima corrente eficaz	8 A	
I _{pico}	Máxima corrente de pico	20 A	
μ _e	Permeabilidade efetiva	12,41798323	
n	Número de voltas	329	
AWG	Bitola AWG do fio utilizado	17	
lg	Entreferro	9,663404898 mm	

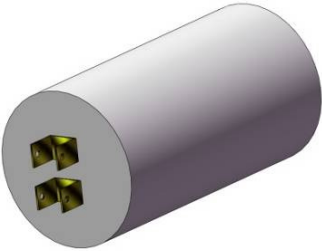
Tab. 5.6

INDUTOR $L_2 - L_3$

Símbolo	Descrição	Valor	
L	Indutância	5 mH	
I _{avg}	Máxima corrente média	8 A	
I _{rms}	Máxima corrente eficaz	5 A	
I _{pico}	Máxima corrente de pico	30 A	
μ_e	Permeabilidade efetiva	8,896847164	
n	Número de voltas	389	
AWG	Bitola AWG do fio utilizado	17	
lg	Entreferro	13,48792418 mm	

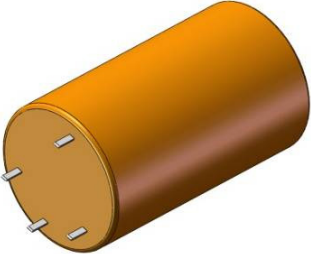
Tab. 5.7

CAPACITOR C_1

Símbolo	Descrição	Valor	
C	Capacitância	10 μ F	
V _R	Máxima tensão media de operação	500 V	
V _p	Máxima tensão de pico	800 V	
I _{max}	Máxima corrente	20 A	
I _p	Máxima corrente de pico	331,7 A	

Tab. 5.8

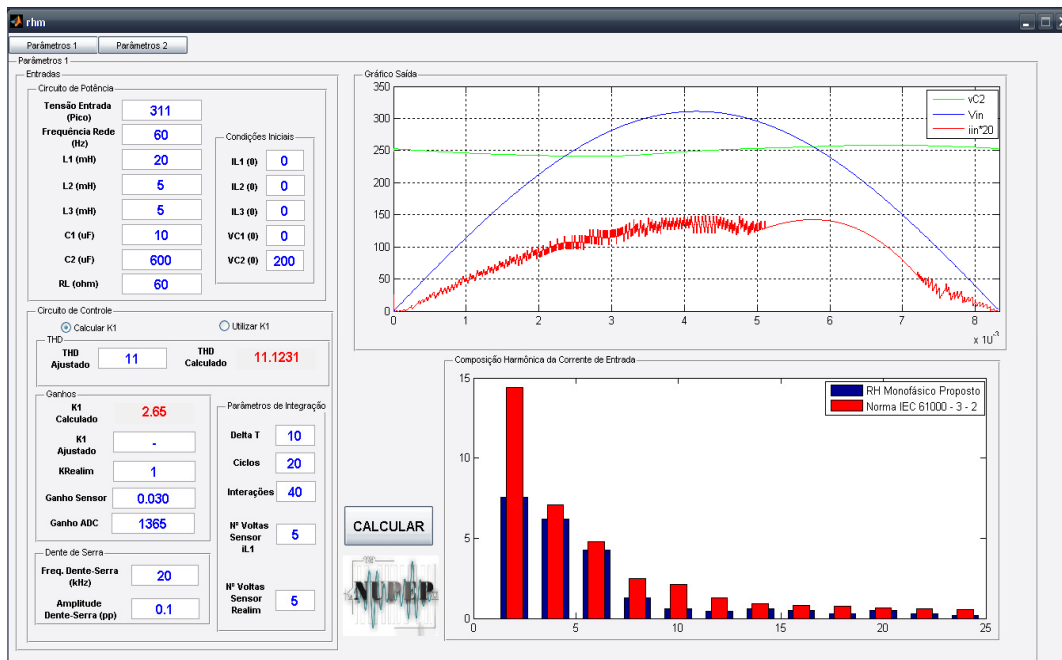
CAPACITOR C_2

Símbolo	Descrição	Valor	
C	Capacitância	220 μ F	
V _R	Máxima tensão media de operação	250 V	
V _p	Máxima tensão de pico	258,7 V	
I _{max}	Máxima corrente	5 A	
I _p	Máxima corrente de pico	250 A	

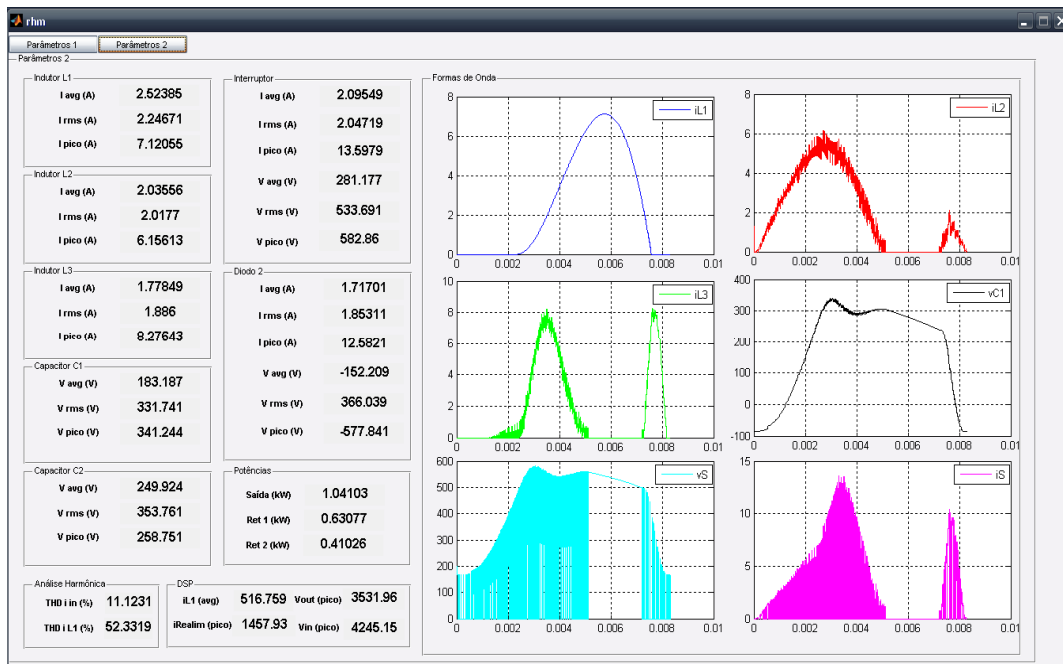
A Fig. 5.9 ilustra a interface do programa com as informações pertinentes ao protótipo de 1 kW.

Conforme ilustra a Fig. 5.9(a), para se alcançar uma DHT_I de 11,12% necessita-se utilizar no controle digital um valor de $K_I = 2,65$. Nessa condição, a distribuição de potência é de 60,57% para o retificador não controlado e 39,43% para o conversor chaveado. O espectro harmônico indica que todos os limites da norma IEC61000-3-2 foram respeitados para esta distribuição de potência.

Uma vez definido o valor eficaz, médio e pico de tensão e corrente dos elementos do circuito de potência construiu-se o protótipo de 1 kW, ilustrado na Fig. 5.10.

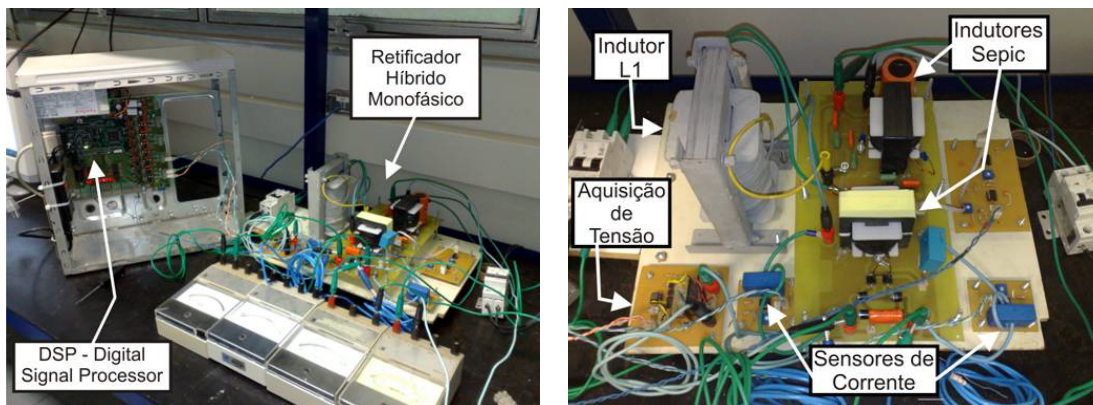


(a)



(b)

Fig. 5.9 – Interfaces do programa desenvolvido para especificação do protótipo de 1 kW.



(a)

(b)

Fig. 5.10 – (a)Visão geral e (b) detalhes do protótipo de 1 kW.

5.3.1 Resultados Experimentais do Protótipo de 1 kW

O protótipo de 1 kW ilustrado na Fig. 5.10 foi ensaiado a fim de se obter as formas de onda características do RHM. Os parâmetros do circuito de controle digital foram extraídos dos resultados do *software* desenvolvido, ilustrado na Fig. 5.9. Dessa

forma, espera-se obter formas de onda experimentais equivalentes àquelas obtidas através do *software*.

A Fig. 5.11 ilustra a forma de onda da tensão e corrente de entrada e os pulsos de ataque de *gate* do interruptor S_1 do retificador híbrido monofásico.

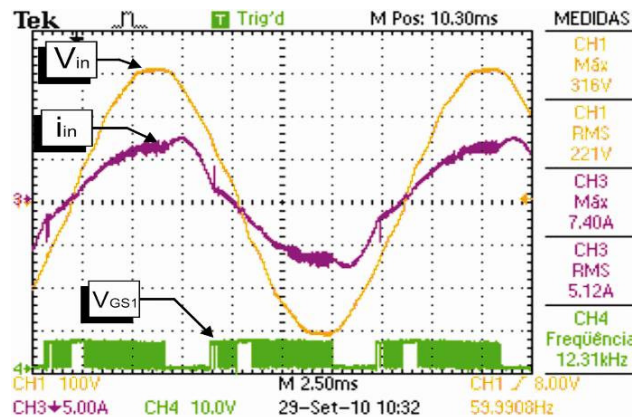
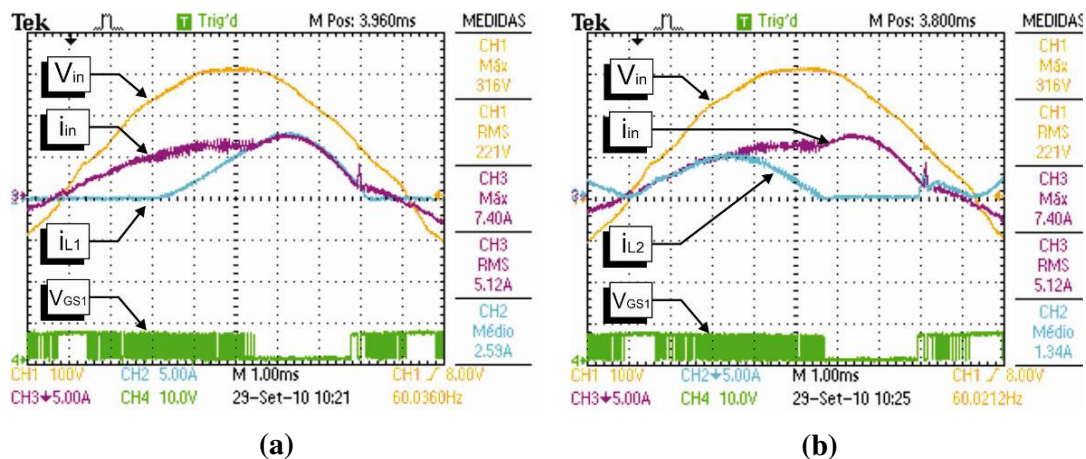


Fig. 11 – Tensão (V_{in}), corrente CA de entrada (i_{in}) e pulsos de ataque de *gate* do interruptor S_1 (V_{GS1}).

A corrente de entrada (i_{in}) é composta pela corrente drenada pelo retificador não controlado (i_{L1}) e pela corrente drenada pelo conversor chaveado (i_{L2}), conforme ilustrado pela Fig. 12.



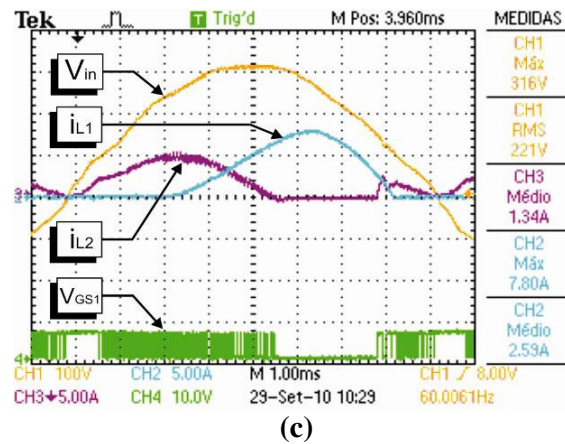


Fig. 5.12 – Tens o (V_{in}) e corrente (i_{in}) de entrada e (a) corrente i_{L1} , (b) corrente i_{L2} e (c) corrente i_{L1} e i_{L2} .

Percebe-se que, mesmo que at pica, a corrente CA de entrada (i_{in}), ilustrada na Fig. 5.11(a),   praticamente senoidal. Fazendo-se sua decomposi  o harm nica percebe-se pelo seu espectro de frequ ncia que os limites da norma internacional IEC 1000-3-2 s o respeitados. A Fig. 5.13(a) ilustra a decomposi  o harm nica da corrente CA de entrada estando apenas o retificador n o controlado ativo e a Fig. 5.13(b) ilustra decomposi  o harm nica da corrente CA de entrada estando ambos os conversores ativos.

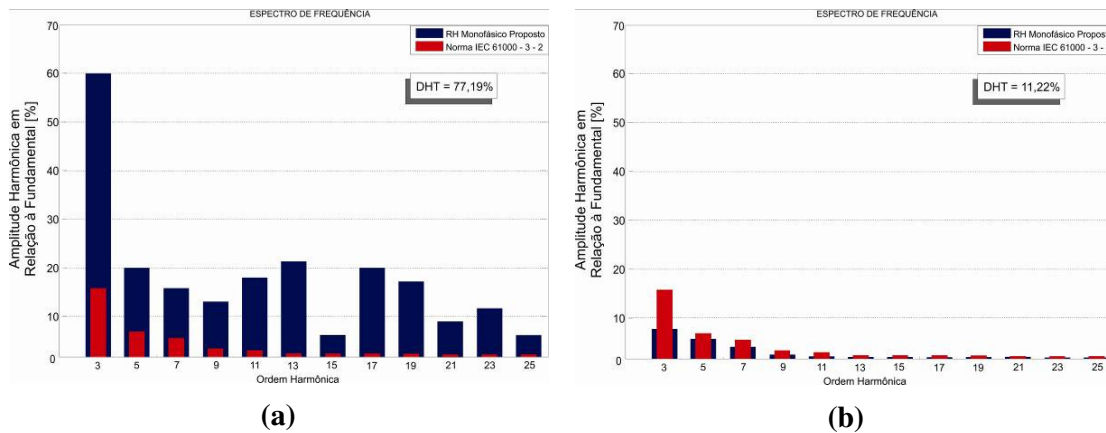


Fig. 5.13 – Decomposi  o harm nica da corrente CA de entrada estando ativo (a) somente o Ret-1 e (b) ambos os retificadores (Ret-1 e Ret-2).

Percebe-se uma redu  o sens vel da DHT da corrente CA de entrada, resultado da mitiga  o de harm nicos em fun  o da estrat gia de controle adotada.

A Fig. 5.14 ilustra a forma de onda da tensão, corrente e potência de saída do retificador híbrido monofásico operando na condição de corrente ilustrada na Fig. 5.11(a).

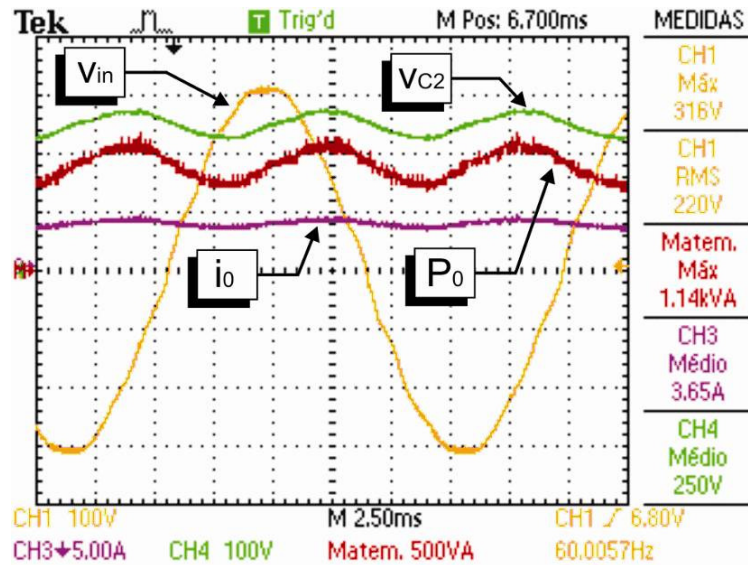


Fig.5.14 – Tensão de entrada (v_{in}) e saída (v_{c2}), corrente (i_o) e potência (P_o) de saída.

Foi realizado uma análise energética utilizando o equipamento Yokogawa WT230[®] para uma tensão de saída média de 250 V e uma potência média de saída de 1 kW, com o retificador não controlado processando 0,647 kW (64,7%) e o conversor chaveado processando 0,353 kW (35,3%). Essa divisão de potência entre os dois grupos de retificador foi capaz de compor uma forma de onda da corrente AC de entrada dentro dos limites harmônicos impostos pela norma IEC61000-3-2, conforme ilustra a Fig. 5.13(b). A curva de eficiência em função da potência de saída obtida através de testes com diferentes condições de carga é ilustrada na Fig. 5.15, onde observa-se um rendimento alcançado para a potência nominal de 95%.

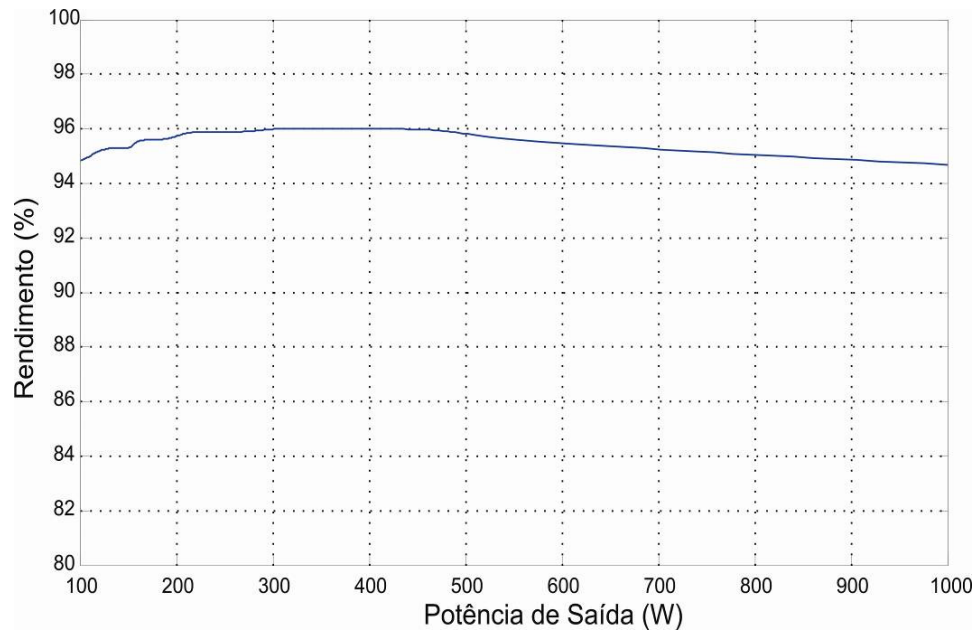


Fig. 5.15 – Curva de rendimento.

Observa-se nos resultados apresentados uma redução sensível da DHT da corrente CA de entrada, associado a um elevado rendimento de operação. Assim, conclui-se que a estratégia de controle proposta é capaz de mitigar harmônicos da corrente CA de entrada, resultando em um espectro harmônico de corrente abaixo dos limites impostos pela norma internacional.

5.4 Construção do Protótipo de 10 kW

Uma vez constatada a eficiência da estratégia de controle através dos resultados experimentais obtidos pelo protótipo de 1 kW construiu-se um protótipo de 10 kW de potência, a fim de verificar o comportamento do conjunto processando potências mais elevadas.

As especificações de projeto para o protótipo de 10 kW, dimensionado no Capítulo 3, são resumidas na Tab. 5.2.

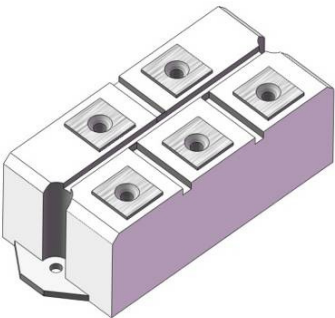
Tab. 5.9

PARÂMETROS DO PROTÓTIPO 10 kW – RETIFICADOR HÍBRIDO MONOFÁSICO.

Especificações de Projeto	
Tensão Média de Saída, V_0 (med) = 240 V	
Potência Total de Saída, P_0 = 10 kW	
Tensão de entrada, V_{in} (rms) = 220 V	
Frequência máxima de chaveamento, f = 25 kHz	
DHT_1 = 17% em conformidade com a IEC61000-3-4	
Retificador Monofásico não controlado	Retificador Chaveado (SEPIC)
Ponte retificadora SKB 52/12 - SEMIKRON	Diodos da ponte retificadora, D_5 - D_6 SKMD 100 – SEMIKRON
Indutor de Filtro, L_1 = 2.7 mH	Indutores, L_2 - L_3 = 800 uH
Capacitor de filtro, C_0 = 600 μ F	Capacitor série, C_S = 22 μ F
-	Interruptor, S_1 – IGBT SKM75GAL123D – SEMIKRON
-	Diodos rápidos, D_8 - D_9 SKKE 120F – SEMIKRON

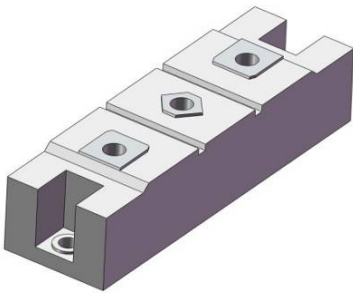
Tab. 5.10

PONTE RETIFICADORA SKB 52/12

Símbolo	Descrição	Valor	
VRRM	Maximo pico de tensão reverso	1200 V	
VRMS	Máxima tensão RMS	1200 V	
ID	Máxima corrente a 80 °C	80 A	
IFSM	Pico de corrente	500 A	
rs	Resistência série	8 m Ω	
TJ	Range de temperatura	-40 a 150 °C	
VF	Máxima queda de tensão direta	1.8 V	

Tab. 5.11

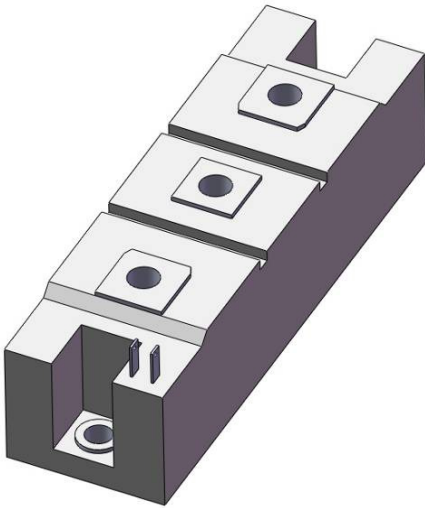
DIODOS D_8/D_9 - SKKE 120F

Símbolo	Descrição	Valor	
V_R	Máxima tensão reversa	1700 V	
V_{ISOL}	Tensão de isolamento	4800 V	
$I_F(AV)$	Máxima corrente média	200 A	
I_{FSM}	Máxima corrente de pico	2000 A	
T_J	Range de temperatura	-40 a 150 °C	
VF	Queda de tensão	2.7 V	

Tab. 5.12

IGBT S₁ - MÓDULO SKM 75GB123D

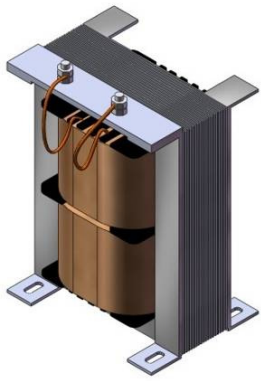
Símbolo	Descrição	Valor
IGBT		
V _{CES}	Tensão coletor-emissor	1200 V
I _C @ T _C = 25 °C	Corrente de coletor	75 A
I _C @ T _C = 80 °C	Corrente de coletor	60 A
I _{CM}	Pico de corrente no coletor	150 A
V _{GE}	Tensão entre gate e emissor	±20 V
Diodo Inverso		
I _F	Máxima corrente direta a 25 °C	75 A
I _F	Máxima corrente direta a 80 °C	50 A
I _{FRM}	Máximo pico de corrente	150 A
Diodo de Roda Livre		
I _F	Máxima corrente direta a 25 °C	95 A
I _F	Máxima corrente direta a 80 °C	65 A
I _{FRM}	Máximo pico de corrente	200 A



Tab. 5.13

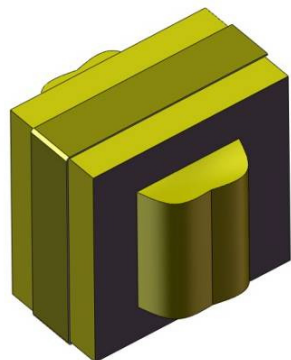
INDUTOR L₁

Símbolo	Descrição	Valor
L	Indutância	2,7 mH
I _{avg}	Máxima corrente média	80 A
I _{rms}	Máxima corrente eficaz	70 A
I _{pico}	Máxima corrente de pico	200 A
μ _e	Permeabilidade efetiva	6,940427374
n	Número de voltas	339
AWG	Bitola AWG do fio utilizado	17
lg	Entreferro	39,47883685 mm




Tab. 5.14

INDUTOR $L_2 - L_3$

Símbolo	Descrição	Valor	
L	Indutância	800 μ H	
I _{avg}	Máxima corrente média	30 A	
I _{rms}	Máxima corrente eficaz	20 A	
I _{pico}	Máxima corrente de pico	60 A	
μ_e	Permeabilidade efetiva	8,623599468	
n	Número de voltas	158	
AWG	Bitola AWG do fio utilizado	17	
lg	Entreferro	13,91530305 mm	

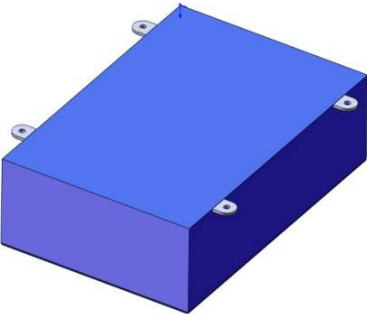
Tab. 5.15

CAPACITOR C_1

Símbolo	Descrição	Valor	
C	Capacitância	22 μ F	
V _R	Máxima tensão média de operação	500 V	
V _p	Máxima tensão de pico	800 V	
I _{max}	Máxima corrente	30 A	
I _p	Máxima corrente de pico	100 A	

Tab. 5.16

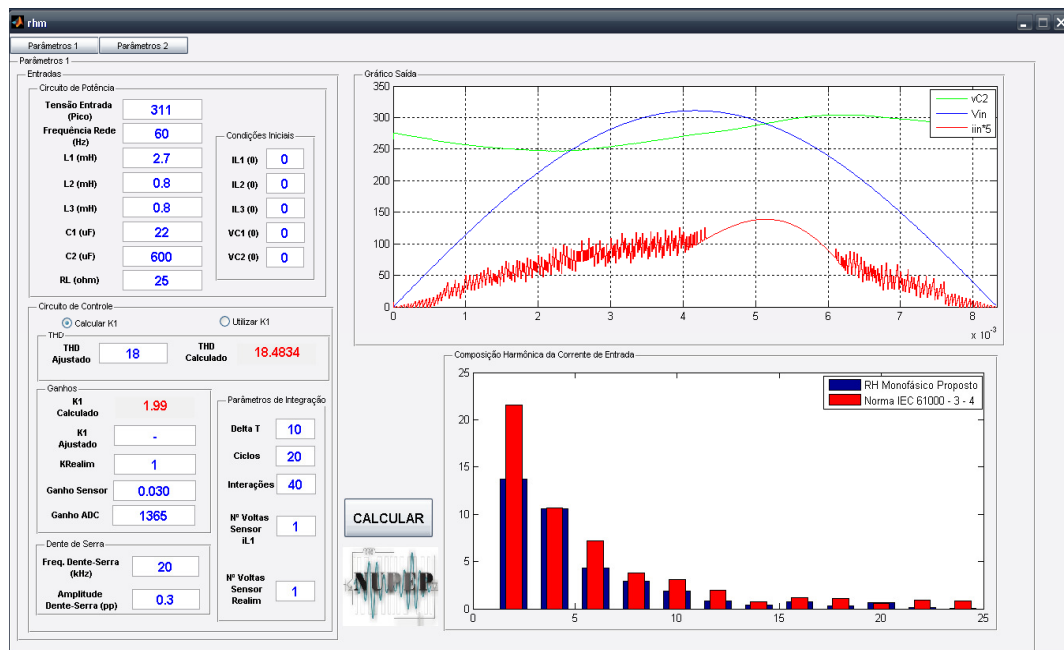
CAPACITOR C_2 - B25655

Símbolo	Descrição	Valor	
C	Capacitância	600 μ F	
V _R	Tensão média de operação	800 V	
V _p	Máxima tensão de pico	1200 V	
I _{max}	Máxima corrente	80 A	
I _p	Máxima corrente de pico	1700 A	
R _s	Resistência série	2 m Ω	
T _j	Range de temperatura	-40 a 70 °C	

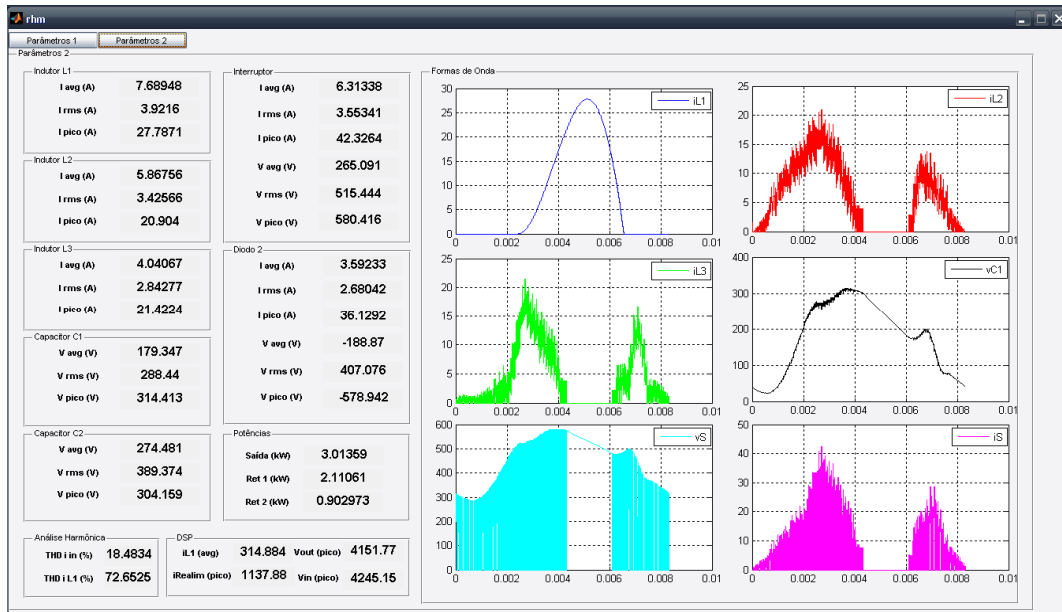
Definido o valor dos componentes do circuito de potência utiliza-se novamente o *software* desenvolvido no Matlab®, conforme ilustra as interfaces na Fig. 5.16, a fim de se calcular o valor eficaz, médio e pico de tensão e corrente para os elementos do circuito de potência, possibilitando a completa especificação dos elementos.

Por razões de limitação de bancada, o protótipo de 10 kW de potência nominal de saída foi ensaiado processando apenas 3 kW de potência de saída, resultando nas formas de onda apresentadas na seção 5.4.1. Dessa forma, foi utilizada a condição de carga no *software* desenvolvido correspondente àquela utilizada no protótipo, resultando em formas de onda que possam ser comparadas com aquelas obtidas experimentalmente.

De maneira análoga ao método de projeto adotado para o protótipo de 1 kW, construiu-se uma maquete eletrônica em 3D para o protótipo de 10 kW utilizando o *software* Solid Works®. O modelo tridimensional e o protótipo construído são ilustrados na Fig. 5.17.

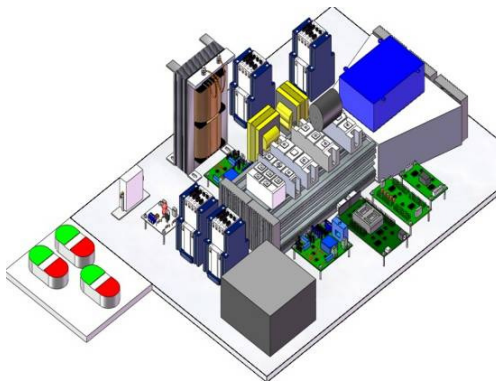


(a)



(b)

Fig. 5.16 – Interfaces do software desenvolvido para o protótipo de 10 kW com resultados para uma potência de saída de 3 kW.



(a)



(b)

Fig. 5.17 – (a) Modelo tridimensional e (b) foto do protótipo de 10 kW.

O modelo tridimensional possui os elementos de maior volume e facilita a construção do protótipo, servindo como referência para o posicionamento dos componentes e evitando erros na construção final do conjunto.

5.4.1 Resultados Experimentais do Protótipo de 10 kW

Foram apresentados em [11] os resultados experimentais dos ensaios de um protótipo do RHM com estratégia de controle implementada através de circuitos

analógicos processando 10 kW de potência de saída. Esse protótipo foi alimentado através um transformador elevador, duplicando o nível da tensão de entrada e possibilitando a operação com níveis de potência mais elevados, reduzindo, dessa forma, os níveis de corrente. Todavia, como desvantagem, nesse nível de tensão era necessário um interruptor com alta tensão de operação (em torno de 1700 V), o que eleva consideravelmente seu custo de aquisição.

Em função do elevado custo do interruptor do conversor chaveado quando se utiliza o transformador elevador, optou-se por abandonar seu uso nos ensaios realizados no protótipo de 10 kW implementado com controle digital. Dessa forma, os ensaios foram realizados no nível de tensão da rede (220 V) ocasionando, conseqüentemente, em níveis maiores de corrente quando comparados com aqueles verificados nos ensaios do protótipo implementado com controle analógico.

Portanto, por limitações laboratoriais quando ao nível máximo de corrente disponibilizada pela fonte de alimentação, os resultados apresentados nessa seção são referentes aos ensaios realizados com o protótipo dimensionado para 10 kW processando 3 kW de potência de saída. Vale ressaltar que os resultados apresentados com o protótipo processando um terço da potência nominal não comprometem a validação da eficácia da estrutura topológica apresentada, no que tange à sua aplicação em elevadas potências, assim como da estratégia de controle desenvolvida.

A Fig. 5.18 ilustra a tensão e a corrente de entrada e saída do protótipo dimensionado para 10 kW processando 3 kW de potência média de saída com controle digital.

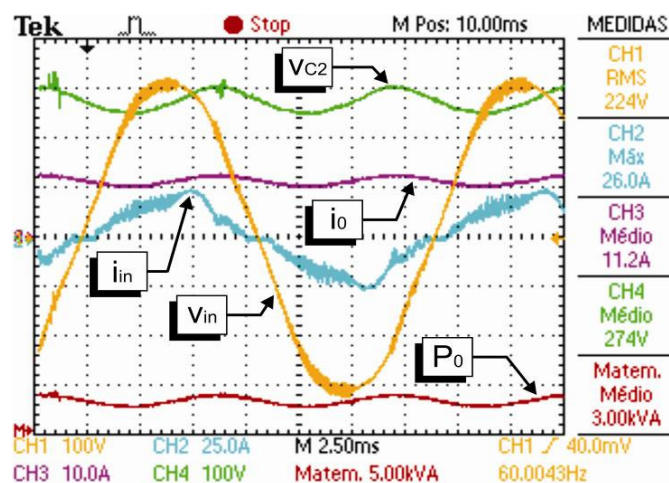
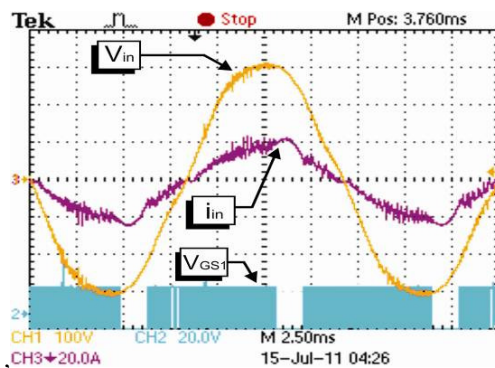
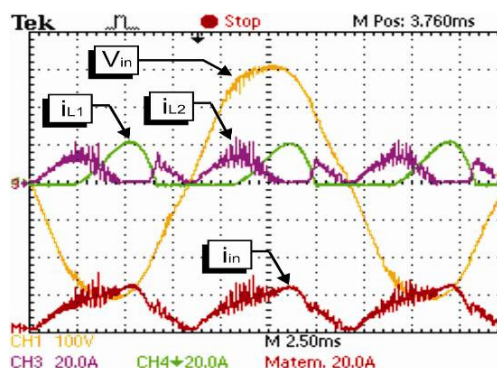


Fig 5.18 – Tensão e corrente de entrada (v_{in} e i_{in}) e saída (v_{C2} e i_o) e potência de saída (P_o)

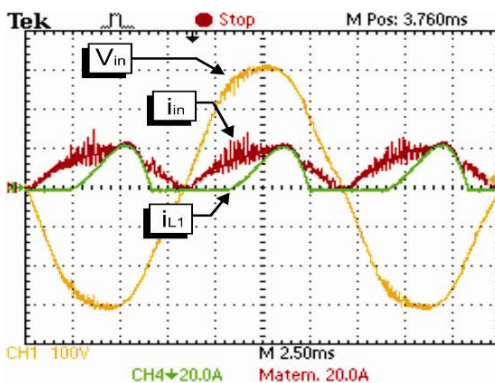
A Fig. 5.19 ilustra como é feita a composição da corrente CA de entrada (i_{in}), correspondendo à soma das correntes drenadas pelo retificador não controlado (i_{L1}) e pelo conversor chaveado (i_{L2}).



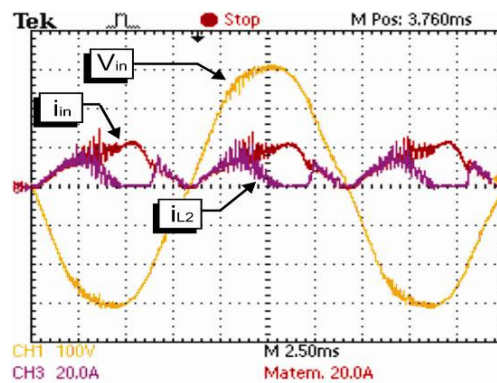
(a)



(b)



(c)



(d)

Fig. 5.19 – Tensão de entrada (V_{in}), corrente de entrada i_{in} e (a) pulsos de ataque de gate V_{GS1} , (b) corrente i_{L1} e i_{L2} , (c) corrente i_{L1} , (d) corrente i_{L2} .

É importante salientar que mesmo a tensão senoidal de entrada (V_{in}), provinda de um autotransformador varivolt, apresentar distorções harmônicas não há interferência desses harmônicos na corrente de entrada (i_{in}), visto que a referência de corrente é puramente digital e, portanto, isenta de qualquer conteúdo harmônico.

A Fig. 5.20 ilustra a DHT da corrente CA de entrada do retificador híbrido monofásico quando ativo somente o retificador não controlado (Fig. 5.20(a)) e quando ambos os grupos de retificadores são ativos (Fig. 5.20(b)), compondo a corrente CA de entrada (i_{in}) ilustrada na Fig. 5.19(d). Percebe-se uma sensível redução da DHT_I , comprovando a eficácia da estratégia de controle na mitigação de harmônicos. Destaca-se que o espectro harmônica da corrente de entrada obtida é comparado com os limites de distorção impostos pela norma IEC 61000-3-4.

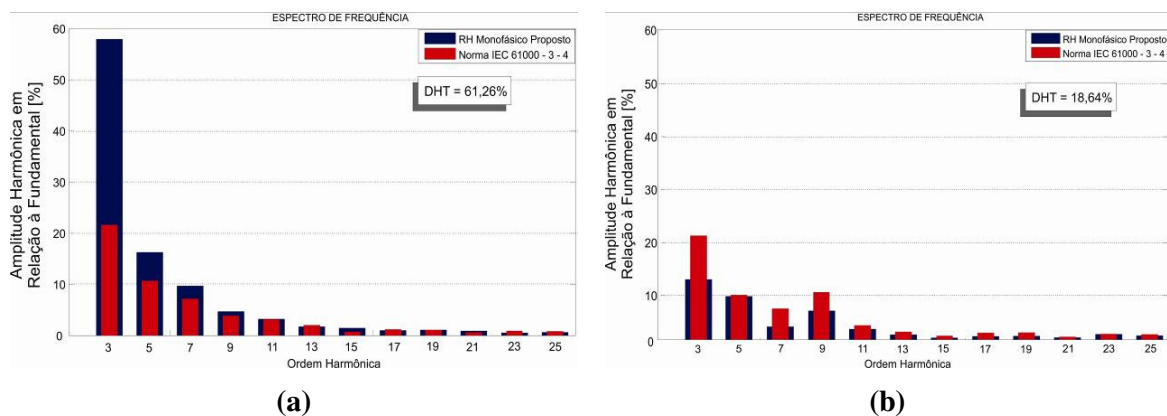


Fig. 5.20 – DHT da corrente CA de entrada quando ativo (a) somente o Ret-1 e (b) ambos os grupos de retificadores (Ret-1 e Ret-2)

A potência média processada pelo retificador não controlado pode ser obtida através da Eq. 4.40 e Eq. 4.41, definidas no Capítulo 4. Assim, através dos valores de tensão média na saída (289 V) e corrente média no indutor L_1 (7.77 A), pode-se obter a parcela de contribuição de potência do retificador não controlado (74.85%) e do conversor chaveado (25.15%).

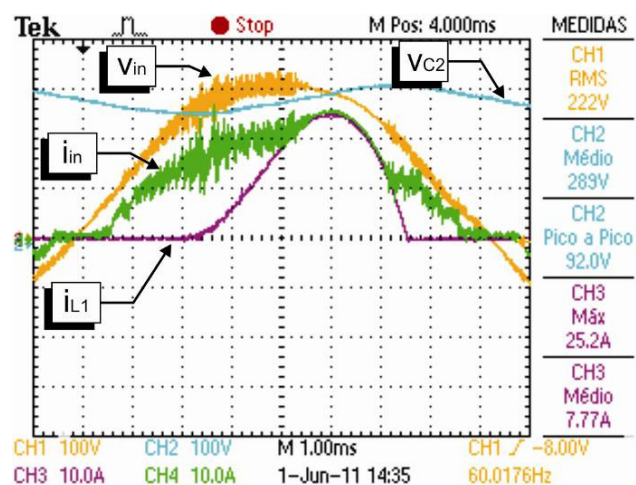


Fig. 5.21 – Tensão (v_{in}) e corrente (i_{in}) de entrada, corrente no indutor L_1 (i_{L1}) e tensão de saída (v_{C2}) .

A tensão e corrente no interruptor S_1 são ilustrados na Fig. 5.22

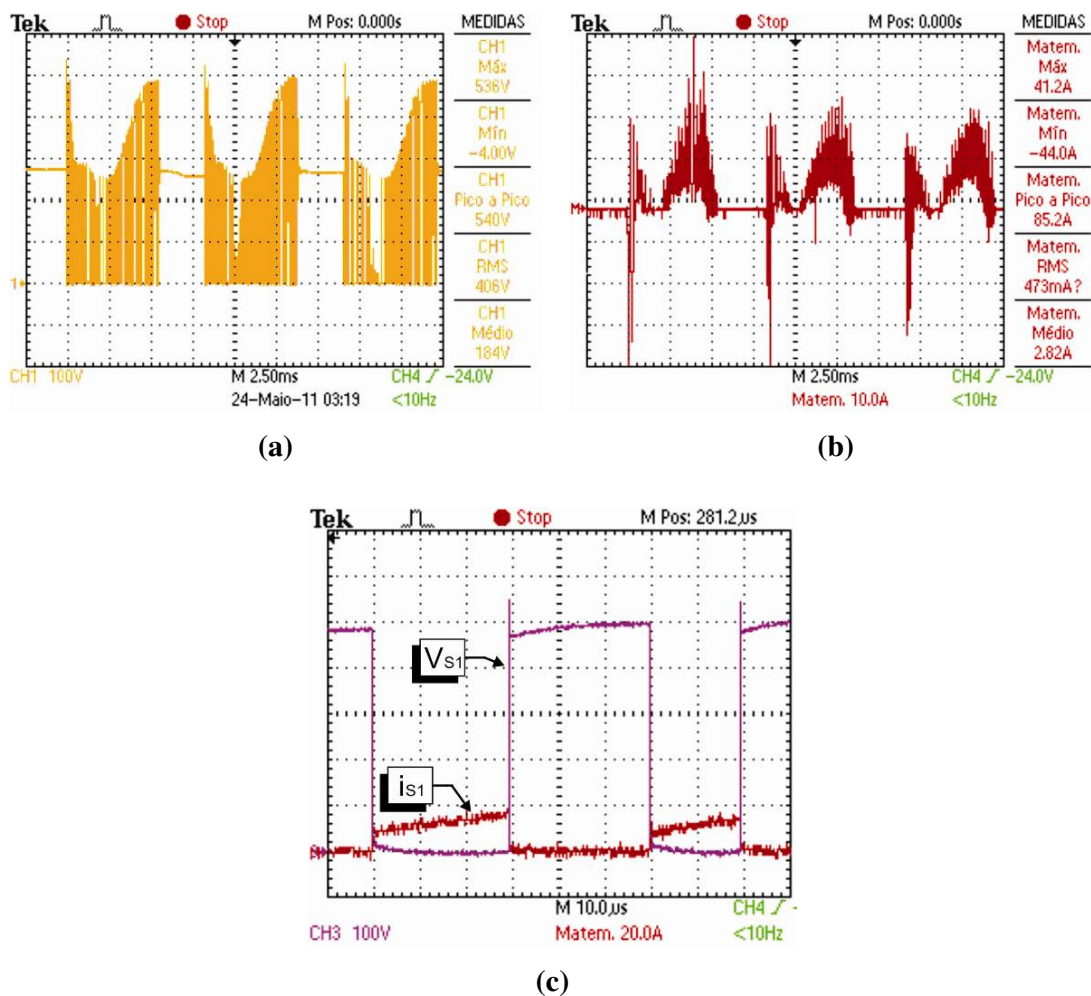


Fig. 5.22 – (a) Tensão, (b) corrente e (c) detalhe da comutação no interruptor S_1 .

Para a verificação do comportamento dinâmico do conversor aplicou-se um degrau positivo de carga, incrementando-se a potência de saída de 1,5 kW para 3 kW. A Fig. 5.23 ilustra as formas de onda da tensão (V_{in}) e corrente (i_{in}) de entrada no regime transitório do degrau.

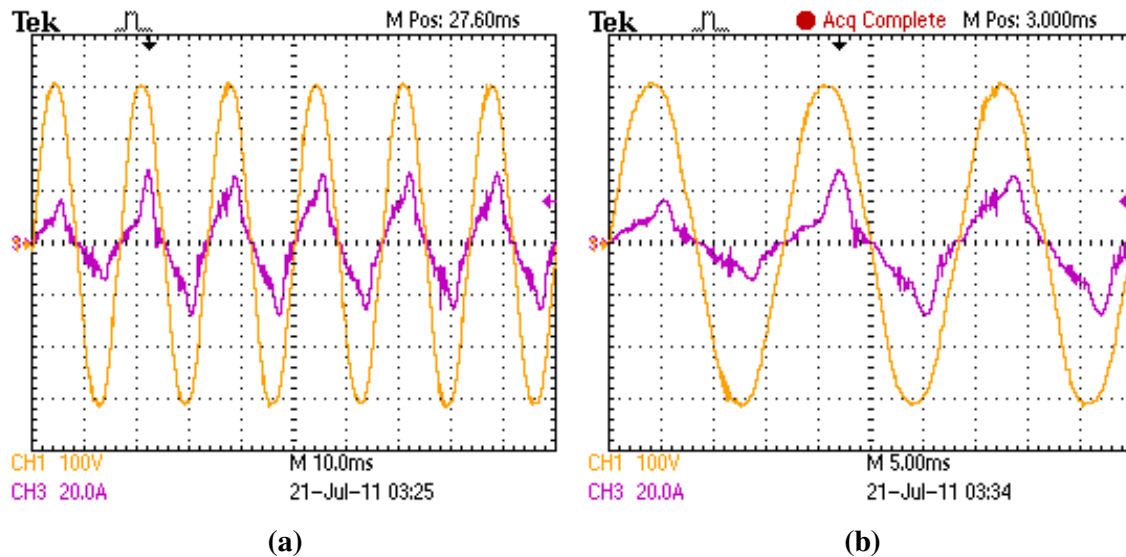


Fig. 5.23 – Resposta dinâmica do retificador híbrido monofásico proposto.

É importante destacar que, durante o transitório de carga a solicitação adicional de potência elétrica é, inicialmente, fornecida pelo retificador não controlado, garantindo o fornecimento pleno de energia, sem submeter o conversor chaveado a grandes esforços de corrente durante transitórios de carga. Portanto, conclui-se que a resposta dinâmica do conversor proposto é similar a de um retificador monofásico não controlado operando em DCM. Isto posto, acredita-se que esta é uma importante característica operacional do conversor proposto e que pode vir a ser bastante atrativa para a aplicação em sistemas de alimentação de Trólebus, conforme apresentado em [12], [14]. No que tange à mitigação do conteúdo harmônico da corrente CA de alimentação, destaca-se que o aumento no conteúdo harmônico de corrente e a diminuição do fator de potência, equivalente a 2 ciclos completos de 60 Hz, é insignificante no contexto da qualidade da energia elétrica.

5.5 Conclusão

De acordo com os resultados experimentais apresentados conclui-se que a estratégia de controle adotada é capaz de mitigar conteúdos harmônicos da corrente CA de entrada, reduzindo sensivelmente a DHT_i , além de garantir que o retificador não controlado processe sempre a maior parcela da potência de saída, resultando em uma estrutura robusta e eficiente, mas com reduzido peso e volume.

Através do espectro de frequência da corrente CA de entrada percebe-se que os limites das normas internacionais IEC 61000-3-2 e IEC 61000-3-4, para os protótipos de 1 kW e 10 kW, respectivamente, foram respeitadas, comprovando a eficiência da estratégia de controle adotada.

A resposta dinâmica do retificador híbrido para um degrau positivo de carga mostra que o retificador não controlado, mais robusto, processa o excedente de potência no regime transitório. Nesse período, equivalente a 4 ciclos em 60 Hz, a corrente CA de entrada apresenta-se mais distorcida, o que não representa desvantagem no contexto da qualidade de energia.

Capítulo 6

Conclusões Gerais

No início do trabalho foi apresentada uma breve discussão a respeito dos problemas causados pela inserção de componentes harmônicas no sistema de alimentação CA, resultado do grande número de cargas não lineares presentes na rede. Nesse contexto, no Capítulo 2 foram apresentados os métodos encontrados na literatura tradicionalmente utilizados para elevar o fator de potência e mitigar conteúdos harmônicos da rede e da CA de alimentação. Foram apresentadas as topologias PFC básicas, suas versões modificadas e o arranjo composto por conversores operando em paralelo, no qual está inserida a topologia proposta neste trabalho.

No Capítulo 3 foi descrito detalhadamente a estratégia de controle do retificador híbrido monofásico proposto operando com características de elevado fator de potência e reduzida DHT da corrente CA de entrada. Com a estratégia adotada garante-se que o retificador não controlado, mais robusto e eficiente, processe sempre a maior parcela de potência entregue à carga. O conversor chaveado processa o mínimo possível de potência, suficiente apenas para manter o conteúdo harmônico da corrente CA de entrada nos limites nas normas.

Para a implementação das leis de controle utilizou-se o DSP F28335 da *Texas Instruments*[®]. Possuindo uma alta capacidade de processamento, o DSP utilizado possibilitou o desenvolvimento um controle eficiente e simples, com capacidade de compor uma corrente de entrada aproximadamente senoidal em qualquer condição de

carga, além de proteger a estrutura contra curto-circuito, sobrecarga e sobreaquecimento.

No Capítulo 4 foi desenvolvida a modelagem matemática do retificador híbrido monofásico utilizando o conceito de espaço de estados. Foram descritos detalhadamente os métodos utilizados para determinação das matrizes características e para a solução do modelo através de métodos numéricos, obtendo-se, dessa maneira, as formas de onda de tensão e corrente em todos os elementos do circuito de potência do retificador híbrido monofásico.

Como método de validação do modelo proposto simulou-se o retificador híbrido monofásico no *software* Orcad® e as formas de onda obtidas foram comparadas com os resultados do modelo matemático, calculado através de um *software* desenvolvido na plataforma Matlab®.

Assim, de posse das formas de onda obtidas através do *software* desenvolvido foi possível especificar todos os elementos do circuito de potência do RHM, além de calcular parâmetros utilizados no controle digital.

Finalizando, os protótipos de 1 kW e 10 kW construídos foram ensaiados no Núcleo de Pesquisa em Eletrônica de Potência (NUPEP) e os resultados foram apresentados no Capítulo 5. Demonstrou-se que a estratégia de controle é capaz de mitigar conteúdos harmônicos da corrente CA de entrada, comprovado através da análise do espectro de frequência da corrente de entrada em confronto com os limites impostos pelas normas internacionais IEC61000-3-2 e IEC61000-3-4, analisados de acordo com o nível da potência de saída.

Através de uma análise energética comprova-se que o retificador não controlado é responsável por processar a maior parte da potência de saída, levando o conjunto a

operar com um rendimento médio em torno de 95%, tornando-o adequado para aplicações com elevados níveis de potência.

Como sugestão de continuidade de trabalho propõe-se a otimização da estratégia de controle no implementada no DSP. Pode-se elevar a frequência de amostragem dos sinais provindos do circuito de potência que resulta, como consequência, em uma melhor resolução desses sinais. Pode-se também determinar a relação entre a frequência e a amplitude da onda dente-de-serra com a DHT da corrente CA de entrada, possibilitando, dessa forma, determinar quais características da onda dente-de-serra que resultam em um melhor comportamento do conjunto.

Além disso, com a inclusão de um interruptor e um diodo no circuito do conversor chaveado altera-se sua topologia possibilitando configurá-lo como Boost ou SEPIC, dependendo do estado do interruptor adicional. O conversor boost, mais eficiente e robusto, é apto a operar quando a tensão de saída é maior que a tensão de entrada sendo capaz, nessas etapas, de impor corrente de entrada. Dessa forma, com essa modificação topológica espera-se obter uma estrutura com maior rendimento.

Referências Bibliográficas

[1] Erickson R. W.; Maksimóvic, D. Fundamentals of Power Electronics. Springer Science+Business Media Inc., 2001 ISBN 0-7923-7270-0.

[2] Sing B.; Sing B. N.; Chandra A.; et al. A review of three-phase improved power quality AC-DC converters - *IEEE Transactions on Industrial Electronics*, vol. 51, n° 3, June 2004, pp. 641-660;

[3] García O.; Cobos J. A.; et. al. Single Phase Power Factor Correction: A Survey, *IEEE Transactions on Power Electronics*, Vol. 18, n°. 3, May 2003.

[4] Santos A. H. M.; et al. Conservação de Energia: Eficiência Energética de Instalações e Equipamentos. Editora da EFEI, 2001.

[5] Resende J. W.; Samesima M. I.; Gomes D. B.; Couto L. M.; Macedo Jr. J.R. Avaliação das perdas técnicas em sistemas elétricos de distribuição suprindo cargas não-lineares. In V SBQEE - Seminário Brasileiro sobre Qualidade da Energia Elétrica, p.31 – 35, 2003.

[6] Tostes M. E. L. ; Moura C. C. ; Bezerra U. H. ; de Souza R. D. ; Branco S. T. M. M. Fluxo de harmônico trifásico via método somatório de corrente. In V SBQEE - Seminário Brasileiro sobre Qualidade da Energia Elétrica, p.97 – 102, 2003.

[7] Paice D.A. Power Electronic Converter Harmonic Multipulse Methods for Clean Power, Wiley, 2001 ISBN 0-7803-5394-3.

[8] Soares J. O.; Canesin C. A.; de Freitas L. C.; Gonçalves F. A. S. Retificador Trifásico Híbrido Operando com Controle Digital e Modulação por Histerese. *Eletrônica de Potência*, 13(4): pp. 241–250, Nov. 2008.

[9] Freitas L. C. G.; Simões M. G.; Canesin C. A.; de Freitas L. C. A novel programmable pfc based hybrid rectifier for ultra clean power application. *IEEE Transactions on Power Electronics*, Vol.21, no4, pp. 959-966, Julho 2006.

[10] Freitas L. C. G.; Simões M. G.; Canesin C. A.; de Freitas L. C. Performance evaluation of a novel hybrid multipulse rectifier for utility interface of Power electronics converters. *IEEE Transactions on Industrial Electronics*, Vol.54, no 6, pp. 3030-3041, Dezembro 2007;

[11] Lima, G. B. ; Finazzi, A. P. ; Freitas, L. C. ; Vieira Jr, J. B. ; Coelho, E. A. A.; Farias, V. J. ; Freitas, L. C. G. . Single-Phase HPF Hybrid Rectifier Suitable for High Power Applications. *IET POWER ELECTRON*, 2011.

[12] Lima, G. B.; Finazzi A. P.; Freitas L. C.; Coelho E. A. A.; Vieira Junior J. B.; Farias V. J.; Canesin C. A.; Freitas L. C. G. Análise e desenvolvimento de um novo conversor CA-CC Híbrido Monofásico para Aplicações em Sistemas Trólebus. *Eletrônica de Potência (Impresso)*, v. 15, p. 263-274, 2010.

[13] Lima, G. B.; Freitas L. C.; Vieira Junior J. B.; Coelho E. A. A.; Freitas L. C. G. Single-phase high power hybrid front-end rectifier with soft-commutation. In: *IEEE Vehicle Power and Propulsion Conference 2010*, 2010, Lille. *IEEE Vehicle Power and Propulsion Conference 2010*, 2010. p. 1-6.

[14] Freitas L. C. G.; Lima, G. B.; Gonçalves F. A. S.; Melo G. A.; Canesin C. A.; Freitas L. C. Proposal of a hybrid rectifier structure with HPF and low DHT suitable for front-end trolleybuses systems supplied by AC distribution networks. In: *IEEE Energy Conversion Congress and Exposition*, 2009, San Jose. ECCE 2009, p. 451-458.

[15] Freitas L. C. G.; Lima, G. B.; Gonçalves F. A. S.; Melo G. A.; Canesin C. A.; Freitas L. C. A novel single-phase HPF hybrid rectifier suitable for front-end trolleybus systems. In: *Brazilian Power Electronics Conference*, 2009. COBEP '09., 2009, Bonito. Brazilian Power Electronics Conference, 2009. COBEP 09.. p. 619-626.

[16] Lima, G. B.; Freitas L. C.; Freitas L. C. G. Desenvolvimento de técnica de controle PWM para obtenção de elevado FP em uma nova estrutura topológica de retificador híbrido monofásico. In: Conferência de Estudos em Engenharia Elétrica, 2009, Uberlândia. VII CEEL - Conferência de Estudos em Engenharia Elétrica, 2009. (COBEP Prevista p/ set 11)

[17] Wei H.; Batarseh I. Comparison of Basic Converter Topologies for Power Factor Correction - *IEEE Transactions on Industrial Electronics*, Julho 1998.

[18] Kornetzky P.; Wei H.; Zhu G.; Batarseh I. A single-Switch Ac/Dc Converter with Power Factor Correction. – *Electronics Letters*, Dec. 1997, vol. 33, no. 25, pp. 2084-2085.

[19] Redl R. Reducing Distortion in Boost Rectifier with Automatic Control. *IEEE APEC'97 Proc.*, pp. 74-80.

[20] Erickson R.; Madigan M.; Singer S. Design of a Simple High-Power-Factor Rectifier Based on the Flyback Converter. *IEEE APEC'90 Proc.*, pp. 792-801.

[21] Figueiredo J. P. M.; Silva B. L. A. A Review of Single-Phase PFC Topologies Based on The Boost Converter. *IEEE*, 2010.

[22] Choi W. Y.; Kwon J.; Kim E. H.; Lee J. J.; Kwon B. H. Bridgeless boost rectifier with low conduction losses and reduced diode reverse-recovery problems. *IEEE Trans. Ind. Electron.*, vol. 54, no. 2, pp. 769–780, April 2007.

[23] Kwon J. M.; Choi W. Y.; Kwon B. H. Cost-effective boost converter with reverse-recovery reduction and power factor correction. *IEEE Trans. Ind. Electron.*, vol. 55, no. 1, pp. 471–473, Jan. 2008.

[24] Tofoli F. L.; Coelho E. A. A.; de Freitas L. C.; Farias V. J.; Vieira Jr J. B. Proposal of a soft-switching single-phase three-level rectifier. *IEEE Trans. Ind. Electron.*, vol. 55, no. 1, pp. 107–113, Jan. 2008.

[25] Martinez R.; Enjeti P. N. A high-performance single-phase rectifier with input power factor correction. *IEEE Trans. Power Electron.*, vol. 11, no. 2, pp. 311–317, Mar. 1996.

[26] Lim J. W.; Kwon B. H. A power factor controller for single-phase PWM rectifiers. *IEEE Trans. Ind. Electron.*, vol. 46, no. 5, pp. 1035–1037, Oct. 1999.

[27] Choi W. Y.; Kwon J. M.; Kim E. H.; Lee J. J.; Kwon B. H. Bridgeless boost rectifier with low conduction losses and reduced diode reverse-recovery problems. *IEEE Trans. Power Electron.*, vol. 54, no. 2, pp. 1406–1415, April 2007.

[28] Zhang M. T.; Jiang Y.; Lee F. C.; Jovanovic M. M. Single-phase three-level boost power factor correction converters. in *Proc. Applied Power Electronics Conference and Exposition*, 1995, vol. 1, pp. 434–439.

[29] Bascopé G. V. T.; Barbi I. A Single Phase PFC 3kW Converter Using a Three-State Switching Cell. *IEEE Power Electronics Specialists Conference*, vol. 05, Novembro, 2004

[30] Melo P. F.; Gules R.; Romaneli E. F. R.; Annunziato R. C. A Modified SEPIC Converter for High-Power-Factor Rectifier and Universal Input Voltage Applications. *IEEE Transactions on Power Eletronics*, vol. 25, no. 2, fevereiro 2010.

[31] M. Prudente; L. L. Pfitscher; G. Emmendoerfer, E. F. R. Romaneli, and R. Gules, “Voltage multiplier cells applied to non-isolated DC–DC converters,” *IEEE Trans. Power Electron.*, vol. 23, no. 2, pp. 871–887, Mar. 2008.

[32] Jiang Y.; Lee F. C., Single-Stage Single-phase Parallel Power Factor Correction Scheme", *IEEE Power Electronics Specialists Conference*, Record, vol J1, 1994.

[33] Oruganti R.; Srinivasan R. A Single Phase Parallel Power Processing Scheme With Power Factor Control. *IEEE Power Electronics and Drive Systems.*, vol. 02, pp. 611–620, Maio. 2002.

[34] Barreto L. H. S. C.; Vieira Jr. J. B.; Coelho E. A. A.; Farias V. J.; de Freitas L. C. The Bang-Bang Hysteresis Current Waveshaping Control Technique Used to

Implement a High Power Factor Power Supply. *IEEE Transactions on Power Electronics*, v. 19, n. 1, p. 160-168, 2004.

[35] de Freitas L. C.; et al. A lossless Commutation PWM Boost Converter with Unity Power Factor Operation. in Proc. of *IEE-European Conference on Power Electronics and Applications*, EPE'97, Vol.4., 1997, pp. 4454-4458.

[36] de Paula G. R. S. Reconhecimento de Fala por Algoritmo de Rede Neural Embarcado em DSP. Projeto de Graduação em Engenharia de Controle e Automação, Pontifícia Universidade Católica do Rio de Janeiro (PUC-Rio), Julho 2010.

[37] Avelino A. M. Processamento Embarcado Aplicado a um Sistema de Detecção de Vazamentos. Dissertação de Mestrado em Engenharia Elétrica, Universidade Federal do Rio Grande do Norte (UFRN), dezembro de 2009.

[38] Nise N. S. Engenharia de Sistemas de Controle. 3ª Ed, Rio de Janeiro, 2002.

[39] Mohan N.; Undeland T. M.; Robbins W. P. Power Electronics: Converters, Applications, and Design. 3ª ed, Danvers, MA: J. Wiley, 2003, pp. 110-112.

Apêndice

Em 1 é apresentado o código fonte completo utilizado no DSPF28335 para implementação da estratégia de controle.

Em 2 é apresentado o código desenvolvido no *software* Matlab[®] para geração do sinal senoidal de referência V_{ref} .

Em 3 é apresentado o código desenvolvido no *software* Matlab[®] para o cálculo do espectro de frequência da corrente CA de entrada.

```
#include "DSP28x_Project.h"           // Device Headerfile and Examples
#include File
// Prototype statements for functions found within this file.

interrupt void adc_isr(void);

#define ADC_CKPS    0x0
#define BUFFERSIZE  916

Uint32 i=0; //Contador Geral
Uint16 P1=1; //Proteção
int16 iL1[BUFFERSIZE]={0};
float VRef_2[BUFFERSIZE]={0};
int16 Realim=0;
int16 Vp=0;
int16 Temp=0;
float VRef-2=0;
float Realim_fl=0;
int16 Vin=0;
int16 Vout=0;
int16 Vin_ant=0;
float mult=1;
float iL1_avg=1;
float K1=1;

main()
{
    // Step 1. Initialize System Control:
    // PLL, WatchDog, enable Peripheral Clocks
    // This example function is found in the DSP2833x_SysCtrl.c file.
    InitSysCtrl();

    EALLOW;
    #if (CPU_FRQ_150MHZ)           // Default - 150 MHz SYSCLKOUT
        #define ADC_MODCLK 0x3 // HSPCLK = SYSCLKOUT/2*ADC_MODCLK2 =
150/(2*3) = 25.0 MHz
```

```

#endif
#if (CPU_FRQ_100MHZ)
    #define ADC_MODCLK 0x2 // HSPCLK = SYSCLKOUT/2*ADC_MODCLK2 =
100/(2*2)    = 25.0 MHz
#endif
EDIS;

EALLOW;
SysCtrlRegs.HISPCP.all = 0x3;    // HSPCLK = SYSCLKOUT/(2*3)
EDIS;

// Step 2. Initialize GPIO:
// This example function is found in the DSP2833x_Gpio.c file and
// illustrates how to set the GPIO to it's default state.
// InitGpio(); // Skipped for this example

GpioCtrlRegs.GPAMUX1.bit.GPIO12 = 0x0; //Configura GPIO12 PIN IO
GpioCtrlRegs.GPADIR.bit.GPIO12 = 0x1; //Configura GPIO12 como
OUTPUT
GpioDataRegs.GPACLEAR.bit.GPIO12 = 0x1; //Configura GPIO12 como
LOW

GpioCtrlRegs.GPBMUX1.bit.GPIO33 = 0x0; //Configura GPIO12 PIN IO
GpioCtrlRegs.GPBDIR.bit.GPIO33 = 0x1; //Configura GPIO12 como
OUTPUT
EDIS;

// Step 3. Clear all interrupts and initialize PIE vector table:
// Disable CPU interrupts
DINT;

// Initialize the PIE control registers to their default state.
// The default state is all PIE interrupts disabled and flags
// are cleared.
// This function is found in the DSP2833x_PieCtrl.c file.
InitPieCtrl();

// Disable CPU interrupts and clear all CPU interrupt flags:
IER = 0x0000;
IFR = 0x0000;

// Initialize the PIE vector table with pointers to the shell
Interrupt
// Service Routines (ISR).
// This will populate the entire table, even if the interrupt
// is not used in this example. This is useful for debug purposes.
// The shell ISR routines are found in DSP2833x_DefaultIsr.c.
// This function is found in DSP2833x_PieVect.c.
InitPieVectTable();

// Interrupts that are used in this example are re-mapped to
// ISR functions found within this file.
EALLOW; // This is needed to write to EALLOW protected register
PieVectTable.ADCINT = &adc_isr;
EDIS;    // This is needed to disable write to EALLOW protected
registers

// Step 4. Initialize all the Device Peripherals:
// This function is found in DSP2833x_InitPeripherals.c
// InitPeripherals(); // Not required for this example
InitAdc(); // For this example, init the ADC

```

```

// Step 5. User specific code, enable interrupts:

// Enable ADCINT in PIE
PieCtrlRegs.PIEIER1.bit.INTx6 = 1;
IER |= M_INT1; // Enable CPU Interrupt 1
EINT;          // Enable Global interrupt INTM
ERTM;          // Enable Global realtime interrupt DBGM

//LoopCount = 0;
//ConversionCount = 0;

// Configure ADC
AdcRegs.ADCMAXCONV.all = 0x0004; // Setup 4 conv's on SEQ1
AdcRegs.ADCCHSELSEQ1.bit.CONV00 = 0x0; // Setup ADCINA0 as 1st SEQ1
conv.
AdcRegs.ADCCHSELSEQ1.bit.CONV01 = 0x1; // Setup ADCINA1 as 2nd SEQ1
conv.
AdcRegs.ADCCHSELSEQ1.bit.CONV02 = 0x2; // Setup ADCINA2 as 3rd SEQ1
conv.
AdcRegs.ADCCHSELSEQ1.bit.CONV03 = 0x3; // Setup ADCINA3 as 4nd SEQ1
conv.
AdcRegs.ADCCHSELSEQ1.bit.CONV04 = 0x4; // Setup ADCINA4 as 4nd SEQ1
conv.
AdcRegs.ADCTRL2.bit.EPWM_SOCA_SEQ1 = 1; // Enable SOCA from ePWM to
start SEQ1
AdcRegs.ADCTRL2.bit.INT_ENA_SEQ1 = 1; // Enable SEQ1 interrupt
(every EOS)
//AdcRegs.ADCREFSEL.bit.REF_SEL = 0x1;
//AdcRegs.ADCTRL1.bit.ACQ_PS = ADC_SHCLK;
AdcRegs.ADCTRL3.bit.ADCCLKPS = ADC_CKPS;

// Assumes ePWM1 clock is already enabled in InitSysCtrl();
EPwm1Regs.ETSEL.bit.SOCAEN = 1; // Enable SOC on A group
EPwm1Regs.ETSEL.bit.SOCASEL = 2; // Select SOC from period
TBCNT = CMPA
EPwm1Regs.ETPS.bit.SOCAPRD = 1; // Generate pulse on 1st
event
//EPwm1Regs.CMPA.half.CMPA = 750; // Set compare A value 750
EPwm1Regs.TBCTL.bit.CTRMODE = 0; // count up and start
EPwm1Regs.TBPRD = 750; // Set period for ePWM1 750

// Wait for ADC interrupt
while(1)
{
    //LoopCount++;
}

interrupt void adc_isr(void)
{
    if(i <= BUFFERSIZE)
    {
        //----- Aquisiçãos -----
        -----

```



```

    Vin_ant = Vin;
    Vin = (AdcRegs.ADCRESULT0 >>4) - 0x744;
    mult = (float)(Vin) * (float)(Vin_ant);
    Realim = (AdcRegs.ADCRESULT1 >>4) - 0x7D0; //Corrente iL1 +
iL2.
    iL1[i] = -((AdcRegs.ADCRESULT2 >>4) - 0x780); //Corrente iL1.
    Vout = (AdcRegs.ADCRESULT3 >>4) - 0x776; //Tens de Sa.
    Temp = (AdcRegs.ADCRESULT4 >>4) - 0x776; //Temperatura.

    //-----
    -----

    //-----Detec  de Zero e Calculo da Media de iL1-----
    -----

        if (mult <= 0)
            {i = 0;
                iL1_avg = (float)((iL1[200] + iL1[220] + iL1[240] +
iL1[260] + iL1[280] + iL1[300] + iL1[320] + iL1[340] + iL1[360] +
iL1[380] + iL1[400] + iL1[420] + iL1[440] + iL1[460] + iL1[480] +
iL1[500] + iL1[520] + iL1[540] + iL1[560] + iL1[580] + iL1[600] +
iL1[620] + iL1[640] + iL1[660] + iL1[680] + iL1[700] + iL1[720] +
iL1[740] + iL1[760] + iL1[780])/30);
            }

        //-----
        -----

    //-----Calculo de Vref-2-----
    VRef-2 = (VRef[i] * K1 * iL1_avg);
    Realim_fl = (float)Realim;
    //-----
    //-----Prote -----
    -----

    //Calculo do Valor de Pico da Senoide
    if (i == 416)
    {Vp = Vin;
        if (Vp < 0)
        { Vp = -Vp;}
    }

    //-----Sobrecarga Ret-2-----
    if ((Vout >= 170) || (iL1_avg < 50))
    { P1 = 0;
        GpioDataRegs.GPACLEAR.bit.GPIO12 = 0x1; //S1 = 0
    }
    else
    {P1 = 1;}

    if (iL1_avg > 350)
    { iL1_avg = 350}

    //-----Sobrecarga Ret-1-----
    if (iL1_avg > 600)
    { P1 = 0;
        GpioDataRegs.GPACLEAR.bit.GPIO12 = 0x1; //S1 = 0
        GpioDataRegs.GPBCLEAR.bit.GPIO33 = 0x1; //P2 = 0
    }

    //-----Curto-Circuito-----

```

```

        if (Realim > 600 || Vout < 100 || Vp < 100)
        { P1 = 0;
          GpioDataRegs.GPACLEAR.bit.GPIO12 = 0x1; //S1 = 0
          GpioDataRegs.GPBCLEAR.bit.GPIO33 = 0x1; //P2 = 0
        }

        //-----Sobret temperatura-----
        if (Temp > 2184)
        { P1 = 0;
          GpioDataRegs.GPACLEAR.bit.GPIO12 = 0x1; //S1 = 0
          GpioDataRegs.GPBCLEAR.bit.GPIO33 = 0x1; //P2 = 0
        }

        //-----
        //-----Pulsos de S1 (Interruptor Pricipal)-----
        //-----
        if (P1 == 1)
        {
            if (VRef > Realim_fl)
            {GpioDataRegs.GPASET.bit.GPIO12 = 0x1;} //Configura
GPIO12 como HIGH

            else
            {GpioDataRegs.GPACLEAR.bit.GPIO12 = 0x1;} //Configura
GPIO12 como LOW
        }

        else
        {GpioDataRegs.GPACLEAR.bit.GPIO12 = 0x1;} //Configura GPIO12
como LOW
        //-----
        ----

        i++;

    } //if buffersize
    else
    {
        i = 0;
        GpioDataRegs.GPACLEAR.bit.GPIO12 = 0x1; //Configura GPIO12
como LOW
    }

    // Reinitialize for next ADC sequence
    AdcRegs.ADCCTRL2.bit.RST_SEQ1 = 1;           // Reset SEQ1
    AdcRegs.ADCST.bit.INT_SEQ1_CLR = 1;          // Clear INT SEQ1 bit
    PieCtrlRegs.PIEACK.all = PIEACK_GROUP1;      // Acknowledge interrupt
to PIE
    GpioDataRegs.GPBCLEAR.bit.GPIO33 = 0x1;
    return;
}

```

Código 1 – Implementação do controle no DSP F28335

```

1  %% Programa que Gera onda com tipo de dados float
2  clear all
3  Close all
4  clc
5
6  f = 60;                %Frequencia da fundamental a ser gerada
7  T = 1/f;              %Periodo da fundamental
8  w = 2*pi*f;           %Frequencia angular
9  Fs = 100000;          %Frequencia de amostragem em Hz
10 deltaT = 1/Fs;
11 Ts = 1/Fs;            %Periodo de amostragem em segundos
12 Ciclos = 0.55;        %Numero de ciclos a serem gerados
13 tmax = Ciclos*(1/f) %Tempo máximo de simulação
14 t = 0:deltaT:tmax; %vetor tempo com intervalo deltaT
15
16 %%Amplitude da Senoide
17 Vp = 1;
18
19 %% Dente de Serra
20 fs = 10e3;
21 ts = 1/fs;
22 vst = 0.1*(t/ts - fix(t/ts)-0.5);
23
24 %% Cálculo Senoide
25 for i = 1:length(t)
26     x(i) = abs(Vp*sin(w*t(i)));
27     xst_2(i) = x(i) + vst(i);
28 end
29
30 %% Salva a onda no arquivo 'onda_pt_fix.dat' imprimindo o cabeçalho para o code composer
31 fid = fopen('seno_flut_3st.dat','wt');
32 fprintf(fid,'%d, ',xst_2);
33 fclose(fid);

```

Código 2 – Geração do sinal senoidal de referência V_{ref} .

```

1  clc;
2  close all;
3  H = 25;
4
5  %% Canal 1
6  load H1;
7  tempo = H1(:,1);
8  corrente = H1(:,2);
9
10 f = 60;
11 t = tempo;
12 onda = corrente;
13 t1 = 0;
14 T = 1/f; %periodo
15 W = 2*pi*f;
16
17 %% Rotina para encontrar os pontos t1 e t1+T a partir do tempo inicial %%
18 x = find(t <= t1);
19 xi = x(length(x));
20
21 t1 = t1+T;
22 x = find(t <= t1);
23 xf = x(length(x));
24 %%%                                     %%%
25
26 %% Cálculo THD
27
28 %Coef. a0
29 a0 = 2/T*trapz(t(xi:xf),onda(xi:xf));
30
31 %Coefs. an e bn para n > 0
32 a = [];
33 b = [];
34 n=1;
35 while n<=H
36     a(n) = 2/T*trapz(t(xi:xf),onda(xi:xf).*cos(n*2*pi*f*t(xi:xf)));
37     b(n) = 2/T*trapz(t(xi:xf),onda(xi:xf).*sin(n*2*pi*f*t(xi:xf)));
38     n=n+2;
39 end
40
41 An = sqrt(a.^2 + b.^2);
42 An_percentagem = (An(2:H)*100)/An(1);
43 An_norma = [0 14.4 0 7.1 0 4.8 0 2.5 0 2.1 0 1.3 0 0.94 0 0.82 0 0.74 0 0.67 0 0.61 0 0.56];
44 Fin = (-atan(b/a) + pi/2)*180/pi; %+pi/2 para passar para seno
45 disp(' ');
46 disp('THD aproximado Canal 1: ');
47 thd = sqrt(sum(An(2:length(An)).^2))/An(1)*100
48
49
50 %Espectro de Frequencia %
51 %figure,subplot(2,1,1),bar(An)
52 figure
53 bar(An_percentagem,1.3);
54 hold on;
55 bar(An_norma,'r');
56 legend('RH Monofásico Proposto','Norma IEC 1000 - 3 - 2')
57 title('Espectro de Frequencia do Canal 1')
58 ylabel('Módulo %')
59 T = num2str(thd);
60 T = strcat('THD=',T);
61 text(length(An_percentagem)/2,max(An_percentagem),T);

```

Código 3 – Cálculo do espectro de frequência da corrente CA de entrada.